

РЕПРОГРАММИРУЕМОЕ ПОСТОЯННОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С ЭЛЕКТРИЧЕСКИМ СТИРАНИЕМ 16К БИТ (2Кx8)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для многократной записи, долговременного хранения и многократного считывания информации.

Информационная емкость, бит16К (2Кx8)
 Время выбора адреса, нс25
 Время выбора, нс25
 Время записи (программирования), мс.....10
 Количество циклов перезаписи10⁵
 Время сохранности информации, летне менее 10
 Напряжение питания, В+5±10%
 Температурный диапазон, °С.....от -60 до +125
 Тип корпуса.....4119.28-6

Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

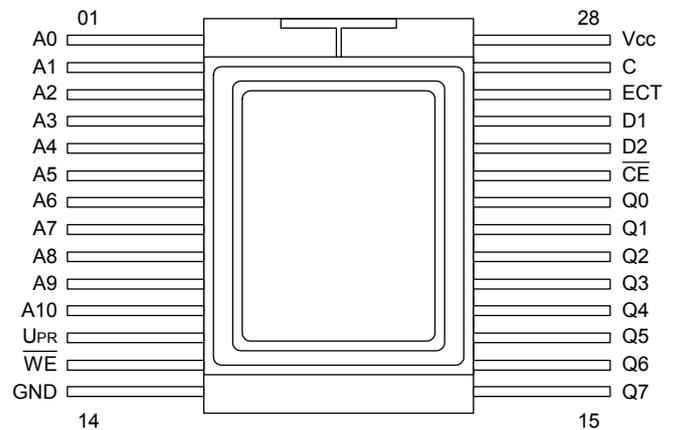
ФУНКЦИОНИРОВАНИЕ МИКРОСХЕМЫ

Блок формирования адреса (секвенсор адреса) осуществляет формирование исполнительного адреса АDR, непосредственно используемого для записи/чтения данных в микросхеме. Изменение значения исполнительного адреса происходит по переднему фронту сигнала синхронизации С в зависимости от значений сигналов на входах ECT, D1, D2:

ECT	D1	D2	Значение исполнительного адреса АDR
0	0	0	00000000000
1	0	0	10000000000
0	0	1	A
1	0	1	Хранение адреса
0	1	0	ADR + 1
1	1	0	Хранение адреса
0	1	1	ADR - 1
1	1	1	Хранение адреса

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
A	Входная шина адреса
Q	Двунаправленная шина данных
C	Вход сигнала синхронизации
\overline{CE}	Вход сигнала выбора микросхемы
\overline{WE}	Вход сигнала разрешения записи
ECT	Вход сигнала разрешения счета
D1	Вход первого сигнала управления
D2	Вход второго сигнала управления
U _{PR}	Вывод встроенного умножителя напряжения программирования



Режимы работы

\overline{CE}	\overline{WE}	ECT	D1	D2	Режим
0	1	X	X	X	Чтение
0	0	1	0	1	Запись (программирование)
1	X	X	X	X	Шина Q в «третьем» состоянии

X - произвольное значение сигнала (0 или 1).

Запись данных производится только при наличии комбинации входных сигналов ECT='1', D1='0', D2='1', что обеспечивает дополнительную защиту от несанкционированного стирания информации.

СТРУКТУРНАЯ СХЕМА

