

ЦИФРОВОЙ ФАЗОВЫЙ ДЕТЕКТОР

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для измерения фазового рассогласования между двумя гармоническими сигналами или цифровыми импульсными последовательностями.

Микросхема может быть использована для решения следующих задач:

- частотная модуляция и демодуляция;
- синтез, измерение и умножение частоты;
- преобразование типа «напряжение – частота»;
- синхронизация потоков данных;
- управление скоростью вращения двигателей.

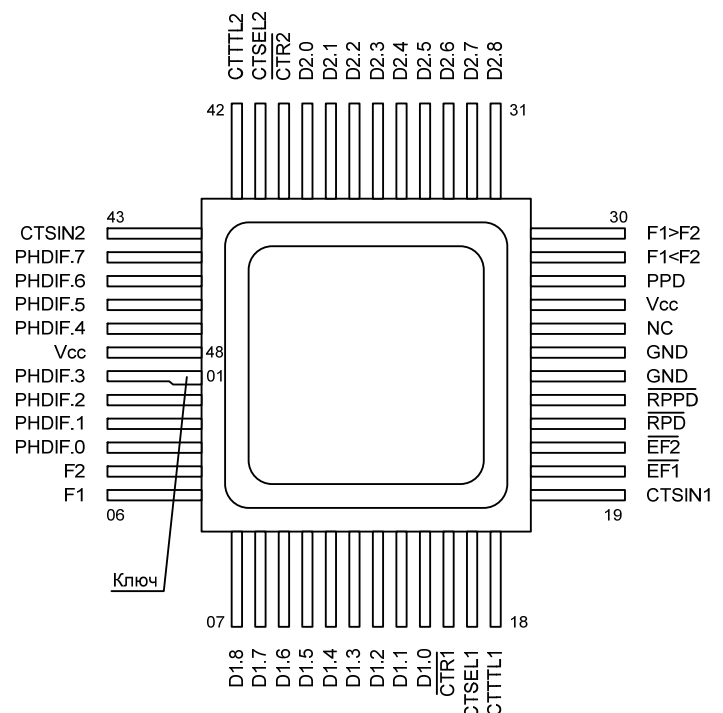
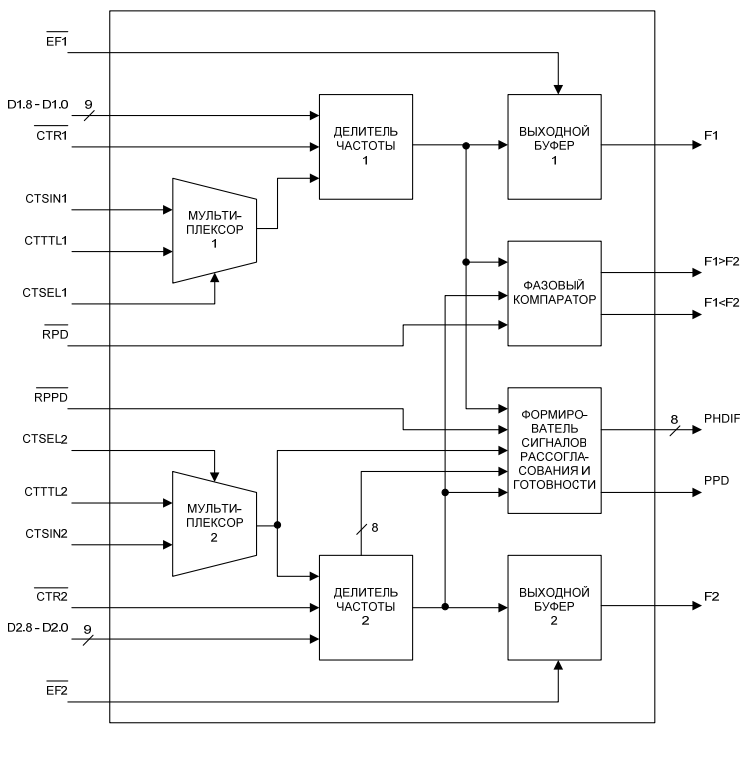
Разрядность кодов управления делителями частоты, бит.....9
 Среднеквадратичное значение напряжения входного гармонического сигнала, В.....0,3
 Максимальная частота входного гармонического сигнала, МГц,96
 Максимальная частота входной импульсной последовательности, МГц,96
 Выходной ток по выходам F1>F2 и F1<F2, мА.....|±15,0|
 Напряжение питания, В.....+5 ± 10%
 Температурный диапазон, °С.....от -60 до +125
 Тип корпуса.....Н16.48-1В

Микросхема изготавливается по КМОП технологии и имеет TTL-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
D1	Входная шина кода управления коэффициентом деления первого делителя частоты
CTTTL1	Вход цифровой импульсной последовательности первого делителя частоты
CTSIN1	Вход гармонического сигнала первого делителя частоты
CTSEL1	Вход выбора источника сигнала первого делителя частоты
$\overline{CTR1}$	Вход асинхронного сброса первого делителя частоты
F1	Выход первого делителя частоты
$\overline{EF1}$	Вход сигнала отключения выхода первого делителя частоты
D2	Входная шина кода управления коэффициентом деления второго делителя частоты
CTTTL2	Вход цифровой импульсной последовательности второго делителя частоты
CTSIN2	Вход гармонического сигнала второго делителя частоты
CTSEL2	Вход сигнала выбора источника сигнала второго делителя частоты
$\overline{CTR2}$	Вход асинхронного сброса второго делителя частоты
F2	Выход второго делителя частоты
$\overline{EF2}$	Вход сигнала отключения выхода второго делителя частоты
F1<F2	Выход сигнала сравнения фазового детектора
F1>F2	Выход сигнала сравнения фазового детектора
PPD	Выход сигнала готовности фазового детектора
PHDIF	Выходная шина кода разности фаз частот первого и второго делителя частоты
\overline{RPPD}	Вход асинхронного сброса фазового детектора
\overline{RPPD}	Вход асинхронного сброса сигнала готовности фазового детектора

СТРУКТУРНАЯ СХЕМА



ФУНКЦИОНИРОВАНИЕ МИКРОСХЕМЫ

Делители частоты представляют собой делители с программируемыми коэффициентами деления K1 и K2, которые задаются девятиразрядными кодами D1(8:0) и D2(8:0) в соответствии с таблицей:

D1 (D2)	0	1	2	3	...	509	510	511
K1 (K2)	512	1	2	3	...	509	510	511

Делители частоты выполняют деление поступающих на их входы гармонических сигналов (CTSIN1 и CTSIN2) или цифровых импульсных последовательностей (CTTTL1 и CTTTL2). Выбор типов входных сигналов осуществляется сигналами CTSEL1 и CTSEL2:

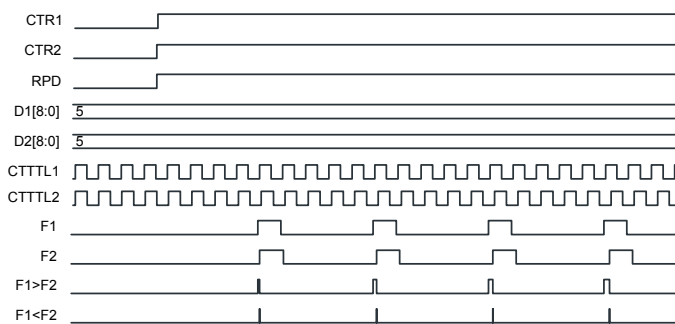
CTSEL1=0 – вход CTTTL1; CTSEL1=1 – вход CTSIN1;
CTSEL2=0 – вход CTTTL2; CTSEL2=1 – вход CTSIN2.

Сброс делителей частоты осуществляется подачей сигналов низкого уровня на входы асинхронного сброса CTR1 и CTR2.

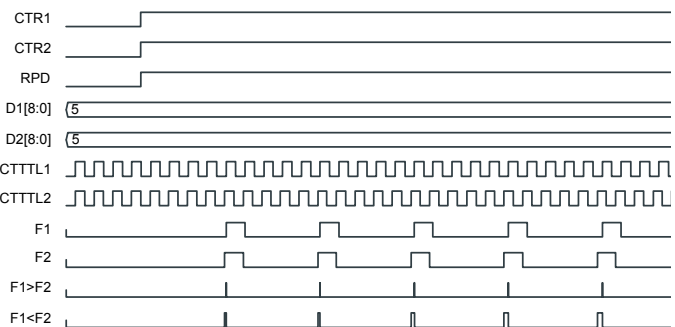
Выходные буферы управляются сигналами EF1 и EF2. При подаче на вход EF1 (EF2) сигнала низкого уровня соответствующий выходной буфер запирается и на выходе F1 (F2) формируется сигнал логического нуля.

Фазовый компаратор осуществляет сравнение поделенных последовательностей, поступающих с выходов делителей частоты.

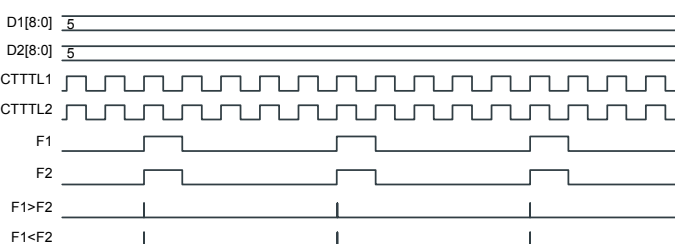
В случае, когда частота импульсов F1 больше частоты импульсов F2 на выходе F1>F2 формируется последовательность импульсов, длительность которых равна величине рассогласования фаз сигналов F1 и F2. При этом на выходе F1<F2 будут формироваться короткие импульсы, длительность которых не превышает 10 нс.



В случае, когда частота импульсов F1 меньше частоты импульсов F2 последовательность импульсов рассогласования фаз формируется на выходе F1<F2, на выходе F1>F2 – короткие импульсы.



При равенстве частот F1 и F2 короткие импульсы формируются на обоих выходах F1>F2 и F1<F2.



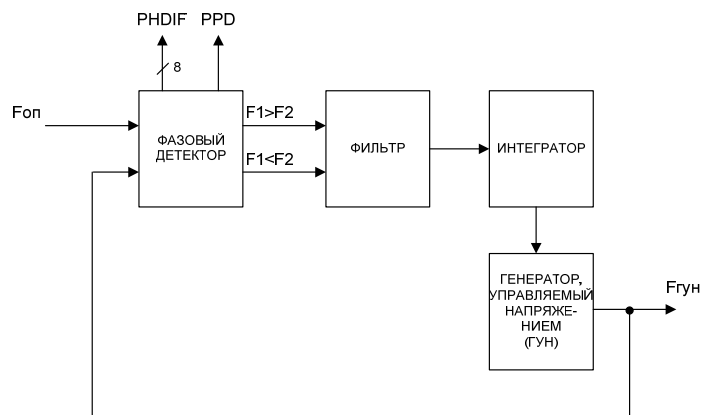
Сброс фазового компаратора осуществляется подачей сигнала низкого уровня на вход асинхронного сброса RPD.

Фазовый компаратор имеет мощные выходные каскады с открытым коллектором, которые обеспечивают высокую нагрузочную способность (до 15 мА) по выходам F1>F2, F1<F2 и допускают их подключение через резисторы к внешнему источнику питания с напряжением до +15 В.

Формирователь сигналов рассогласования и готовности вычисляет фазовое рассогласование между поделенными последовательностями F1 и F2 и выдает результат на выходную шину PHDIF микросхемы. Результат представлен в дополнительном коде и вычисляется в соответствии с выражением:

$$PHDIF = (\varphi_{F2} - \varphi_{F1} + 180^\circ) \cdot K2/360^\circ.$$

Если значение сигнала рассогласования лежит в интервале PHDIF = [-1;1], то на выходе PPD микросхемы формируется единичное значение сигнала готовности фазового детектора, свидетельствующее о том, что система фазовой автоподстройки частоты (ФАПЧ), в состав которой он входит, настроена.

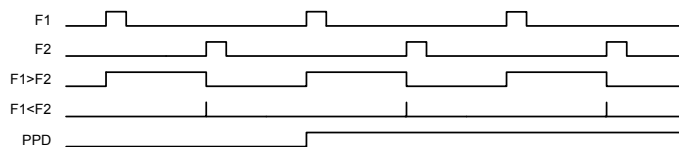


Структура системы ФАПЧ

Из выражения видно, что сигнал готовности фазового детектора, формируется при сдвиге фаз поделенных последовательностей F1 и F2 на 180°, что соответствует задержке между импульсами последовательностей, равной половине периода их повторения.

Это связано с тем, что если в качестве признака окончания настройки системы использовать равенство частот поделенных последовательностей при равенстве их фаз, то в этом случае на обоих выходах F1>F2 и F1<F2 будут формироваться короткие импульсы, которые не позволяют осуществить окончательную настройку системы и приводят к уходу настройки то в одну, то в другую сторону.

В связи с этим в качестве признака окончания настройки используется равенство частот поделенных последовательностей при сдвиге их фаз на 180°. При этом на одном из выходов F1>F2 или F1<F2 будут формироваться импульсы постоянной длительности, что позволяет существенно стабилизировать момент настройки системы ФАПЧ.



Чтобы интегратор при этом не вырабатывал управляющее напряжение, подаваемое на ГУН, указанные импульсы компенсируются, путем подачи на вход интегратора компенсирующего напряжения.

Сброс формирователя сигналов рассогласования и готовности осуществляется путем подачи сигнала низкого уровня на вход асинхронного сброса RPPD.