

## ФОРМИРОВАТЕЛЬ ВРЕМЕННЫХ ИНТЕРВАЛОВ С ПРОГРАММИРУЕМЫМИ ПАРАМЕТРАМИ

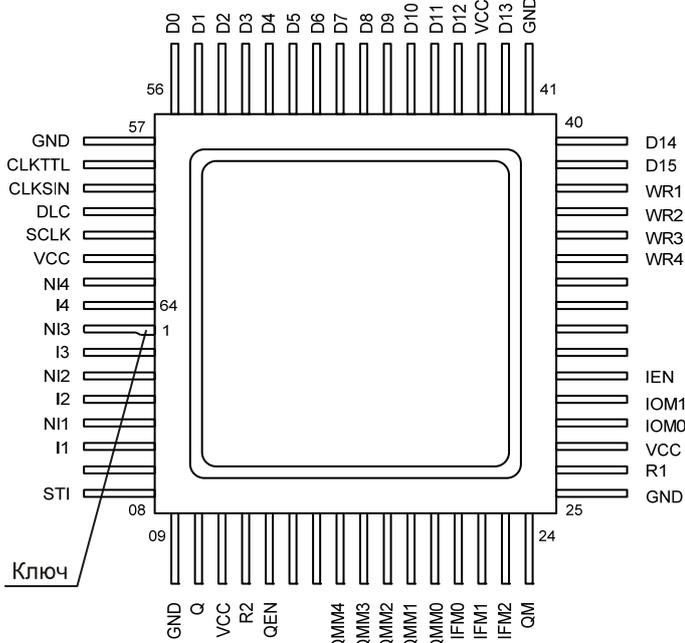
### ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для формирования импульсных последовательностей с программируемыми параметрами.

Максимальная частота сигнала синхронизации, МГц.....90  
 Минимальная амплитуда аналогового сигнала на входе CLKSIN, мВ.....300  
 Напряжение питания, В.....+5±10%  
 Температурный диапазон, °С.....от -60 до +125  
 Тип корпуса.....Н18.64-1В

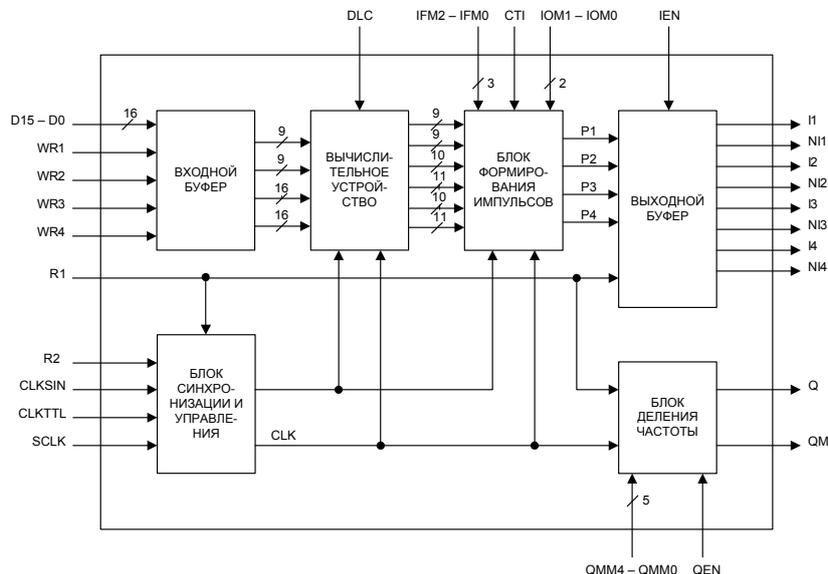
Микросхема изготавливается по КМОП технологии и имеет TTL-совместимые входы и выходы.

### НАЗНАЧЕНИЕ ВЫВОДОВ



| Обозначение | Назначение   |
|-------------|--|
| D           | Входная шина данных  |
| WR1         | Вход сигнала записи первого слова данных                             |
| WR2         | Вход сигнала записи второго слова данных                             |
| WR3         | Вход сигнала записи третьего слова данных                            |
| WR4         | Вход сигнала записи четвертого слова данных                          |
| STI         | Вход стартового сигнала  |
| DLC         | Вход сигнала управления темпом вычислений                            |
| IOM         | Входная шина кода управления последовательностями I1 – I4            |
| IFM         | Входная шина кода управления скважностью последовательностей I1 – I4 |
| IEN         | Вход сигнала разрешения выдачи последовательностей I1 – I4           |
| QMM         | Входная шина кода коэффициента деления последовательности QM         |
| QEN         | Вход сигнала разрешения выдачи последовательности на выход Q         |
| CLKTTL      | Вход сигнала синхронизации цифровой                                  |
| CLKSIN      | Вход сигнала синхронизации аналоговый                                |
| SCLK        | Вход сигнала выбора источника синхронизации                          |
| R1          | Вход асинхронного сброса   |
| R2          | Вход асинхронного сброса   |
| I1          | Выход последовательности I1 прямой                                   |
| NI1         | Выход последовательности I1 инверсный                                |
| I2          | Выход последовательности I2 прямой                                   |
| NI2         | Выход последовательности I2 инверсный                                |
| I3          | Выход последовательности I3 прямой                                   |
| NI3         | Выход последовательности I3 инверсный                                |
| I4          | Выход последовательности I4 прямой                                   |
| NI4         | Выход последовательности I4 инверсный                                |
| Q           | Выход последовательности Q   |
| QM          | Выход последовательности QM  |

### СТРУКТУРНАЯ СХЕМА



## ФУНКЦИОНИРОВАНИЕ МИКРОСХЕМЫ

Синхронизация работы микросхемы может осуществляться по цифровому входу CLKTTL или по аналоговому входу CLKSIN, на который подается синусоидальный сигнал с амплитудой не менее 0,3 В.

Выбор входа синхронизации осуществляется при помощи сигнала SCLK (SCLK=0 – вход CLKTTL, SCLK=1 – вход CLKSIN).

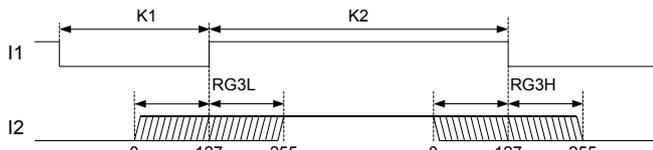
Из входных сигналов синхронизации вырабатывается внутренний синхросигнал CLK, который непосредственно подается на блоки микросхемы.

На входную шину D микросхемы подаются данные, определяющие параметры импульсов последовательностей I1 – I4.

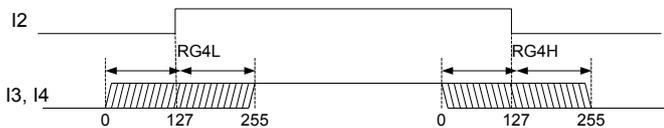
**Входной буфер** содержит девятиразрядные регистры RG1, RG2 и шестнадцатиразрядные регистры RG3, RG4. Запись данных в регистры осуществляется по положительному фронту соответствующего сигнала записи WR1 – WR4.

Структура входных данных

| Регистр | Разряды слов входных данных (шина D)   |    |    |    |    |    |   |   |  |   |   |   |   |   |   |   |   |
|---------|--|----|----|----|----|----|---|---|--|---|---|---|---|---|---|---|---|
|         | 15   | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0 |   |
| RG1     | Код длительности «нулевой» части импульсов последовательности I1 (K1)  |    |    |    |    |    |   |   | 8  | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|         |  |    |    |    |    |    |   |   | Код длительности «единичной» части импульсов последовательности I1 (K2)  |   |   |   |   |   |   |   |   |
| RG2     | Код сдвига заднего фронта импульсов последовательности I2 относительно импульсов последовательности I1 (RG3H)      |    |    |    |    |    |   |   | Код сдвига переднего фронта импульсов последовательности I2 относительно импульсов последовательности I1 (RG3L)      |   |   |   |   |   |   |   |   |
|         |  |    |    |    |    |    |   |   |  |   |   |   |   |   |   |   | 7 |
| RG3     | Код сдвига заднего фронта импульсов последовательностей I3, I4 относительно импульсов последовательности I2 (RG4H) |    |    |    |    |    |   |   | Код сдвига переднего фронта импульсов последовательностей I3, I4 относительно импульсов последовательности I2 (RG4L) |   |   |   |   |   |   |   |   |
|         |  |    |    |    |    |    |   |   |  |   |   |   |   |   |   |   | 7 |
| RG4     |  |    |    |    |    |    |   |   |  |   |   |   |   |   |   |   |   |
|         |  |    |    |    |    |    |   |   |  |   |   |   |   |   |   |   | 7 |



Порядок формирования импульсов последовательностей I1 и I2



Порядок формирования импульсов последовательностей I3 и I4

Сдвиг фронтов импульсов осуществляется с шагом, равным периоду повторения синхросигнала CLK.

**Вычислительное устройство** выполняет расчет вспомогательных величин, которые непосредственно используются для формирования последовательностей I1 – I4. Вычисления инициируются при записи новых данных в любой из регистров RG1 – RG4 входного буфера.

Цикл вычислений составляет 9 тактов синхросигнала CLK при значении DLC=0 и 29 тактов синхросигнала CLK при значении DLC=1.

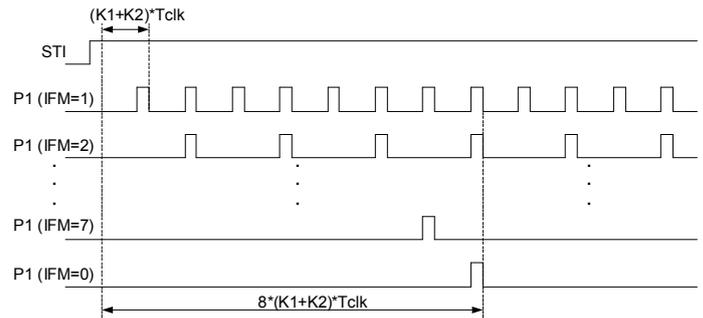
**Блок формирования импульсов** предназначен для формирования импульсов положительной полярности P1 – P4 в соответствии с величинами, рассчитанными в вычислительном устройстве и кодом управления IOM:

| Вход IOM | Выходы |    |    |    |
|----------|--------|----|----|----|
|          | P1     | P2 | P3 | P4 |
| 00       |        |    |    |    |
| 01       | 0      | 1  | 1  | 0  |
| 10       | 0      | 1  | 0  | 0  |
| 11       | 0      | 0  | 0  | 0  |

Формирование импульсов осуществляется при подаче на вход STI положительного импульса длительностью не менее одного периода синхросигнала CLK.

При подаче на вход STI единичного импульса на выходах P1 – P4 блока будут сформированы также единичные импульсы. При подаче на вход STI сигнала логической единицы на выходах P1 – P4 блока будут сформированы непрерывные последовательности импульсов.

Импульсы могут быть выданы на выходы блока с задержкой, определяемой кодом, подаваемым на входную шину IFM. Тем самым имеется возможность изменения скважности выходных последовательностей:



**Выходной буфер** формирует из импульсов P1 – P4 парафазные сигналы I1, NI1 – I4, NI4.

Сигналы IEN и R1 осуществляют управление выдачей последовательностей на выходы I1, NI1 – I4, NI4:

| Входы |     | Выходы |                 |    |                 |    |                 |    |                 |
|-------|-----|--------|-----------------|----|-----------------|----|-----------------|----|-----------------|
| R1    | IEN | I1     | NI1             | I2 | NI2             | I3 | NI3             | I4 | NI4             |
| 0     | X   | 0      | 1               | 1  | 0               | 1  | 0               | 1  | 0               |
| 1     | 0   | 0      | 1               | 0  | 1               | 0  | 1               | 0  | 1               |
| 1     | 1   | P1     | $\overline{P1}$ | P2 | $\overline{P2}$ | P3 | $\overline{P3}$ | P4 | $\overline{P4}$ |

X - безразличное состояние на входе.

**Блок деления частоты** формирует из синхросигнала CLK последовательности Q и QM.

При значении R=0 на выходах Q и QM формируются сигналы логического нуля.

При значении R=1 на выходе Q формируется последовательность с частотой  $f_{CLK}/2$  и скважностью 2.

Сигнал QEN предназначен для блокировки выдачи сигнала на выход Q (при QEN=0 на выходе Q формируется сигнал логического нуля).

При значении R=1 на выходе QM формируется последовательность, параметры которой (частота повторения импульсов f и скважность q) определяются кодом, подаваемым на входную шину QMM:

| QMM   | QM           |      |
|-------|--------------|------|
|       | f            | q    |
| 00000 | 0            | 0    |
| 00001 | 0            | 0    |
| 00010 | $f_{CLK}/2$  | 2    |
| 00011 | $f_{CLK}/3$  | 3    |
| 00100 | $f_{CLK}/4$  | 2    |
| 00101 | $f_{CLK}/5$  | 5/2  |
| 00110 | $f_{CLK}/6$  | 2    |
| 00111 | $f_{CLK}/7$  | 7/3  |
| 01000 | $f_{CLK}/8$  | 2    |
| 01001 | $f_{CLK}/9$  | 9/4  |
| 01010 | $f_{CLK}/10$ | 10/4 |
| 01011 | $f_{CLK}/11$ | 11/4 |
| 01100 | $f_{CLK}/12$ | 3    |
| 01101 | $f_{CLK}/13$ | 13/4 |
| 01110 | $f_{CLK}/14$ | 14/4 |
| 01111 | $f_{CLK}/15$ | 15/4 |

| QMM   | QM           |      |
|-------|--------------|------|
|       | f            | q    |
| 10000 | $f_{CLK}/16$ | 4    |
| 10001 | $f_{CLK}/17$ | 17/4 |
| 10010 | $f_{CLK}/18$ | 18/4 |
| 10011 | $f_{CLK}/19$ | 19/4 |
| 10100 | $f_{CLK}/20$ | 5    |
| 10101 | $f_{CLK}/21$ | 21/4 |
| 10110 | $f_{CLK}/22$ | 22/4 |
| 10111 | $f_{CLK}/23$ | 23/4 |
| 11000 | $f_{CLK}/24$ | 6    |
| 11001 | $f_{CLK}/25$ | 25/4 |
| 11010 | $f_{CLK}/26$ | 26/4 |
| 11011 | $f_{CLK}/27$ | 27/4 |
| 11100 | $f_{CLK}/28$ | 7    |
| 11101 | $f_{CLK}/29$ | 29/4 |
| 11110 | $f_{CLK}/30$ | 30/4 |
| 11111 | $f_{CLK}/31$ | 31/4 |