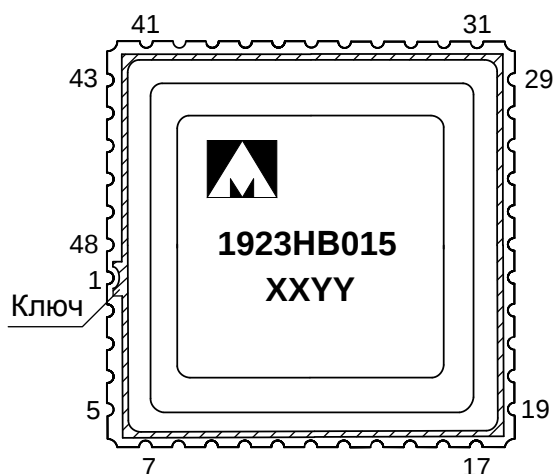




Микросхема преобразователя аналогового сигнала 1923НВ015, К1923НВ015, К1923НВ015К



Основные характеристики микросхемы:

- Напряжение питания от 3,0 до 5,5 В;
- 16-разрядный АЦП;
- Время преобразования 16-разрядного АЦП не более 2 мс;
- Последовательный интерфейс SPI;
- Рабочий диапазон температур:

Обозначение	Диапазон
1923НВ015	минус 60 – 125 °С
К1923НВ015	минус 60 – 125 °С
К1923НВ015К	0 – 70 °С

ГГ – год выпуска

НН – неделя выпуска

Тип корпуса:

- 48-выводной металлокерамический корпус 5142.48-А.

Общее описание и область применения микросхемы

Микросхемы интегральные 1923НВ015 (далее – микросхемы) представляют собой преобразователь аналогового сигнала и предназначены для обработки сигналов, поступающих с аналоговых датчиков, и имеет в составе:

- 16 разрядный АЦП;
- инструментальный усилитель;
- 4-х проводной последовательный интерфейс SPI;
- интерфейс управления двумя аналоговыми коммутаторами.

1 Структурная блок-схема микросхем

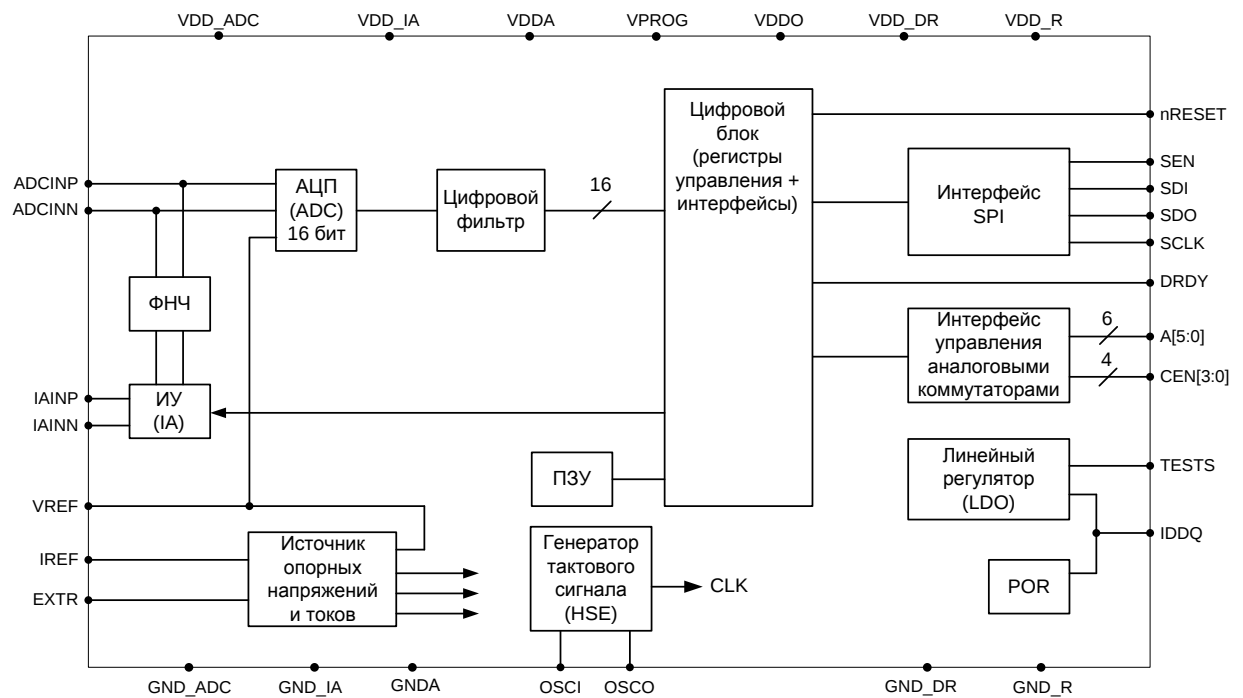


Рисунок 1 – Структурная блок-схема микросхем

Сокращения, используемые на структурной блок-схеме на рисунке 1:

АЦП – аналого-цифровой преобразователь 16-ти разрядный;

ИУ – инструментальный усилитель;

ПЗУ – постоянное запоминающее устройство;

ФНЧ – фильтр низких частот;

POR – схема сброса по питанию.

2 Условное графическое обозначение

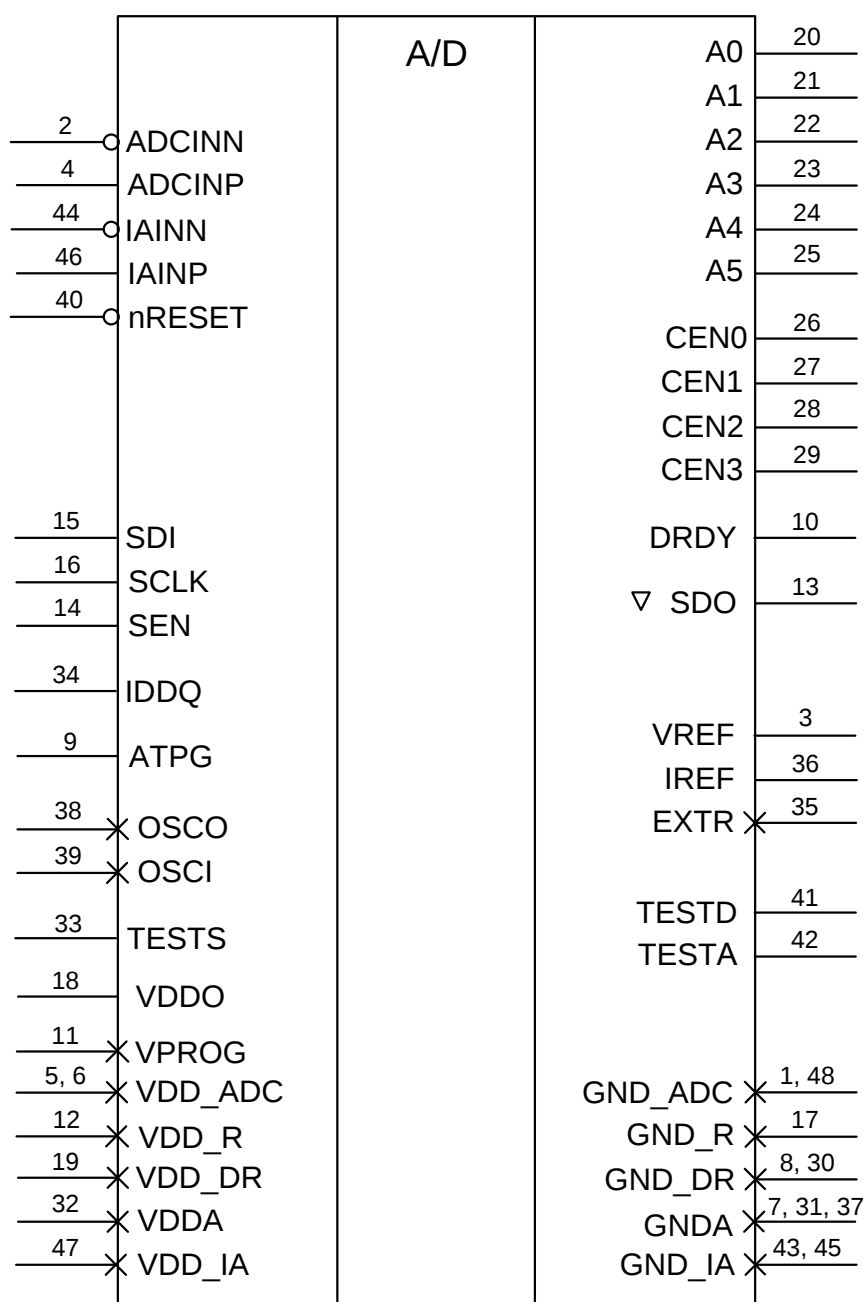


Рисунок 2 – Условное графическое обозначение микросхем

3 Описание выводов

Таблица 1 – Описание выводов

№ выводной площадки корпуса	Обозначение вывода	Тип вывода	Функциональное назначение вывода
1	GND_ADC	GND	Общий АЦП
2	ADCINN	I	Вход АЦП инверсный
3	VREF	O	Опорное напряжение АЦП (2,5 В)
4	ADCINP	I	Вход АЦП прямой
5	VDD_ADC	PWR	Питание АЦП
6	VDD_ADC	PWR	Питание АЦП
7	GNDA	GND	Общий аналоговых блоков
8	GND_DR	GND	Общий выходных драйверов IO
9	ATPG	I	Вход разрешения тестирования 0 – режим функционирования; 1 – режим тестирования
10	DRDY	O	Выход сигнала окончания преобразования АЦП (DATA READY) 0 – данные не готовы; 1 – данные готовы
11	VPROG	PWR	Напряжение программирования ПЗУ
12	VDD_R	PWR	Питание входных приемников IO
13	SDO	O	Выход данных интерфейса SPI
14	SEN	I	Вход разрешения работы интерфейса SPI
15	SDI	I	Вход данных интерфейса SPI
16	SCLK	I	Вход тактовой частоты интерфейса SPI
17	GND_R	GND	Общий входных приемников IO
18	VDDO	O	Выход линейного регулятора напряжения (LDO)
19	VDD_DR	PWR	Питание выходных драйверов IO
20	A0	O	Выход интерфейса управления аналоговыми коммутаторами (младший разряд)
21	A1	O	Выход интерфейса управления аналоговыми коммутаторами
22	A2	O	Выход интерфейса управления аналоговыми коммутаторами
23	A3	O	Выход интерфейса управления аналоговыми коммутаторами
24	A4	O	Выход интерфейса управления аналоговыми коммутаторами
25	A5	O	Выход интерфейса управления аналоговыми коммутаторами (старший разряд)
26	CEN0	O	Выход сигнала управления включением микросхем и секций аналоговых коммутаторов (младший разряд)
27	CEN1	O	Выход сигнала управления включением микросхем и секций аналоговых коммутаторов
28	CEN2	O	Выход сигнала управления включением микросхем и секций аналоговых коммутаторов
29	CEN3	O	Выход сигнала управления включением микросхем и секций аналоговых коммутаторов (старший разряд)
30	GND_DR	GND	Общий выходных драйверов IO
31	GNDA	GND	Общий аналоговых блоков
32	VDDA	PWR	Питание аналоговых блоков

№ выводной площадки корпуса	Обозначение вывода	Тип вывода	Функциональное назначение вывода
33	TESTS	I	Тестовый вход встроенного линейного регулятора напряжения (LDO)
34	IDDQ	I	Вход полного отключения блоков POR и LDO (для измерения токов утечек) 0 – микросхема включена; 1 – режим IDDQ
35	EXTR	I	Вывод для подключения внешнего токозадающего резистора, сопротивлением 3,48кОм ± 0,05%, для формирования опорного тока
36	IREF	O	Опорный ток (вытекающий) для питания температурных датчиков (100 Ом)
37	GNDА	GND	Общий аналоговых блоков
38	OSCO	O	Вывод подключения кварцевого резонатора
39	OSCI	I	Вывод для подключения внешнего генератора или кварцевого резонатора
40	nRESET	I	Вход сигнала сброса 0 – запрос сброса; 1 – рабочий режим
41	TESTD	O	Тестовый выход цифровой
42	TESTA	O	Тестовый выход аналоговый
43	GND_ІА	GND	Общий инструментального усилителя
44	ІAINN	I	Вход инструментального усилителя инверсный
45	GND_ІА	GND	Общий инструментального усилителя
46	ІAINP	I	Вход инструментального усилителя прямой
47	VDD_ІА	PWR	Питание инструментального усилителя
48	GND_АDС	GND	Общий АЦП
Примечание – Обозначения типов выводов: I – вход; IO – вход / выход; O – выход; PWR – питание; GND – общий.			

Таблица 2 – Выводы питания

№ выводной площадки корпуса	Обозначение вывода	Тип вывода	Функциональное назначение вывода
5, 6	VDD_АDС	PWR	Питание АЦП
11	VPROG	PWR	Напряжение программирования ПЗУ
12	VDD_ІR	PWR	Питание входных приемников ІО
19	VDD_ІDІ	PWR	Питание выходных драйверов ІО
32	VDDА	PWR	Питание аналоговых блоков
47	VDD_ІА	PWR	Питание инструментального усилителя
1, 48	GND_АDС	GND	Общий АЦП
7, 31, 37	GNDА	GND	Общий аналоговых блоков
8, 30	GND_ІDІ	GND	Общий выходных драйверов ІО
17	GND_ІR	GND	Общий входных приемников ІО
43, 45	GND_ІА	GND	Общий инструментального усилителя

4 Указания по применению и эксплуатации

При ремонте аппаратуры и измерении параметров замену микросхем необходимо проводить только при отключенных источниках питания.

Входы TESTS подключать к шине «Общий».

Запрещается подведение каких-либо электрических сигналов (в том числе шин «Питание» и «Общий») к тестовым выходам TESTA, TESTD микросхем.

Крышка корпуса микросхем и вывод 37 электрически соединены с обратной стороной кристалла микросхем.

При программировании использовать источник напряжения, подключенный к выводу V_{PROG} , с ограничением по току не менее 10 мА.

Проведение электротермотренировки после программирования микросхем не требуется.

Типовая схема включения микросхем приведена на рисунке 9.

Порядок подачи и снятия напряжения питания и входных сигналов на микросхемы следующий:

- подача (включение микросхем) – «Общий», «Питание», входные сигналы или одновременно;
- снятие (выключение микросхем) – в обратном порядке или одновременно.

5 Описание функционирования микросхемы

5.1 Общее описание

Микросхема обладает следующими функциональными характеристиками:

- имеет в составе 16-разрядный АЦП. Время преобразования сигнала не более 2 мс. Производителем калибруется смещение и погрешность в конечной точке характеристики преобразования АЦП. Результаты калибровки хранятся в ПЗУ микросхемы.
- 4-х проводной последовательный SPI-интерфейс обеспечивает управление микросхемой и передачу данных с АЦП;
- инструментальный усилитель с переменным (1, 2, 4 и 8) коэффициентом усиления для обработки сигналов с температурных датчиков и сглаживающий ФНЧ с частотой среза не более 20 кГц. При использовании инструментального усилителя калибровка смещения и коэффициента усиления выполняется пользователем. Пример процедуры калибровки с учетом инструментального усилителя приведен в подразделе 5.5;
- источник опорного тока 2,78 мА;
- интерфейс управления аналоговыми коммутаторами (1923КН014, 1923КН015);
- генератор тактового сигнала с внешним кварцевым резонатором и с возможностью использования внешнего тактового генератора.

5.2 Режимы работы микросхемы

Микросхема может находиться в одном из следующих режимов:

- 1 POWER DOWN – режим пониженного потребления: отключаются все основные блоки микросхемы, включая источник опорного напряжения (REF) и генератор тактового сигнала (GEN); регулятор напряжения питания цифрового блока (LDO) переводится в режим с наименьшим потреблением (SIRLOW<2:0>=111);
- 2 IDLE – режим ожидания: включены источник опорного напряжения (REF) и генератор тактового сигнала (GEN), при этом регулятор напряжения питания цифрового блока (LDO) остается в режиме с наименьшим потреблением;
- 3 CONTINUOUS – режим непрерывного преобразования сигнала. Возможны следующие подрежимы:
 - а) без изменения канала и коэффициента усиления;
 - б) с изменением канала и коэффициента усиления (с перезагрузкой цифрового фильтра);
- 4 SINGLE – рабочий одиночного преобразования, по окончании которого микросхема переходит в режим ожидания IDLE;
- 5 IDDQ – тестовый режим. Возможны следующие подрежимы:
 - а) режим тестирования цифровых блоков, ATPG;
 - б) FULL IDDQ – полное отключение всех блоков микросхемы для тестирования токов утечки (для блока LDO сигнал EN_DUCC = 1, для блока POR сигнал PORDIS = 1).

Выбор режима работы осуществляется установкой бита MDS регистр MODE (см. подраздел 5.4.1.3 «Регистр режима функционирования»).

При включении питания микросхема находится в режиме ожидания IDLE.

5.3 Блок модулятора 16-разрядного АЦП

Структурная схема модулятора приведена на рисунке 3.

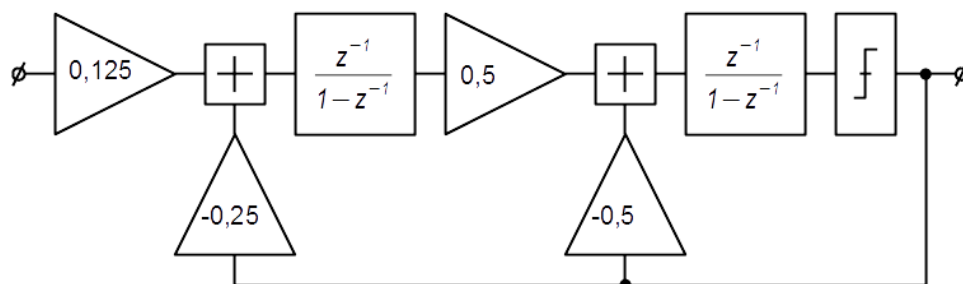


Рисунок 3 – Структурная схема модулятора

Упрощенная электрическая схема модулятора приведена на рисунке 4.

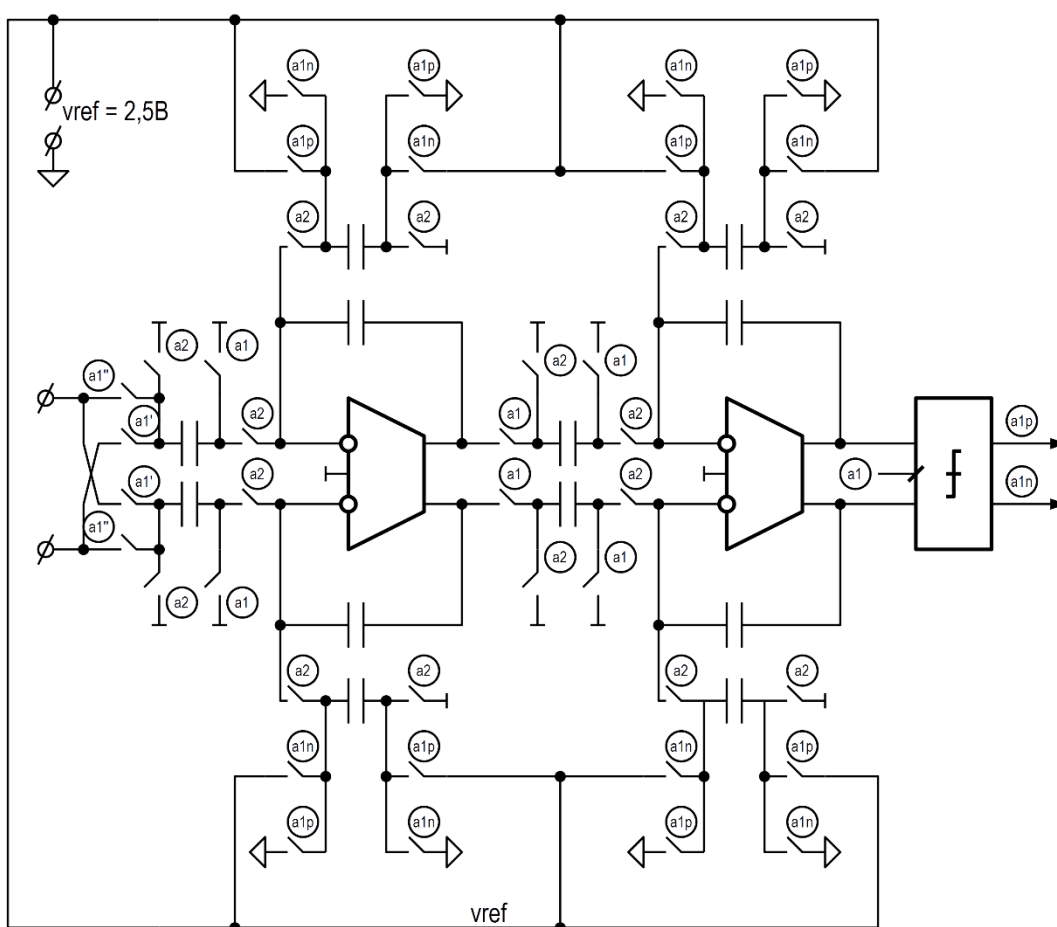


Рисунок 4 – Упрощенная электрическая схема модулятора

Значения коэффициентов модулятора определяются отношением величин переключаемых конденсаторов, в меньшей мере величиной паразитных емкостей и собственным коэффициентом усиления операционных усилителей. Скорость работы (максимальное значение тактовой частоты) модулятора зависит от сопротивления замкнутых ключей и полосы пропускания операционных усилителей. Шум модулятора, благодаря наличию «чоппера», в основном определяется тепловым шумом усилителей, компаратора и системы конденсатор-ключ (kT/C). Эффекты смещения, вызванные несимметричностью схемы, и $1/f$ шум сильно уменьшаются.

5.3.1 Описание функционирования блока и режимов работы

Входной дифференциальный сигнал номинальной амплитудой 2,5 В и частотой от 0 до 500 Гц поступает на вход схемы модулятора. Периодическими управляющими сигналами **a1'** (или **a1''**, в зависимости от сигнала **chop**) и **a2** производится дискретизация по времени входного сигнала, а также модуляция его сигналом **chop**. Далее этот сигнал, сложенный с сигналом обратной связи, интегрируется дважды в полном соответствии с математической моделью (см. рисунок 3). Выход второго интегратора оцифровывается при помощи однобитного квантователя, превращаясь в поток логических нулей и единиц, выводимых через выход **do**. Этот же выходной цифровой сигнал при помощи однобитного ЦАП преобразуется в электрические сигналы обратной связи, которые в свою очередь складываются с вновь полученным дискретизированным значением входного сигнала. Процесс повторяется периодически с частотой 2 МГц.

Временная диаграмма представлена на рисунке 5. Сигналы **a1**, **a1'**, **a1''**, **a2**, а также выходной сигнал **do** формируются внутри схемы модулятора. Сигналы **clock_2000k** и **chop** приходят от цифровой части микросхемы. Номинальная частота работы модулятора составляет 2 МГц и определяется частотой тактового сигнала **clock_2000k**.

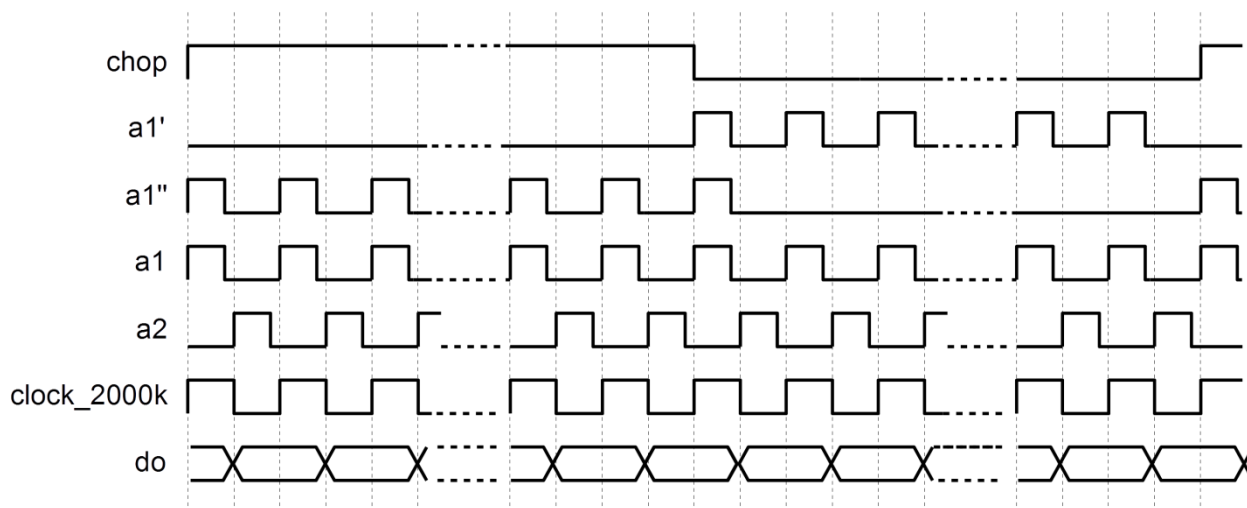


Рисунок 5 – Временная диаграмма

Длительность переходных процессов определяющая время, необходимое для восстановления работоспособности модулятора при выходе из режима с пониженным энергопотреблением, составляет до 100 мкс. Данное обстоятельство следует учитывать при разработке алгоритма функционирования систем, построенных на основе этого модулятора.

Диапазон напряжений на входе, определяемый как разность напряжений на выводах **adcinp** и **adcinn**, примерно равен от минус 2,5 до плюс 2,5 В. Синфазная составляющая сигнала может быть любой, которая обеспечивает нахождение уровней напряжений на входах **adcinp** и **adcinn** в интервале от 0,2 В до напряжения питания минус 0,2 В. Модуль верхней и нижней границы диапазона входных напряжений определяется внешним опорным напряжением на входе **vref2p5**. Номинальное опорное напряжение равно 2,5 В. Точность его установки определяет точность границ диапазона, а следовательно и коэффициент передачи АЦП. Шум на входе **vref2p5** вносит мультипликативный шум в результат преобразования АЦП, построенном на этом модуляторе.

5.4 Описание цифровой части микросхемы

5.4.1 Описание регистров управления

АЦП содержит набор регистров, которые используются для управления, настройки и тестирования устройства. Перечень регистров приведен в таблице 3.

Т а б л и ц а 3 – Регистры управления

Адрес	Назв.	Биты	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс
0x00	COM	[7:0]	RNW	RA[4:0]					PCLR	PAR	0x00
0x00	STAT	[7:0]	PERR	ERR1	ERR2	VERR	DRDY	DERR	IRDY	RRDY	0x00
0x01	MODE	[7:0]	MDS[1:0]		0	IAE	CKS[1:0]		CKBP	CKFL	0x80
0x02	CFG	[7:0]	REFS	REFP	CHPD	DSET	DS24	FS[2:0]			0x10
0x03	ID	[7:0]	ID								0x21
0x04	DATA0	[7:0]	DATA[7:0]								0x00
0x05	DATA1	[7:0]	DATA[15:8]								0x00
0x06	DATA2	[7:0]	DATA[23:16]								0x00
0x07	OFFS0	[7:0]	OFFS[7:0]								0x00
0x08	OFFS1	[7:0]	OFFS[15:8]								0x00
0x09	OFFS2	[7:0]	OFFS[23:16]								0x80
0x0A	GAIN0	[7:0]	GAIN[7:0]								0x00
0x0B	GAIN1	[7:0]	GAIN[15:8]								0x00
0x0C	GAIN2	[7:0]	GAIN[23:16]								0x40
0x0D	CMM0	[7:0]	IAS[1:0]		CHS[5:0]						0x00
0x0E	CMM1	[7:0]	0000				CHE[3:0]				0x00
0x0F	TCMM	[7:0]	TCHE	000			TCHS[3:0]				0x00
0x10	OTPC	[7:0]	OTPE	000			PRGE	SNSE	00		0x00
0x11	MADR	[7:0]	0	MADR[6:0]							0x70
0x12	WDAT	[7:0]	WDAT[7:0]								0x00
0x13	WECC	[7:0]	000			WECC[4:0]					0x00
0x14	RDAT	[7:0]	RDAT[7:0]								0x00
0x15	RECC	[7:0]	000			RECC[4:0]					0x00

Примечания:

- 1 Регистр COM доступен только по записи.
- 2 Регистры STAT, ID, DATA0, DATA1, DATA2, RDAT, RECC доступны только по чтению.
- 3 Запись в регистры MODE, CMM0, CMM1 приводит к инициализации цифрового фильтра.

5.4.1.1 Регистр команд (COM)

Регистр команд COM является 8-разрядным регистром, который доступен только по записи. Все взаимодействия с АЦП начинаются с операции записи в регистр COM. Данные, записанные в регистр COM, определяют тип следующей операции (запись или чтение) и адрес регистра, к которому относится следующая операция. После завершения записи в указанный регистр или чтения из указанного

регистра контроллер SPI возвращается в исходное состояние, при котором он ожидает следующую запись в регистр COM.

Назначение битов регистра COM приведено в таблице 4, адрес регистра равен 0x00, значение при инициализации АЦП равно 0x00.

Таблица 4 – Описание бит регистра COM

Бит	Название	Описание
7	RNW	Тип операции с выбранным регистром: 0 – запись в выбранный регистр; 1 – чтение из выбранного регистра
6:2	RA[4:0]	Адрес выбранного регистра
1	PCLR	Управление сбросом флага ошибки четности: 0 – сброс флага ошибки четности не производится; 1 – сброс флага ошибки четности производится. Контроль четности данных на входе SDI производится при всех транзакциях по SPI. Если количество единичных значений в транзакции нечетное, устанавливается флаг ошибки четности. Флаг ошибки четности не может быть сброшен последующими транзакциями. Для того чтобы сбросить флаг необходимо записать команду 0x02 или 0x03 (в зависимости от значения бита PAR)
0	PAR	Бит четности текущей транзакции

5.4.1.2 Регистр состояния (STAT)

Регистр состояния STAT является 8-разрядным регистром, который доступен только по чтению. Назначение битов регистра STAT приведено в таблице 5, адрес регистра равен 0x00, значение при инициализации АЦП равно 0x00.

Таблица 5 – Описание бит регистра STAT

Бит	Название	Описание
7	PERR	Флаг ошибки четности при транзакции по SPI. Устанавливается, когда количество единичных значений в транзакции нечетное. Сбрасывается командой сброса флага
6	ERR1	Флаг ошибки ЕСС. Устанавливается, когда значение одного из регистров настройки АЦП соответствует возникновению одиночной или двойной ошибки ЕСС. При возникновении одиночной ошибки правильное функционирование сохраняется, так как все одиночные ошибки ЕСС корректируются. При возникновении двойной ошибки функционирование может быть нарушено. Сбрасывается при инициализации АЦП
5	ERR2	Флаг двойной ошибки ЕСС. Устанавливается, когда значение одного из регистров настройки АЦП соответствует возникновению двойной ошибки ЕСС. При возникновении двойной ошибки функционирование может быть нарушено. Сбрасывается при инициализации АЦП
4	VERR	Флаг переполнения регистра данных Устанавливается, когда результат преобразования не может быть записан в регистр данных, так как предыдущий результат преобразования не был передан по SPI. Необходимо обеспечить чтение значений из регистра данных до окончания следующего преобразования. Сбрасывается при записи в регистр MODE

Бит	Название	Описание
3	DRDY	Флаг готовности данных. Устанавливается, когда результат преобразования записывается в регистр данных. Сбрасывается по окончании чтения результата преобразования по SPI или при записи в регистр MODE. Если разрядность результата преобразования равна 16 бит, флаг сбрасывается по окончании чтения содержимого регистров DATA2 и DATA1. Если разрядность результата преобразования равна 24 бита, флаг сбрасывается по окончании чтения содержимого регистров DATA2, DATA1 и DATA0. Флаг готовности данных формируется также на выводе DRDY. Контроль состояния данного вывода является альтернативой чтению регистра состояния. Чтение результата преобразования должно начинаться после появления флага готовности данных и заканчиваться до получения следующего результата преобразования. В противном случае появится флаг переполнения регистра данных VERR
2	DERR	Флаг ошибки преобразования. Устанавливается, когда в процессе преобразования результат выходит за границы максимально допустимых значений. В этом случае результат преобразования ограничивается максимально допустимыми значениями. Сбрасывается при записи в регистр MODE
1	IRDY	Флаг завершения инициализации регистров настройки АЦП. Устанавливается по окончании копирования данных настройки АЦП из внутренней однократно программируемой памяти (памяти OTP) в регистры настройки. Сбрасывается при инициализации АЦП
0	RRDY	Флаг готовности источника опорных напряжений и токов. Устанавливается в режимах непрерывного или одиночного преобразования и в режиме ожидания, когда внутренний источник опорных напряжений и токов переходит в рабочий режим. Сбрасывается при переходе в режим пониженного потребления

5.4.1.3 Регистр режима функционирования (MODE)

Регистр режима функционирования MODE является 8-разрядным регистром, который доступен по записи и по чтению. Назначение битов регистра приведено в таблице 6, адрес регистра равен 0x01, значение при инициализации АЦП равно 0x80.

Таблица 6 – Описание бит регистра MODE

Бит	Название	Описание
7:6	MDS[1:0]	Выбор режима функционирования АЦП: 00 – режим непрерывного преобразования; 01 – режим одиночного преобразования; 10 – режим ожидания; 11 – режим пониженного потребления
5	–	Зарезервирован. Должен быть равен 0 для правильного функционирования
4	IAE	Управление инструментальным усилителем входного сигнала: 0 – инструментальный усилитель выключен, входной сигнал поступает непосредственно на модулятор; 1 – инструментальный усилитель включен, входной сигнал поступает на модулятор с выхода инструментального усилителя

Бит	Название	Описание
3:2	CKS[1:0]	Выбор коэффициента деления тактовой частоты: 00 – коэффициент деления частоты равен 1; 01 – коэффициент деления частоты равен 2; 10 – коэффициент деления частоты равен 4; 11 – коэффициент деления частоты равен 8
1	СКВР	Выбор источника сигнала тактовой частоты: 0 – внутренний генератор с внешним кварцевым резонатором; 1 – внешний генератор
0	СКФЛ	Управление помехоподавляющим фильтром сигнала тактовой частоты: 0 – помехоподавляющий фильтр выключен; 1 – помехоподавляющий фильтр включен

5.4.1.4 Регистр конфигурации (CFG)

Регистр конфигурации CFG является 8-разрядным регистром, который доступен по записи и по чтению. Назначение битов регистра приведено в таблице 7, адрес регистра равен 0x02, значение при инициализации АЦП равно 0x10.

Таблица 7 – Описание бит регистра CFG

Бит	Название	Описание
7	REFS	Выбор источника опорного напряжения для модулятора: 0 – внешний источник опорного напряжения, подключенный к выводу VREF_ADC16; 1 – внутренний источник опорного напряжения
6	REFP	Управление подключением внутреннего источника опорного тока к выводу IREF: 0 – источник опорного тока не подключен к выводу IREF; 1 – источник опорного тока подключен к выводу IREF
5	CHPD	Управление выключением компенсации смещения: 0 – компенсация смещения включена; 1 – компенсация смещения выключена
4	DSET	Управление выдачей только установившихся результатов: 0 – выдаются все результаты преобразования; 1 – выдаются только установившиеся результаты преобразования
3	DS24	Выбор разрядности результата преобразования: 0 – разрядность результата преобразования равна 16 бит; 1 – разрядность результата преобразования равна 24 бита
2:0	FS[2:0]	Выбор частоты выходных данных цифрового фильтра

5.4.1.5 Регистр идентификации (ID)

Регистр идентификации ID является 8-разрядным регистром, который доступен только по чтению. Регистр содержит идентификационный номер АЦП (см. таблицу 8), адрес регистра равен 0x03, значение при инициализации АЦП равно 0x21.

Таблица 8 – Описание бит регистра ID

Бит	Название	Описание
7:0	ID[7:0]	Идентификационный номер АЦП

5.4.1.6 Регистр данных (DATA)

Регистр данных DATA является 24-разрядным регистром, который доступен только по чтению. Регистр содержит результат преобразования АЦП и состоит из трех 8-разрядных регистров (см. таблицы 9 – 11):

- 1 регистр младшего байта данных DATA0, адрес регистра равен 0x04, значение при инициализации АЦП равно 0x00.
- 2 регистр среднего байта данных DATA1, адрес регистра равен 0x05, значение при инициализации АЦП равно 0x00.
- 3 регистр старшего байта данных DATA2, адрес регистра равен 0x06, значение при инициализации АЦП равно 0x00.

Таблица 9 – Описание бит регистра DATA0

Бит	Название	Описание
7:0	DATA0[7:0]	Младший байт результата преобразования АЦП. Если разрядность результата преобразования равна 16 бит, результат преобразования округляется до 16 разрядов. В этом случае в регистр записываются нули, поэтому чтение регистра по SPI является необязательным

Таблица 10 – Описание бит регистра DATA1

Бит	Название	Описание
7:0	DATA1[7:0]	Средний байт результата преобразования АЦП

Таблица 11 – Описание бит регистра DATA2

Бит	Название	Описание
7:0	DATA2[7:0]	Старший байт результата преобразования АЦП

5.4.1.7 Регистр коэффициента смещения (OFFS)

Регистр коэффициента смещения OFFS является 24-разрядным регистром, который доступен по записи и по чтению. Регистр содержит калибровочный коэффициент смещения и состоит из трех 8-разрядных регистров (см. таблицы 12 – 14):

- 1 регистр младшего байта коэффициента смещения OFFS0, адрес регистра равен 0x07, значение при инициализации АЦП равно значению, которое записывается на этапе производства.
- 2 регистр среднего байта коэффициента смещения OFFS1, адрес регистра равен 0x08, значение при инициализации АЦП равно значению, которое записывается на этапе производства.
- 3 регистр старшего байта коэффициента смещения OFFS2, адрес регистра равен 0x09, значение при инициализации АЦП равно значению, которое записывается на этапе производства.

Таблица 12 – Описание бит регистра OFFS0

Бит	Название	Описание
7:0	OFFS0[7:0]	Младший байт калибровочного коэффициента смещения

Таблица 13 – Описание бит регистра OFFS1

Бит	Название	Описание
7:0	OFFS1[7:0]	Средний байт калибровочного коэффициента смещения

Таблица 14 – Описание бит регистра OFFS2

Бит	Название	Описание
7:0	OFFS2[7:0]	Старший байт калибровочного коэффициента смещения

5.4.1.8 Регистр коэффициента усиления (GAIN)

Регистр коэффициента усиления GAIN является 24-разрядным регистром, который доступен по записи и по чтению. Регистр содержит калибровочный коэффициент усиления и состоит из трех 8-разрядных регистров (см. таблицы 15 – 17):

- 1 регистр младшего байта коэффициента усиления GAIN0, адрес регистра равен 0x0A, значение при инициализации АЦП равно значению, которое записывается на этапе производства;
- 2 регистр среднего байта коэффициента усиления GAIN1, адрес регистра равен 0x0B, значение при инициализации АЦП равно значению, которое записывается на этапе производства;
- 3 регистр старшего байта коэффициента усиления GAIN2, адрес регистра равен 0x0C, значение при инициализации АЦП равно значению, которое записывается на этапе производства.

Таблица 15 – Описание бит регистра GAIN0

Бит	Название	Описание
7:0	GAIN0[7:0]	Младший байт калибровочного коэффициента усиления

Таблица 16 – Описание бит регистра GAIN1

Бит	Название	Описание
7:0	GAIN1[7:0]	Средний байт калибровочного коэффициента усиления

Таблица 17 – Описание бит регистра GAIN2

Бит	Название	Описание
7:0	GAIN2[7:0]	Старший байт калибровочного коэффициента усиления

5.4.1.9 Регистр управления коммутатором (СММ)

Регистр управления коммутатором СММ является 16-разрядным регистром, который доступен по записи и по чтению. Регистр предназначен для управления внешним коммутатором аналоговых сигналов и состоит из двух 8-разрядных регистров (см. таблицы 18, 19):

- 1 регистр младшего байта кода управления коммутатором СММ0, адрес регистра равен 0x0D, значение при инициализации АЦП равно 0x00;
- 2 регистр старшего байта кода управления коммутатором СММ1, адрес регистра равен 0x0E, значение при инициализации АЦП равно 0x00.

Таблица 18 – Описание бит регистра СММ0

Бит	Название	Описание
7, 6	IAS[1:0]	Выбор коэффициента усиления инструментального усилителя: 00 – коэффициент усиления равен 1; 01 – коэффициент усиления равен 2; 10 – коэффициент усиления равен 4; 11 – коэффициент усиления равен 8
5:0	CHS[5:0]	Выбор источника аналогового сигнала. Непосредственно определяют состояние выходов интерфейса управления аналоговыми коммутаторами A[5:0]

Таблица 19 – Описание бит регистра СММ1

Бит	Название	Описание
7:4	–	Зарезервированы. Должны быть равны 0 для правильного функционирования
3:0	CHE[3:0]	Управление источником аналогового сигнала. Непосредственно определяют состояние выходов управления включением микросхем и секций аналоговых коммутаторов CEN[3:0]

5.4.1.10 Регистр управления тестовым коммутатором (ТСММ)

Регистр управления тестовым коммутатором ТСММ является 8-разрядным регистром, который доступен по записи и по чтению. Регистр предназначен для управления внутренним коммутатором аналоговых сигналов при тестировании АЦП. Назначение битов регистра приведено в таблице 20, адрес регистра равен 0x0F, значение при инициализации АЦП равно 0x00.

Таблица 20 – Описание бит регистра ТСММ

Бит	Название	Описание
7	TCHE	Управление источником аналогового сигнала
6:4	–	Зарезервированы. Должны быть равны 0 для правильного функционирования

Бит	Название	Описание
3:0	TCHS[3:0]	Выбор источника аналогового сигнала: 0000 – модуль 1; 0001 – модуль 2. Остальные значения кода зарезервированы

5.4.1.11 Регистр управления памятью ОТП (OTPC)

Регистр OTPC для управления внутренней однократно программируемой памятью (далее – память ОТП) является 8-разрядным регистром, который доступен по записи и по чтению. Назначение битов регистра приведено в таблице 21, адрес регистра равен 0x10, значение при инициализации АЦП равно 0x00.

Т а б л и ц а 21 – Описание бит регистра OTPC

Бит	Название	Описание
7	OTPE	Управление доступом к памяти: 0 – доступ к памяти запрещен; 1 – доступ к памяти разрешен
6:4	–	Зарезервированы. Должны быть равны 0 для правильного функционирования
3	PRGE	Управление программированием памяти: 0 – программирование не выполняется; 1 – программирование выполняется. Для того чтобы установить бит PRGE необходимо разрешить доступ к памяти (записать значение 0x80) и перевести память в режим программирования (записать значение 0x88)
2	SNSE	Управление чтением памяти: 0 – чтение не выполняется; 1 – чтение выполняется. Для того чтобы установить бит SNSE необходимо разрешить доступ к памяти (записать значение 0x80) и перевести память в режим чтения (записать значение 0x84). По окончании чтения бит сбрасывается аппаратно
1, 0	–	Зарезервированы. Должны быть равны 0 для правильного функционирования

5.4.1.12 Регистр адреса памяти (MADR)

Регистр адреса памяти MADR является 8-разрядным регистром, который доступен по записи и по чтению. Регистр содержит адрес внутренней памяти ОТП объемом 128 слов по 13 бит (см. таблицу 22), адрес регистра равен 0x11, значение при инициализации АЦП равно 0x70.

Младшие 16 адресов внутренней памяти ОТП не доступны.

Т а б л и ц а 22 – Описание бит регистра MADR

Бит	Название	Описание
7	–	Зарезервирован. Должен быть равен 0 для правильного функционирования
6:0	MADR[6:0]	Адрес внутренней памяти ОТП

5.4.1.13 Регистр данных для программирования памяти (WDAT)

Регистр данных для программирования памяти WDAT является 8-разрядным регистром, который доступен по записи и по чтению. Регистр содержит информационные биты кода с коррекцией ошибок и используется для записи значений

настройки АЦП во внутреннюю память OTP (см. таблицу 23), адрес регистра равен 0x12, значение при инициализации АЦП равно 0x00.

Т а б л и ц а 23 – Описание бит регистра WDAT

Бит	Название	Описание
7:0	WDAT[7:0]	Информационные биты кода с коррекцией ошибок

5.4.1.14 Регистр контрольных данных для программирования памяти (WECC)

Регистр контрольных данных для программирования памяти WECC является 8-разрядным регистром, который доступен по записи и по чтению. Регистр содержит контрольные биты кода с коррекцией ошибок и используется для записи значений настройки АЦП во внутреннюю память OTP (см. таблицу 24), адрес регистра равен 0x13, значение при инициализации АЦП равно 0x00.

Т а б л и ц а 24 – Описание бит регистра WECC

Бит	Название	Описание
7:5	–	Зарезервированы. Должны быть равны 0 для правильного функционирования
4:0	WECC[4:0]	Контрольные биты кода с коррекцией ошибок

5.4.1.15 Регистр данных для чтения памяти (RDAT)

Регистр данных для чтения памяти RDAT является 8-разрядным регистром, который доступен только по чтению. Регистр содержит информационные биты кода с коррекцией ошибок и используется для чтения значений настройки АЦП из внутренней памяти OTP (см. таблицу 25), адрес регистра равен 0x14, значение при инициализации АЦП равно 0x00.

Т а б л и ц а 25 – Описание бит регистра RDAT

Бит	Название	Описание
7:0	RDAT[7:0]	Информационные биты кода с коррекцией ошибок

5.4.1.16 Регистр контрольных данных для чтения памяти (RECC)

Регистр контрольных данных для чтения памяти RECC является 8-разрядным регистром, который доступен только по чтению. Регистр содержит контрольные биты кода с коррекцией ошибок и используется для чтения значений настройки АЦП из внутренней памяти OTP (см. таблицу 26), адрес регистра равен 0x15, значение при инициализации АЦП равно 0x00.

Т а б л и ц а 26 – Описание бит регистра RECC

Бит	Название	Описание
7:5	–	Зарезервированы. Должны быть равны 0 для правильного функционирования
4:0	RECC[4:0]	Контрольные биты кода с коррекцией ошибок

5.4.2 Кодирование результата преобразования

Результат преобразования АЦП представляет собой двоичное смещение относительно отрицательного сигнала максимальной амплитуды. Например, при отрицательном входном сигнале максимальной амплитуды результат преобразования

равен 0x000000, при нулевом входном сигнале результат преобразования равен 0x800000, при положительном входном сигнале максимальной амплитуды результат преобразования равен 0xFFFFF.

Результат преобразования АЦП (DATA) вычисляется по следующей формуле

$$DATA = (2^{23} * U_{I_ADC} / U_{REF} - (OFFS - 0x800000)) * (GAIN / 0x400000) + 0x800000, \quad (1)$$

где U_{I_ADC} – входное напряжение аналоговых входов АЦП;
 U_{REF} – выходное опорное напряжение;
 $OFFS$ – калибровочный коэффициент смещения;
 $GAIN$ – калибровочный коэффициент усиления.

Для значений $OFFS$ и $GAIN$ равных значениям при инициализации (т.е. работа при заводских калибровках) результат преобразования АЦП может быть вычислен по упрощенной формуле

$$DATA = (2^{23} * U_{I_ADC} / U_{REF}) + 0x800000, \quad (2)$$

Если разрядность результата преобразования АЦП равна 16 бит, вычисленное значение результата округляется до 16 разрядов, поэтому младший байт результата преобразования равен 0x00.

5.4.3 Цифровой фильтр

Цифровой фильтр АЦП представляет собой последовательно соединенные фильтр $Sinc^3$ и схему усреднения результатов фильтра $Sinc^3$ (см. рисунок 6). Коэффициент децимации $Sinc^3$ фильтра равен значению DEC, которое определяется значением поля FS в регистре конфигурации АЦП. Если компенсация смещения выключена (значение CHPD равно 1), схема усреднения передает результаты $Sinc^3$ фильтра без изменений. Если компенсация смещения включена (значение CHPD равно 0), схема усреднения передает усредненные результаты $Sinc^3$ фильтра.

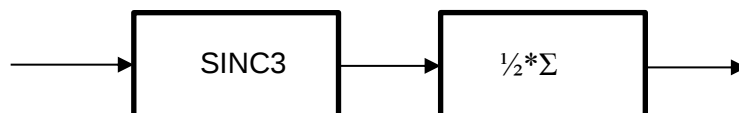


Рисунок 6 – Структурная схема цифрового фильтра

АЧХ цифрового фильтра вычисляется по следующим формулам:

– при CHPD = 1

$$H(f) = \left(\frac{1}{DEC} * \frac{\sin(DEC * \pi * \frac{f}{f_{mod}})}{\sin(\pi * \frac{f}{f_{mod}})} \right)^3. \quad (3)$$

– при CHPD = 0

$$H(f) = \left(\frac{1}{DEC} * \frac{\sin(DEC * \pi * \frac{f}{f_{mod}})}{\sin(\pi * \frac{f}{f_{mod}})} \right)^3 * \left(\frac{1}{2} * \frac{\sin(2 * \pi * \frac{f}{f_{adc}})}{\sin(\pi * \frac{f}{f_{adc}})} \right). \quad (4)$$

Частота выходных данных и время стабилизации выходных данных цифрового фильтра определяются коэффициентом децимации DEC, частотой модулятора f_{MOD} (равной 2 МГц) и значениями битов CHPD и DSET. Различные варианты выдачи данных представлены в таблицах 27 – 28.

Таблица 27

Режим	Частота выдачи f_{ADC}	Время стабилизации t_{SETTLE}
CHPD =1, DSET = 0	$f_{MOD} / (1 \times DEC)$	$3 / f_{ADC}$
CHPD =1, DSET = 1	$f_{MOD} / (3 \times DEC)$	$1 / f_{ADC}$
CHPD =0, DSET = 0	$f_{MOD} / (3 \times DEC)$	$2 / f_{ADC}$
CHPD =0, DSET = 1	$f_{MOD} / (6 \times DEC)$	$1 / f_{ADC}$

Таблица 28

Значение FS	Значение DEC	Частота выдачи f_{ADC} , Гц			
		CHPD = 1, DSET = 0	CHPD = 1, DSET = 1	CHPD = 0, DSET = 0	CHPD = 0, DSET = 1
000	4096	488	162	162	81
001	2048	976	325	325	162
010	1024	1953	651	651	325
011	512	3906	1302	1302	651
100	256	7812	2604	2604	1302
101	128	15625	5208	5208	2604
110	64	31250	10416	10416	5208
111	64	31250	10416	10416	5208

5.4.4 Кодирование контрольных битов ЕСС

Для вычисления контрольных битов кода с коррекцией ошибок используются следующие выражения

$$ecc[0] = data[6] \wedge data[4] \wedge data[3] \wedge data[1] \wedge data[0], \quad (5)$$

$$ecc[1] = data[6] \wedge data[5] \wedge data[3] \wedge data[2] \wedge data[0], \quad (6)$$

$$ecc[2] = data[7] \wedge data[3] \wedge data[2] \wedge data[1], \quad (7)$$

$$ecc[3] = data[7] \wedge data[6] \wedge data[5] \wedge data[4], \quad (8)$$

$$ecc[4] = data[7] \wedge data[5] \wedge data[4] \wedge data[2] \wedge data[1] \wedge data[0], \quad (9)$$

где $data[i]$ – информационные биты кода с коррекцией ошибок;
 $\wedge$ – определяет логическую операцию «исключающее ИЛИ».

Данные выражения используются при программировании значений регистров настройки АЦП во внутреннюю OTP память на этапе производства.

5.4.5 Чтение памяти OTP

Для того чтобы считать содержимое внутренней памяти OTP необходимо выполнить следующую последовательность действий:

- 1 Записать в регистр управления памятью OTPC значение 0×80 (разрешить доступ к памяти).
- 2 Записать в регистр адреса памяти MADR необходимое значение адреса.
- 3 Записать в регистр управления памятью OTPC значение 0×84 (выполнить чтение памяти).
- 4 Считать регистр данных RDAT.
- 5 Считать регистр контрольных данных RECC.
- 6 Если необходимо считать содержимое памяти по другому адресу, перейти к п. 2. В противном случае перейти к следующему пункту.
- 7 Записать в регистр управления памятью OTPC значение $0x00$ (запретить доступ к памяти).

5.4.6 Программирование памяти ОТР

Для того чтобы записать данные во внутреннюю память ОТР, необходимо выполнить следующую последовательность действий:

- 1 Подключить источник напряжения программирования к выводу VPROG. Ожидать в течение 10 мкс.
- 2 Записать в регистр управления памятью ОТПС значение 0×80 (разрешить доступ к памяти).
- 3 Записать в регистр данных WDAT значение 0×00 .
- 4 Записать в регистр контрольных данных WECC значение 0×00 .
- 5 Записать в регистр управления памятью ОТПС значение 0×88 (перейти в режим программирования памяти).
- 6 Записать в регистр адреса памяти MADR необходимое значение адреса. Ожидать в течение 300 мкс.
- 7 Записать в регистр WDAT или в регистр WECC значение, которое содержит только один единичный бит. Ожидать в течение 5 мс.
- 8 Записать в регистр WDAT или в регистр WECC нулевое значение (чтобы сбросить установленный ранее бит). Ожидать в течение 300 мкс.
- 9 Если необходимо записать по данному адресу памяти другой единичный бит, то перейти к п. 7. Если необходимо записать единичный бит по другому адресу памяти, то перейти к п. 6. В противном случае перейти к следующему пункту.
- 10 Записать в регистр управления памятью ОТПС значение 0×00 (запретить доступ к памяти и выйти из режима программирования).
- 11 Отключить источник напряжения программирования.

Примечание – Программирование памяти осуществляется побитно и заключается в записи единичного значения в ячейку памяти, которая первоначально содержит нулевое значение. Поэтому общее 16-разрядное значение регистров WDAT и WECC должно быть нулевым или содержать только один единичный бит.

5.4.7 Последовательный SPI-интерфейс

Все взаимодействия с АЦП по шине SPI осуществляются 16-разрядными транзакциями при низком уровне сигнала SEN. При высоком уровне сигнала SEN контроллер SPI находится в исходном состоянии, вывод SDO находится в состоянии высокого импеданса. В исходном состоянии сигнал SCLK имеет низкий уровень, прием данных по шине SPI производится по положительному фронту сигнала SCLK, передача данных производится по отрицательному фронту сигнала SCLK.

Все взаимодействия с АЦП начинаются с операции записи в регистр команд. Данные, записанные в регистр команд, определяют тип следующей операции (запись или чтение) и адрес регистра, к которому относится следующая операция. После завершения записи в указанный регистр или чтения из указанного регистра контроллер SPI возвращается в исходное состояние, при котором он ожидает следующую запись в регистр команд.

Одновременно с операцией записи в регистр команд на выход SDO всегда передаются шесть старших бит регистра состояния АЦП и бит четности данной транзакции. Если следующей операцией является чтение из регистра, то на выход SDO передается значение указанного регистра. Если следующей операцией является запись в регистр, то на выход SDO передается нулевое значение. Диаграммы записи и чтения по шине SPI показаны на рисунках 7 и 8.

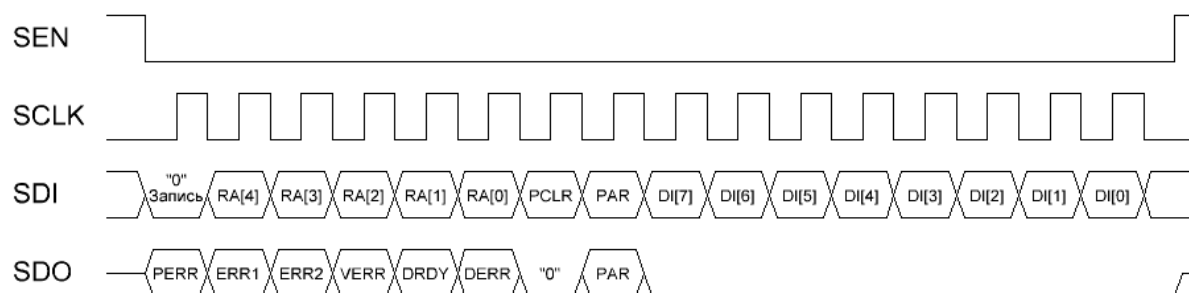


Рисунок 7 – Диаграмма записи в регистр по шине SPI

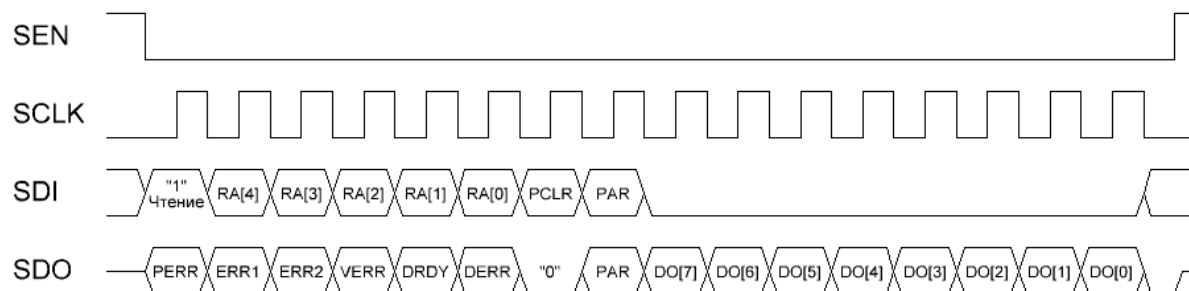


Рисунок 8 – Диаграмма чтения из регистра по шине SPI

5.4.8 Конфигурация памяти OTP

Конфигурация памяти OTP приведена в таблице 29.

Таблица 29 – Конфигурация памяти OTP

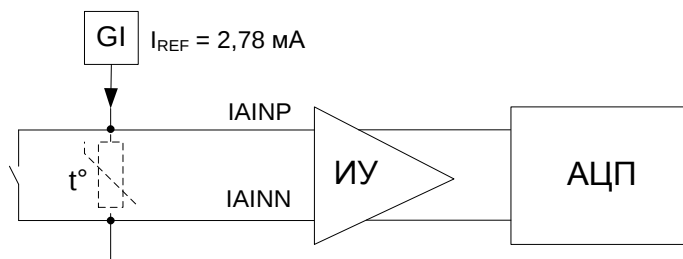
Адрес памяти	Примечание
0x00 – 0x3F	Запрещенная область памяти
0x40 – 0x77	Доступная область памяти
0x78 – 0x7F	Запрещенная область памяти

5.5 Пример процедуры калибровки АЦП совместно с инструментальным усилителем

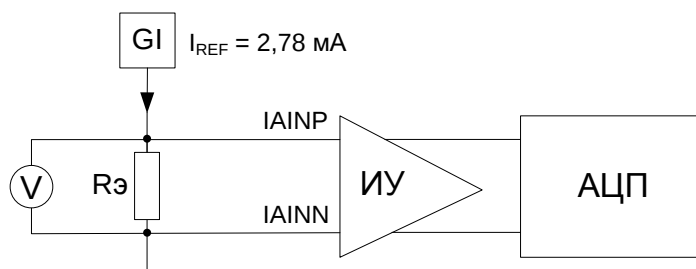
Калибровка смещения и коэффициента усиления 16-разрядного АЦП без учета инструментального усилителя выполняется производителем и результаты записываются в ячейки памяти с адресами 0x00 – 0x05.

При использовании инструментального усилителя калибровка смещения и коэффициента усиления выполняется пользователем. Например, по следующей методике:

- 1 Включить инструментальный усилитель, установив бит IAE регистра MODE в логическую «1»;
- 2 Задать требуемый коэффициент усиления инструментального усилителя, установив значения битов IAS[1:0] регистра CMM согласно таблице 18;
- 3 Задать значение смещения OFFS = 0x800000, значение коэффициента усиления GAIN = 0x400000;
- 4 Замкнуть выводы подключения температурного датчика;



- 5 Зарегистрированный при этом результат* преобразования АЦП будет реальным значением коэффициента смещения OFFS.
- 6 Задать смещение OFFS равным значению, полученному на предыдущем шаге, значение GAIN = 0x400000;
- 7 Разомкнуть выводы подключения температурного датчика и подключить эталонный резистор Rэ, номинал которого должен быть в середине рабочего диапазона конкретного прибора (например, температурного датчика);



- 8 Измерить вольтметром напряжение U_R на резисторе Rэ;
- 9 Зарегистрировать результат* преобразования АЦП (D);
- 10 Вычислить необходимое значение коэффициента усиления GAIN по формуле

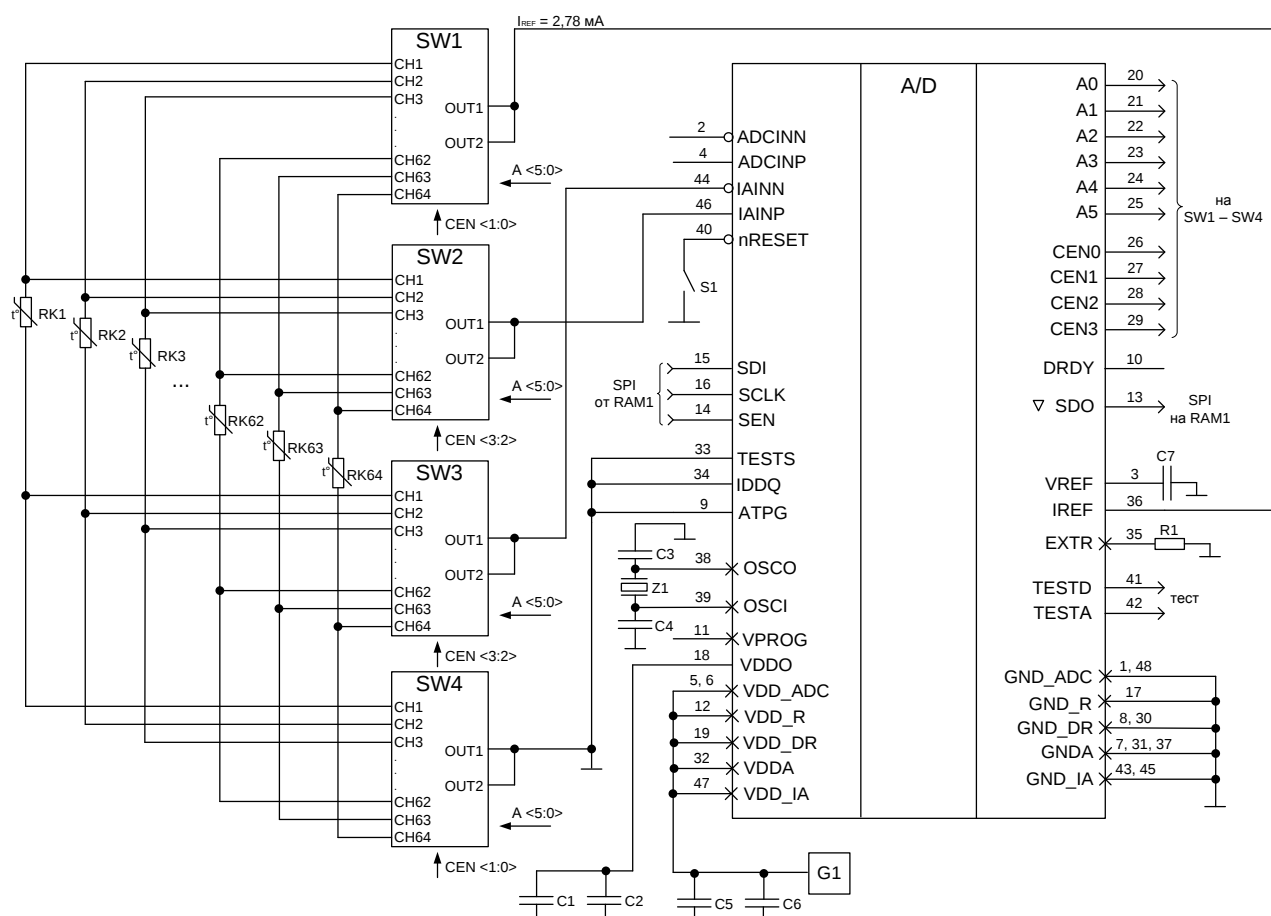
$$GAIN = (D - 2^{23}) / (2^{23}/2,5 \cdot U_R) \cdot 2^{22}. \quad (10)$$

Значения коэффициентов OFFS и GAIN, полученные при калибровке, могут быть записаны в память OTP, в область (0x40 – 0x77), доступную пользователю.

Аналогичным образом рекомендуется выполнять калибровку в реальной аппаратуре пользователя для учета влияния аналоговых ключей, соединительных проводников и т.д.

* Рекомендуется регистрацию результата преобразования АЦП проводить с большим усреднением (256 – 1024 точки).

6 Типовая схема включения



- A/D – включаемая микросхема;
 C1, C5 – конденсаторы емкостью 10 мкФ;
 C2 – конденсатор емкостью 400 пФ;
 C3, C4 – конденсаторы емкостью 20 пФ;
 C6 – конденсатор емкостью 1 нФ;
 C7 – конденсатор емкостью 15 пФ;
 G1 – источник питания (3 – 5,5) В;
 R1 – резистор сопротивлением 3,48 кОМ;
 RAM1 – контроллер памяти 1923BK014;
 RK1 – RK64 – терморезисторы;
 S1 – ключ;
 SW1 – SW4 – 64-х канальный цифровой коммутатор 1923KH014 или 1923KH015;
 Z1 – кварцевый резонатор

Рисунок 9 – Типовая схема включения микросхем

7 Типовые зависимости

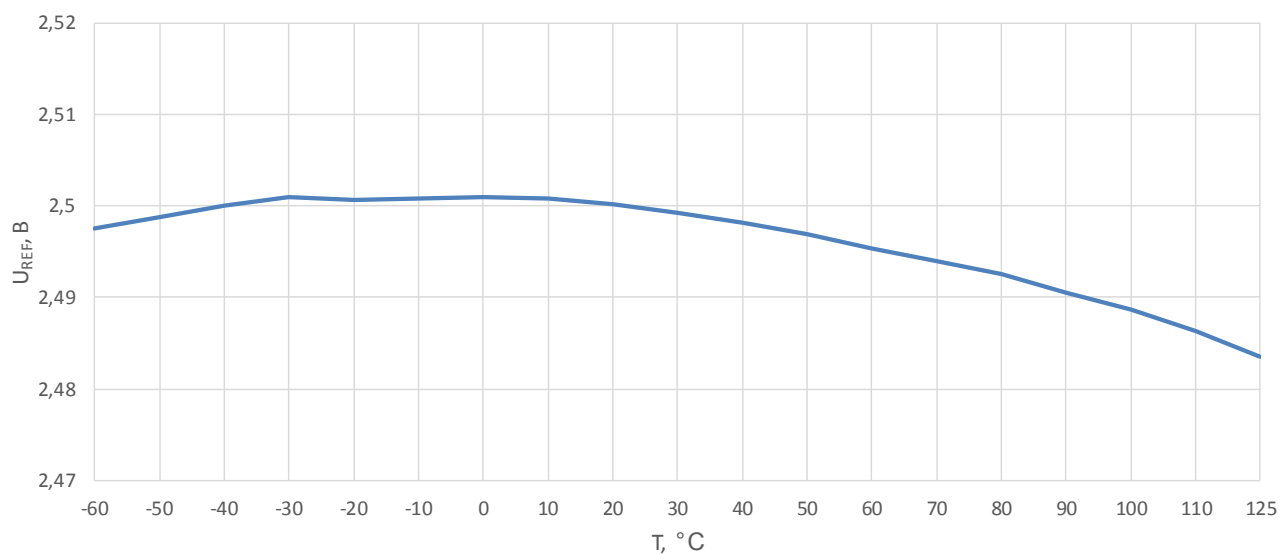


Рисунок 10 – Зависимость выходного опорного напряжения от температуры среды при $U_{CC} = 5,5 \text{ В}$

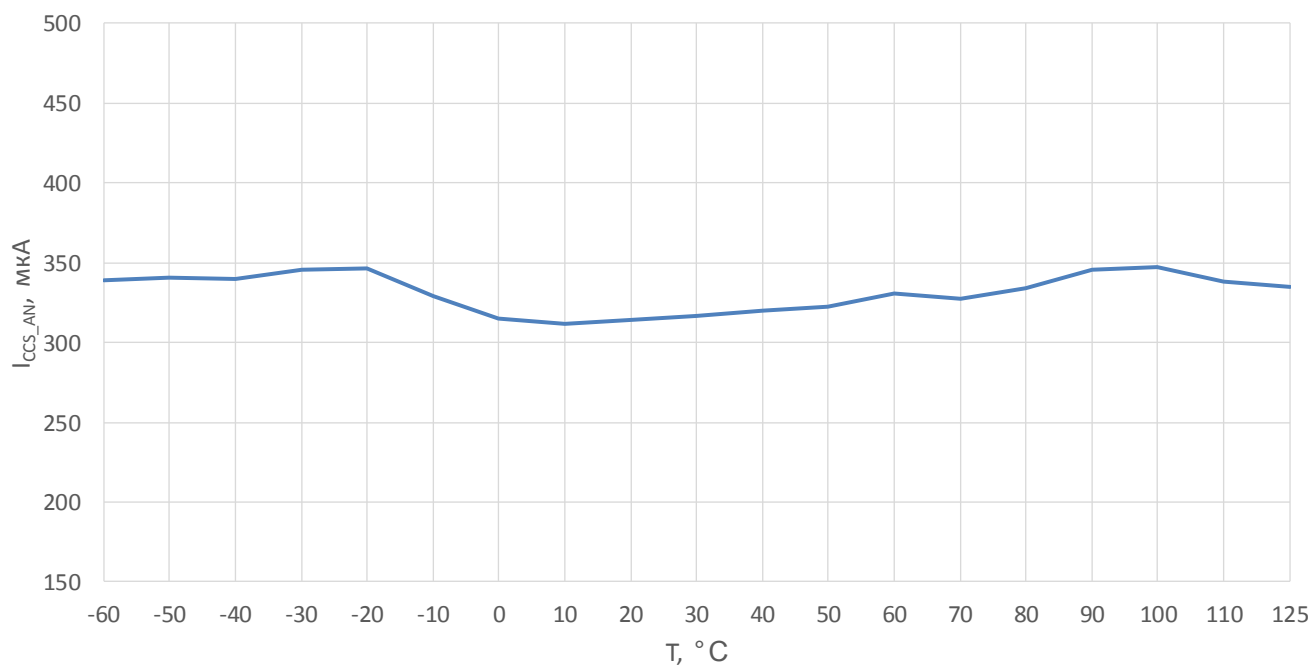


Рисунок 11 – Зависимость статического тока потребления в режиме пониженного энергопотребления от температуры среды при $U_{CC} = 5,5 \text{ В}$

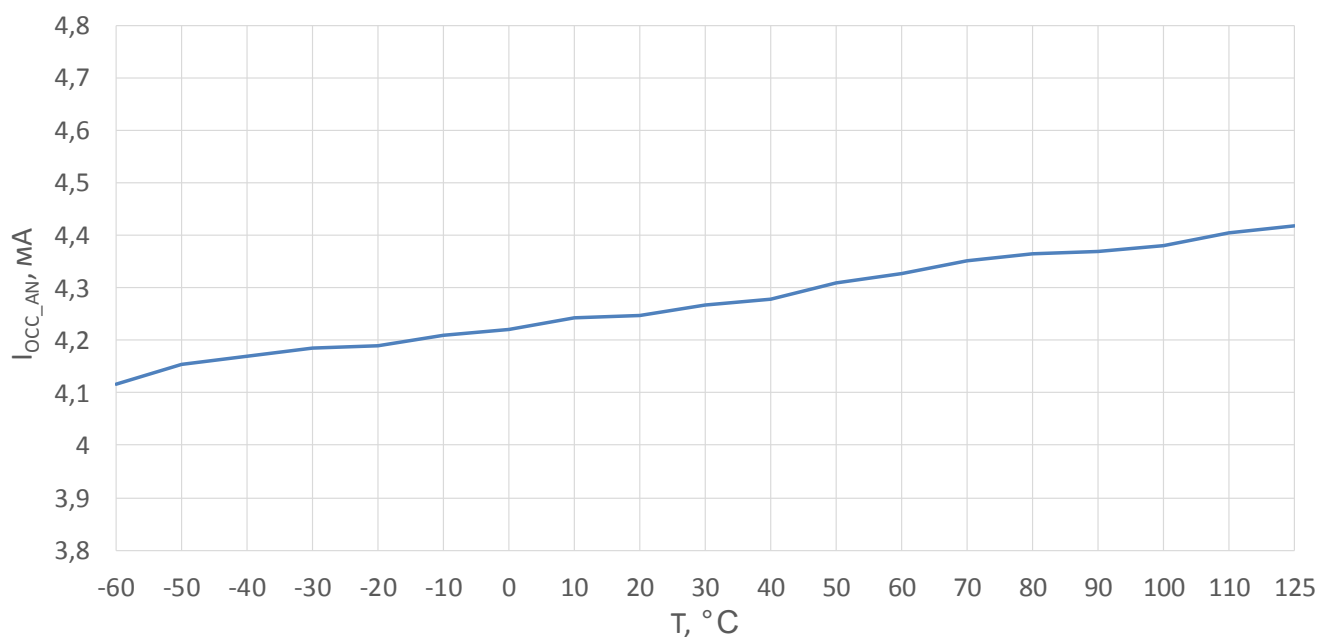


Рисунок 12 – Зависимость динамического тока потребления от температуры среды при $U_{CC} = 5,5$ В, $f_C = 16$ МГц, $f_{SCLK} = 10$ МГц

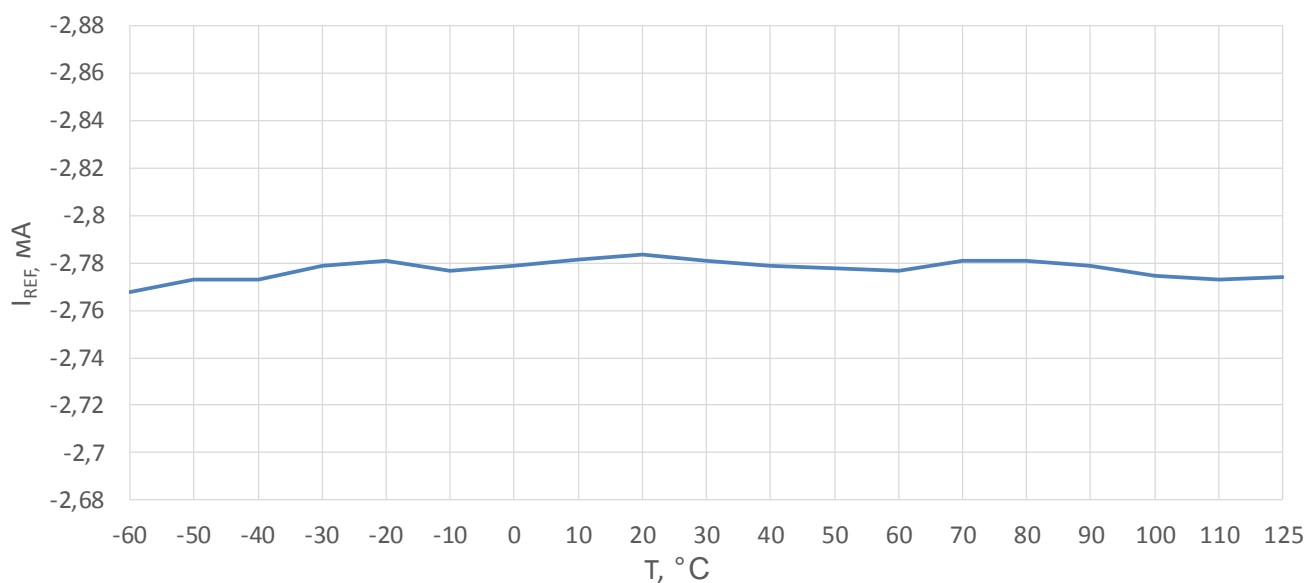


Рисунок 13 – Зависимость выходного опорного тока от температуры среды при $U_{CC} = 5,5$ В, $U_{IREF} = 4,5$ В

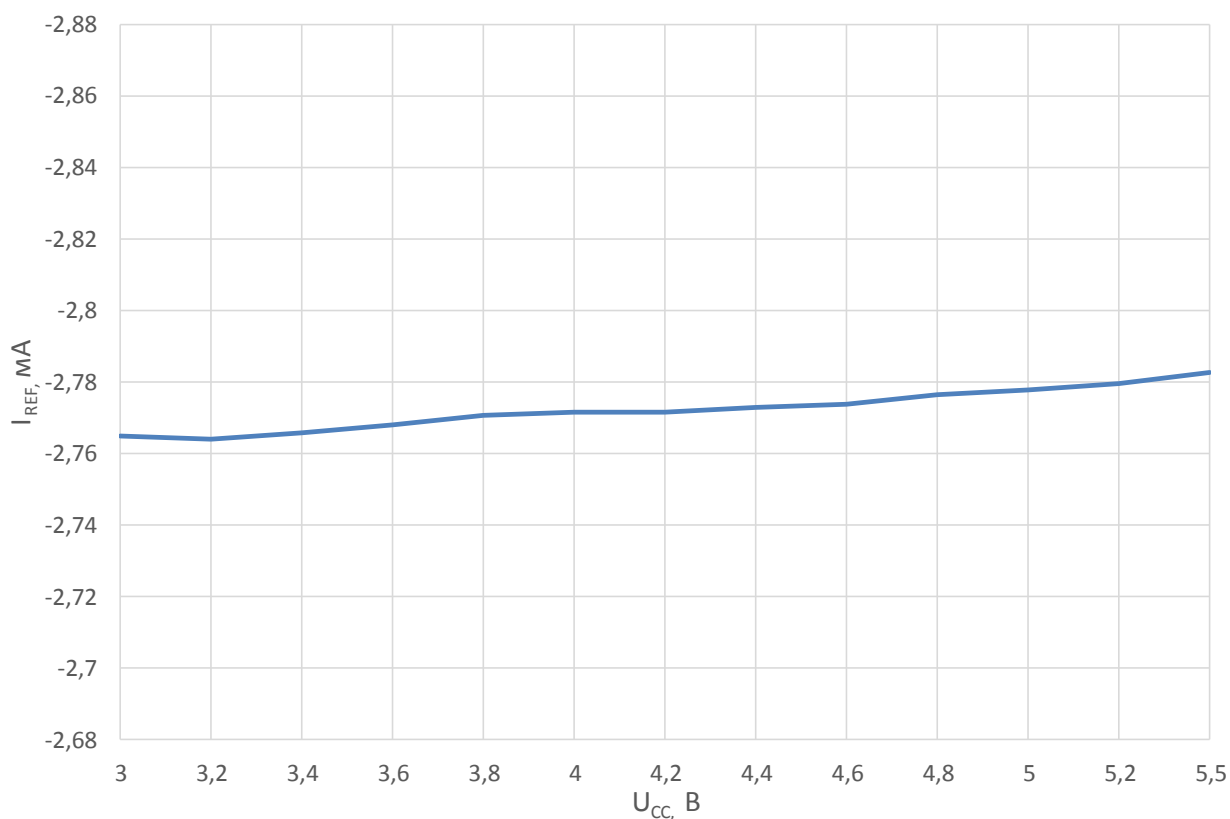


Рисунок 14 – Зависимость выходного опорного тока от напряжения питания при температуре среды $T = 25\text{ }^{\circ}\text{C}$, $U_{IREF} = 4,5\text{ В}$

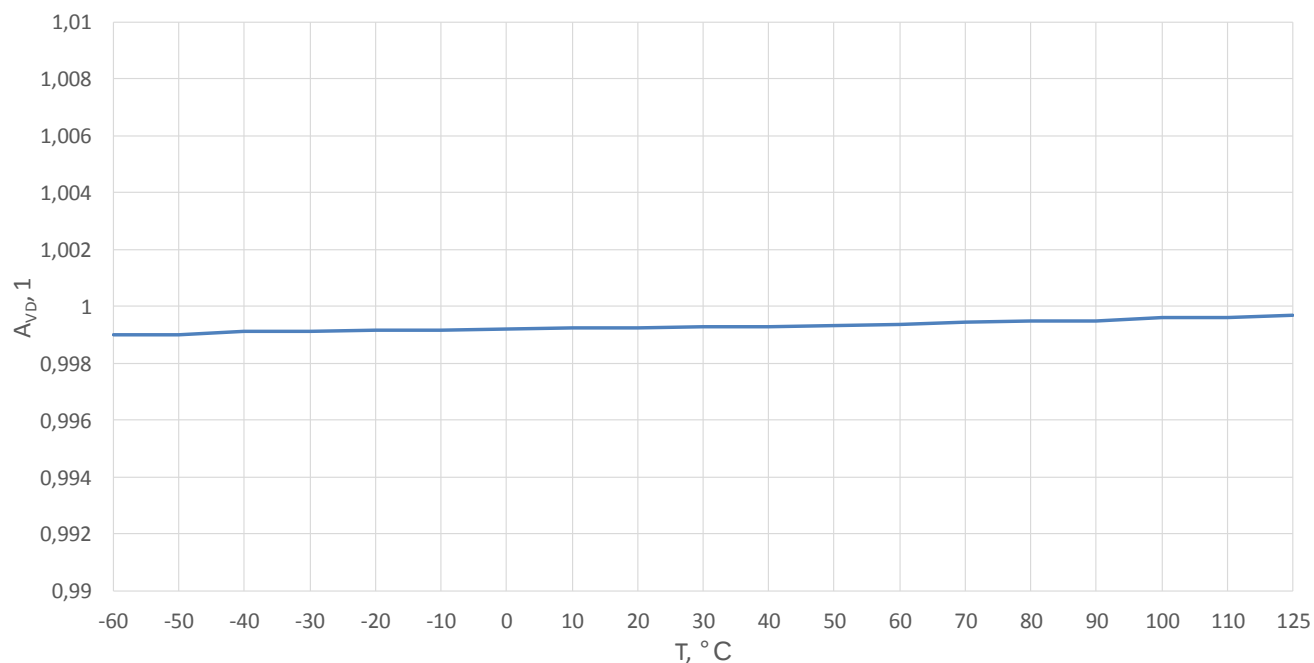


Рисунок 15 – Зависимость коэффициента усиления дифференциального сигнала ИУ по напряжению от температуры среды при $U_{CC} = 5,5\text{ В}$, $U_{IINN} = 0\text{ В}$, $I_{AS}[1:0] = 00$

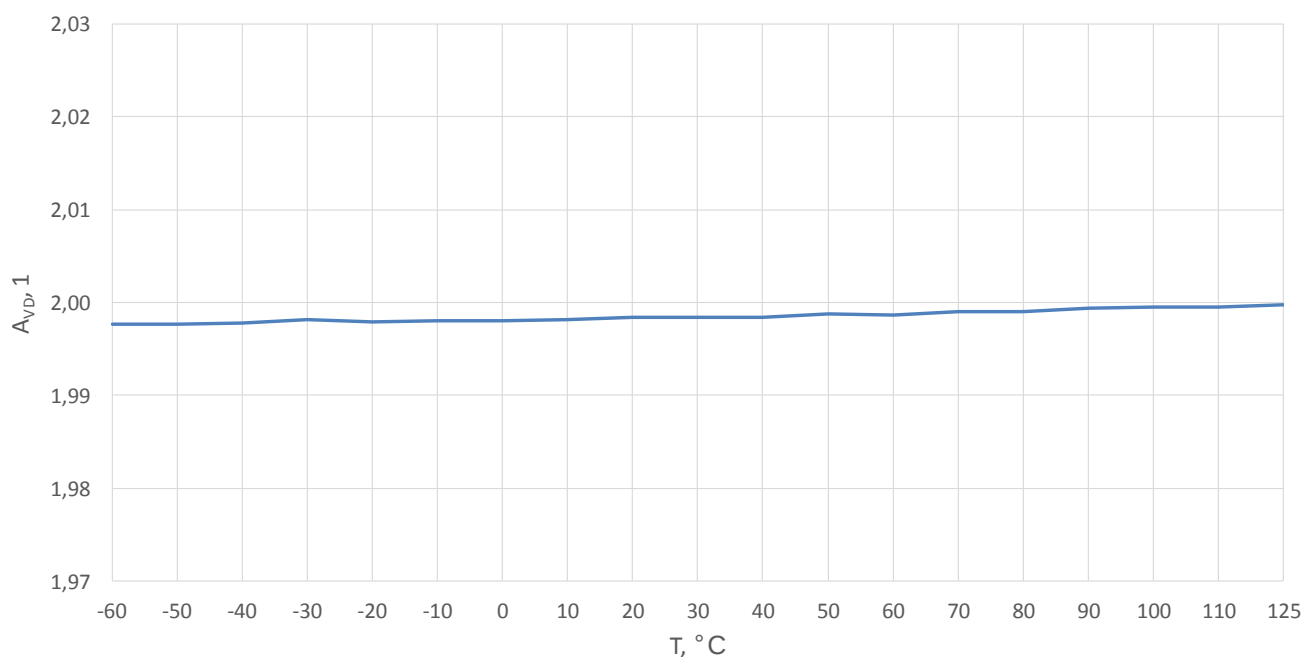


Рисунок 16 – Зависимость коэффициента усиления дифференциального сигнала ИУ по напряжению от температуры среды при $U_{CC} = 5,5 \text{ В}$, $U_{IAINN} = 0 \text{ В}$, $IAS[1:0] = 01$

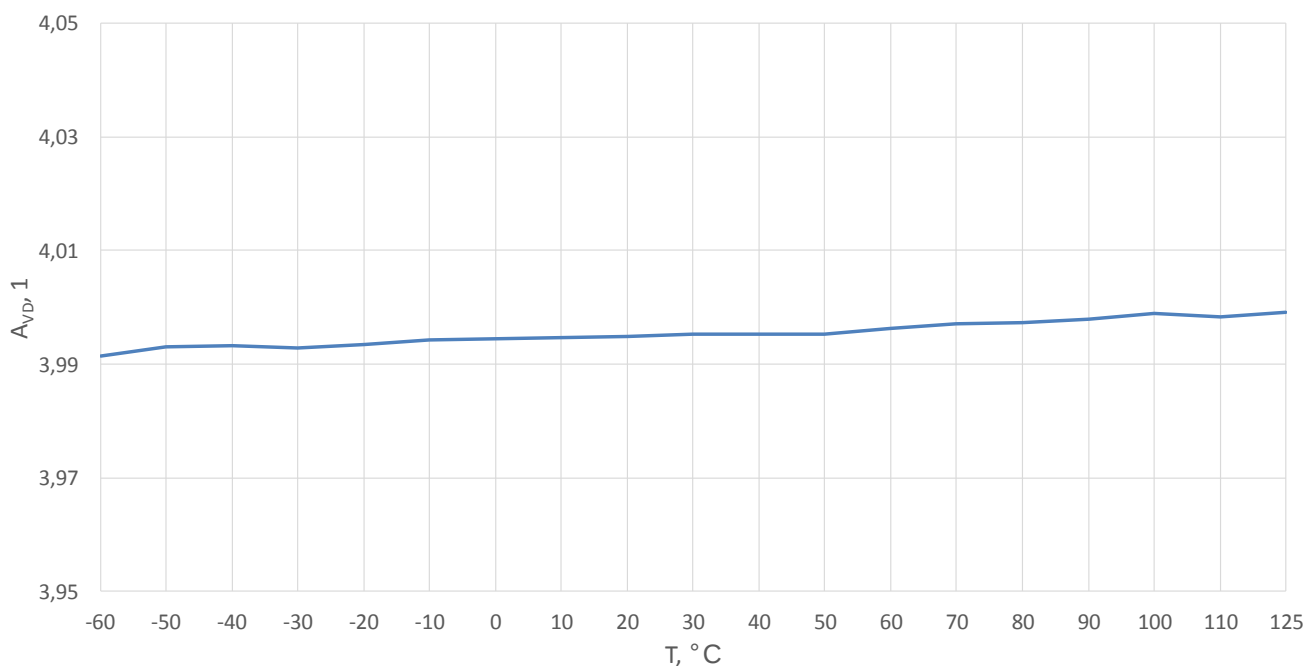


Рисунок 17 – Зависимость коэффициента усиления дифференциального сигнала ИУ по напряжению от температуры среды при $U_{CC} = 5,5 \text{ В}$, $U_{IAINN} = 0 \text{ В}$, $IAS[1:0] = 10$

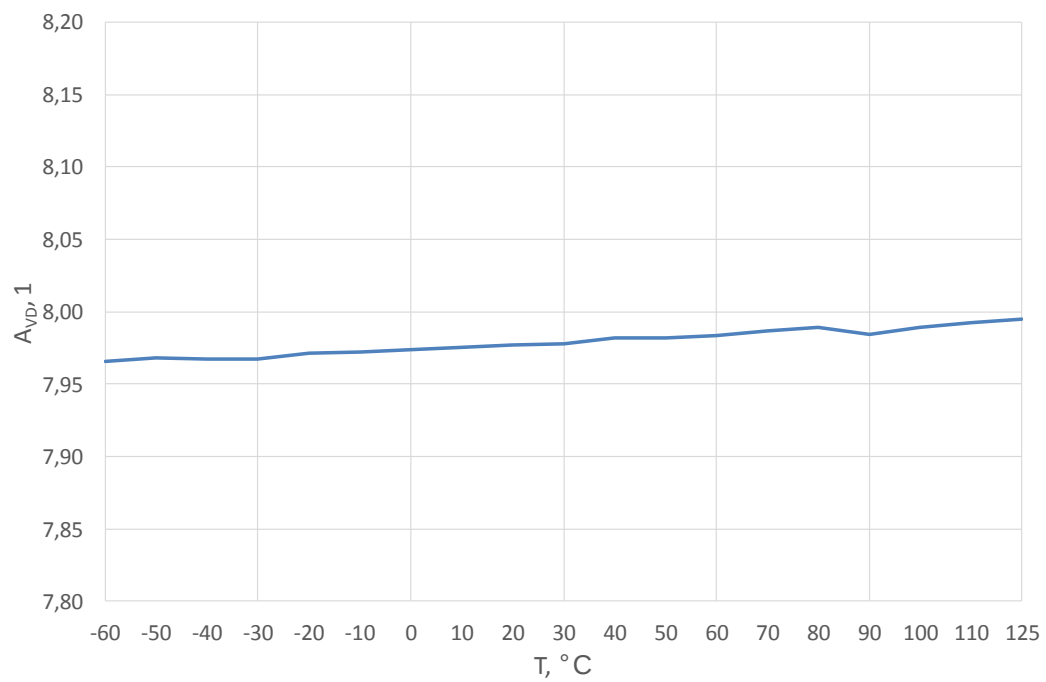


Рисунок 18 – Зависимость коэффициента усиления дифференциального сигнала ИУ по напряжению от температуры среды при $U_{CC} = 5,5 \text{ В}$, $U_{IAINN} = 0 \text{ В}$, $I_{AS[1:0]} = 11$

8 Электрические параметры микросхем

Таблица 30 – Электрические параметры микросхем при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное напряжение высокого уровня, В, на выводах DRDY, SDO, A[5:0], CEN[3:0], при: – $I_{OH} = -1 \text{ мА}$; – $I_{OH} = -4 \text{ мА}$	U_{OH}	2,8	–	25, 125, – 60
		2,4	–	
Выходное напряжение низкого уровня, В, на выводах DRDY, SDO, A[5:0], CEN[3:0]	U_{OL}	–	0,4	
Динамический ток потребления, мА, по выводу VDD_ADC	I_{OCC_ADC}	–	3	
Динамический ток потребления, мА, по выводу VDD_IA	I_{OCC_IA}	–	3	
Динамический ток потребления, мА, по выводу VDDA	I_{OCC_AN}	–	10	
Динамический ток потребления, мА, по выводу VDD_DR	I_{OCC_O}	–	1	
Динамический ток потребления, мА, по выводу VDD_R	I_{OCC_R}	–	1	
Статический ток потребления в режиме пониженного энергопотребления, мкА, по выводу VDD_ADC	I_{CCS_ADC}	–	100	
Статический ток потребления в режиме пониженного энергопотребления, мкА, по выводу VDD_IA	I_{CCS_IA}	–	100	
Статический ток потребления в режиме пониженного энергопотребления, мкА, по выводу VDDA	I_{CCS_AN}	–	500	
Статический ток потребления в режиме пониженного энергопотребления, мкА, по выводу VDD_DR	I_{CCS_O}	–	100	
Статический ток потребления в режиме пониженного энергопотребления, мкА, по выводу VDD_R	I_{CCS_R}	–	100	
Выходной ток высокого уровня в состоянии «Выключено», мкА, по выводу SDO, при $U_{OZ} = U_{CC}$	I_{OZH}	– 10	10	
Выходной ток низкого уровня в состоянии «Выключено», мкА, по выводу SDO, при $U_{OZ} = 0 \text{ В}$	I_{OZL}	– 10	10	
Входной ток, мкА, на выводах АЦП: ADCINP, ADCINN	I_{IN_ADC}	– 10	10	
Входной ток, мкА, на выводах инструментального усилителя (ИУ): IAINP, IAINN	I_{IN_IA}	– 10	10	

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °C
		не менее	не более	
Входной ток высокого уровня, мкА, по выводам ATPG, IDDQ, TESTS	I _{IH}	70	150	25, 125, – 60
Входной ток утечки высокого уровня, мкА, по выводам SEN, SDI, SCLK nRESET,	I _{ILH}	– 10	10	
Входной ток утечки низкого уровня, мкА, по выводам IDDQ, nRESET, ATPG, SEN, SDI, SCLK, TESTS	I _{ILL}	– 10	10	
Параметры источника опорного напряжения				
Выходное напряжение, В, на выводе VDDO	U _{O_LDO}	1,6	2,0	25, 125, – 60
Выходное опорное напряжение, В, на выводе VREF	U _{REF}	2,5 – 1,5 %	2,5 + 1,5 %	
Выходной опорный ток, мА, по выводу IREF	I _{REF}	– 2,919	– 2,641	
Параметры АЦП и ИУ				
Разрядность АЦП, бит	N	16	–	25, 125, – 60
Отношение сигнал/шум + искажения АЦП, дБ	SNDR	76	–	
Смещение АЦП, LSB	E ₀	– 45	45	
Смещение АЦП и ИУ, мВ, при U _{IAINN} = 0 В	E _{0_IA}	– 22	22	
Погрешность в конечной точке характеристики преобразования АЦП, %	E _G	– 1	1	25, 125, – 60
Коэффициент усиления дифференциального сигнала ИУ по напряжению, 1 при U _{IAINN} = 0 В, – IAS[1:0] = 00	A _{VD}	0,931	1,071	
– IAS[1:0] = 01		1,764	2,244	
– IAS[1:0] = 10		3,528	4,488	
– IAS[1:0] = 11		7,056	8,976	
Параметры тактового генератора, делителя частоты цифрового блока				
Коэффициент деления тактовой частоты, 1	K _{fc}	1	8	25, 125, – 60
Примечания: 1 Режимы измерения параметров приведены в технических условиях АЕНВ.431320.325ТУ. 2 IAS[1:0] – биты выбора коэффициента усиления ИУ в соответствии с таблицей 18.				

Микросхемы устойчивы к воздействию статического электричества с потенциалом не менее 2 000 В.

9 Предельно-допустимые и предельные параметры

Таблица 31 – Предельно-допустимые электрические режимы эксплуатации и предельные электрические режимы микросхем

Наименование параметра, единица измерения	Буквенное обозначение параметра	Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В, - на выводе VDDA, - на выводах VDD_ADC, - на выводе VDD_IA, - на выводе VDD_DR, - на выводе VDD_R	U _{CC}	3,0	5,5	– 0,3	7,0
Входное напряжение высокого уровня, В, на выводах: ATPG, SEN, SDI, SCLK, IDDQ, nRESET	U _{IH}	2,0	U _{CC}	–	U _{CC} + 0,3
Входное напряжение низкого уровня, В, на выводах: ATPG, SEN, SDI, SCLK, IDDQ, nRESET	U _{IL}	0	0,8	– 0,3	–
Входное напряжение аналоговых входов АЦП, В, на выводах: ADCINP, ADCINN	U _{I_ADC}	–	–	– 0,3	U _{CC} + 0,3
Входное синфазное напряжение аналоговых входов АЦП, В, на выводах: ADCINP, ADCINN	U _{IC_ADC}	0,5·U _{CC} – 0,1	0,5·U _{CC} + 0,1	–	–
Входное дифференциальное напряжение аналоговых входов АЦП, В, на выводах: ADCINP, ADCINN	U _{ID_ADC}	– 2,5	2,5	–	–
Входное напряжение аналогового входа IAINN, В	U _{IAINN}	0	1	– 0,3	–
Входное напряжение дифференциальное, В, на входах IAINP и IAINN, - при U _{CC} от 3,0 В до (3,4 В + U _{IAINN}) - IAS[1:0] = 00 - IAS[1:0] = 01 - IAS[1:0] = 10 - IAS[1:0] = 11 - при U _{CC} от (3,4 В + U _{IAINN}) до 5,5 В - IAS[1:0] = 00 - IAS[1:0] = 01 - IAS[1:0] = 10 - IAS[1:0] = 11	U _{ID_IA} ¹⁾	0	U _{CC} – 0,9	–	U _{CC} + 0,6
- IAS[1:0] = 01		0	(U _{CC} – 0,9)/2		
- IAS[1:0] = 10		0	(U _{CC} – 0,9)/4		
- IAS[1:0] = 11		0	(U _{CC} – 0,9)/8		
- IAS[1:0] = 00		0	2,5		
- IAS[1:0] = 01		0	1,25		
- IAS[1:0] = 10		0	0,625		
- IAS[1:0] = 11		0	0,312		
Напряжение, прикладываемое к выходу SDO в состоянии «Выключено», В	U _{OZ}	0	U _{CC}	– 0,3	U _{CC} + 0,3
Выходной ток высокого уровня, мА, по выводам: DRDY, SDO, A[5:0], CEN[3:0]	I _{OH}	– 4	–	– 10	–
Выходной ток низкого уровня, мА, по выводам: DRDY, SDO, A[5:0], CEN[3:0]	I _{OL}	–	4	–	10

Наименование параметра, единица измерения	Буквенное обозначение параметра	Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Частота следования импульсов тактового сигнала интерфейса SPI, МГц	f _{SCLK}	–	10	–	–
Частота следования импульсов тактовых сигналов HSE, МГц, - в режиме резонатора, - в режиме генератора	f _C	2	16	–	–
Однократно программируемая память ПЗУ					
Напряжение на выводе VPROG, В	U _{RD}	3,0	U _{CC}	–	–
Напряжение на выводе VPROG при программировании ПЗУ, В, с ограничением по току 10 мА	U _{PR}	7,0	7,4	–	–
Время программирования одного бита памяти, мс	t _{W(D)}	3	10	–	–
¹⁾ $U_{ID_IA} = U_{IAINP} - U_{IAINN}$. Примечание – Не допускается одновременное задание более одного предельного режима.					

10 Справочные данные

Справочные параметры микросхемы приведены в таблице 32.

Значения предельно допустимых ОИН приведены в таблице 33.

Зависимости основных электрических параметров микросхем от режимов и условий эксплуатации приведены на рисунках 10 – 18.

Таблица 32 – Справочные параметры микросхем

Наименование параметра, единица измерения, режим измерения	Норма параметра		Температура среды, °С
	не менее	не более	
Скорость нарастания выходного напряжения, В / мс			25
коэффициент деления равен 1	8	–	
коэффициент деления равен 2	18	–	
коэффициент деления равен 4	30	–	
коэффициент деления равен 8	37	–	
Частота среза, сглаживающего ФНЧ, кГц	–	20	25, 125, – 60
Частота выборки, 1/с	500	2600	
Напряжение питания для разрешения работы блока сброса POR, В	–	2,8	
Напряжение питания для запрещения работы блока сброса POR, В	2,6	–	
Интегральная нелинейность, LSB	– 10	10	

Таблица 33 – Предельно-допустимые значения ОИН

Тип вывода	Длительность ОИН, мкс			Параметр
	0,1	1,0	10,0	
Вход	500	300	200	Предельно-допустимое напряжение ОИН, В
Выход	500	150	50	
Цепь питания	2750	1000	400	
Вход	$2,1 \cdot 10^{-1}$	$7,5 \cdot 10^{-1}$	3,7	Расчётная предельно-допустимая энергия ОИН, мДж
Выход	$5,7 \cdot 10^{-2}$	$3,5 \cdot 10^{-2}$	$2,7 \cdot 10^{-2}$	
Цепь питания	2,6	4,0	6,5	

11 Габаритный чертеж микросхемы

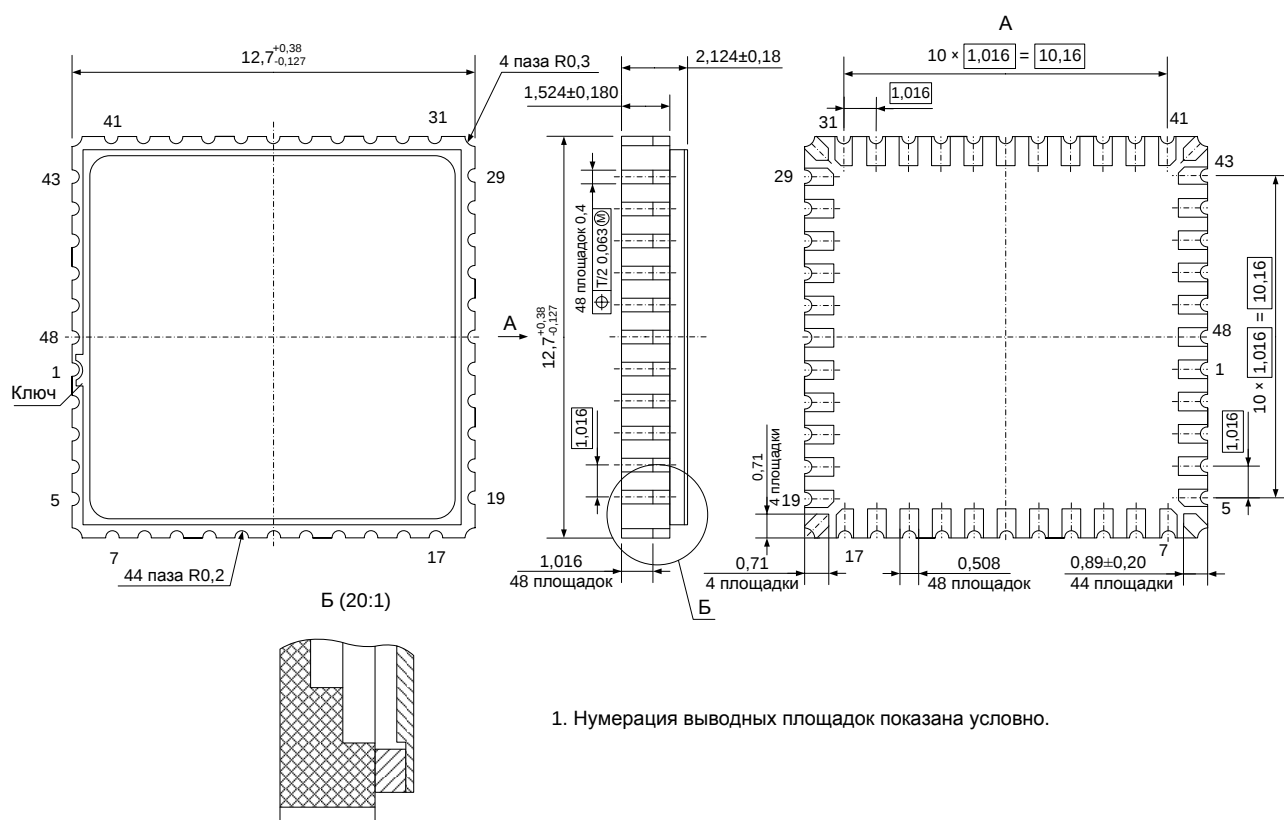


Рисунок 19 – Микросхема в корпусе 5142.48-А

12 Информация для заказа

Обозначение	Маркировка	Тип корпуса	Температурный диапазон
1923НВ015	1923НВ015	5142.48-А	минус 60 – 125 °С
К1923НВ015	К1923НВ015	5142.48-А	минус 60 – 125 °С
К1923НВ015К	К1923НВ015●	5142.48-А	0 – 70 °С

Микросхемы с приемкой «ВП» маркируются ромбом.

Микросхемы с приемкой «ОТК» маркируются буквой «К».

[illegible]