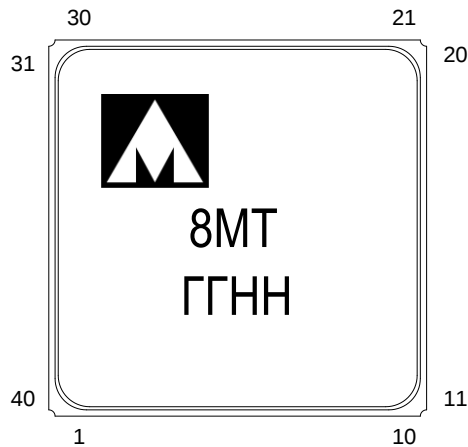
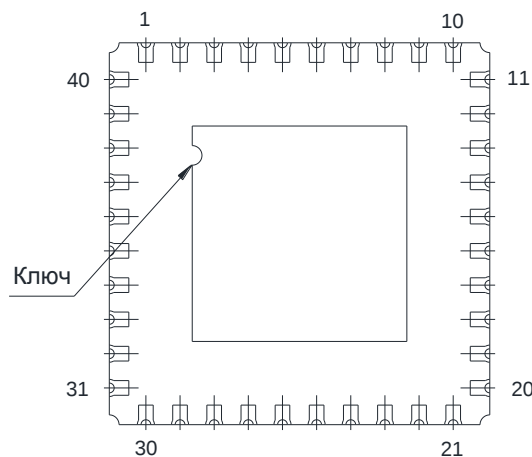




**Микросхема синтезатора частот с дробным коэффициентом
деления и встроенным генератором, управляемым напряжением
1508MT015, K1508MT015, K1508MT015K,
1508MT01H4, K1508MT01H4**



Вид сверху



Вид снизу

ГГ – год выпуска

НН – неделя выпуска

**Основные характеристики
микросхемы:**

- Диапазон выходных частот
23,5 – 6000 МГц;
- Опорная частота до 200 МГц;
- Частота фазового детектора в
целочисленном режиме до 100 МГц;
- Частота фазового детектора в дробном
режиме до 50 МГц;
- Фазовый шум ГУН (на выходной частоте
6 ГГц и отстройке 1 МГц) минус 125 дБн/Гц;
- Нормированный уровень собственных
шумов в целочисленном режиме
минус 226 дБн/Гц;
- Встроенные функции “предотвращение
проскальзывания циклов” и быстрого
захвата частоты;
- Мультирежимный сигма-дельта модулятор;
- Время калибровки ГУН не более 40 мкс;
- Напряжение питания от 3,0 до 3,6 В;
Динамический ток потребления
не более 320 мА;
- Температурный диапазон:

Обозначение	Диапазон
1508MT015	минус 60 – 125 °С
K1508MT015	минус 60 – 125 °С
K1508MT015K	0 – 70°С

Тип корпуса:

- 40-выводной металлокерамический корпус 5164.40-1;
- микросхемы 1508MT01H4, K1508MT01H4 поставляются в бескорпусном исполнении.

Области применения микросхемы

Микросхема предназначена для построения блоков генераторов сигнала на основе фазовой автоподстройки частоты, которые могут быть применены:

- в базовых станциях для мобильного радио (GSM, PCS, DCS, CDMA);
- в беспроводных локальных сетях;
- в космической радиолокации.

Микросхема также может быть применена как генератор стабильной тактовой частоты.

1 Структурная блок-схема микросхемы

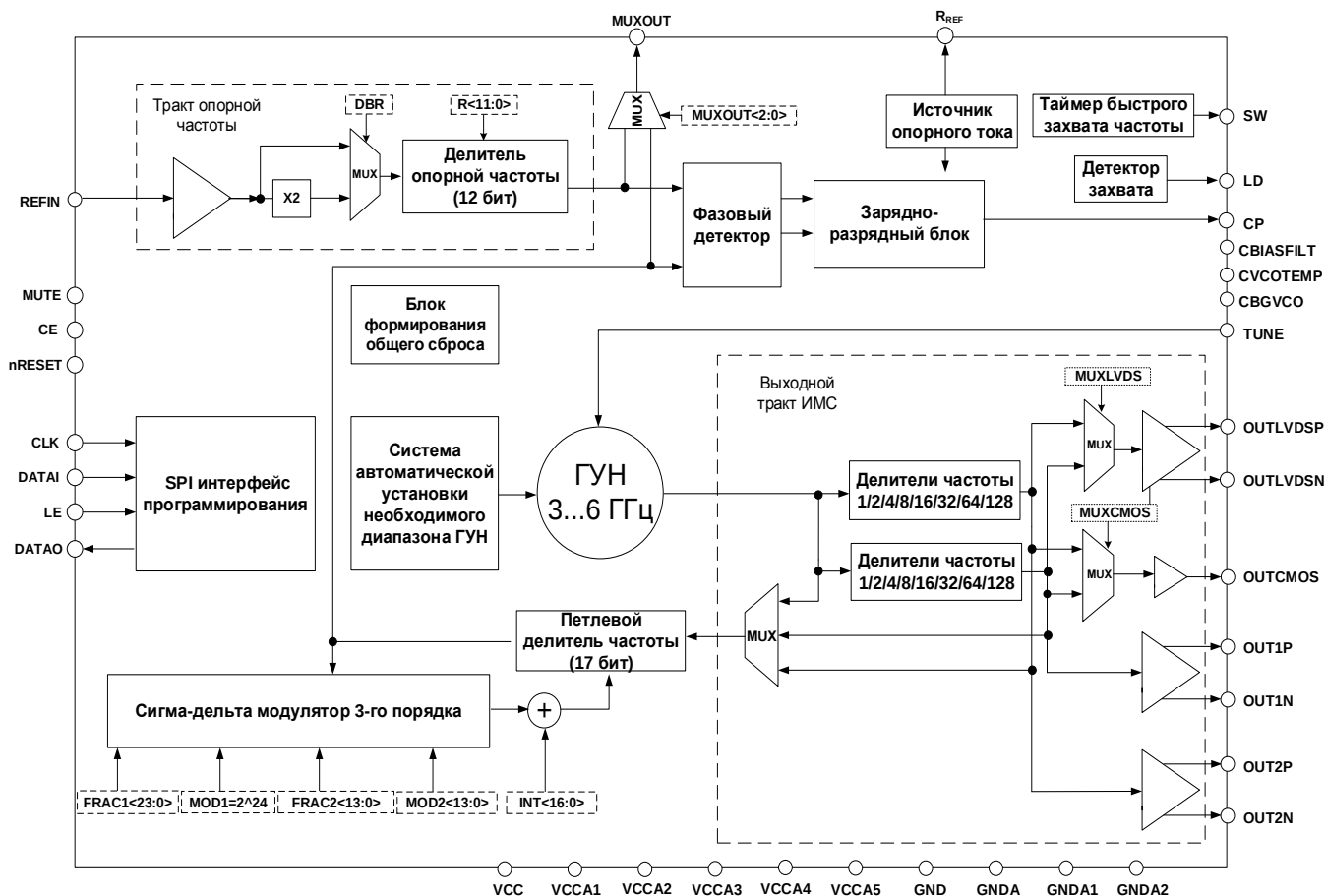


Рисунок 1 – Структурная блок-схема микросхемы

[] – управляющие разряды регистра выбора режима работы;
 MUX – мультиплексор;
 + – сумматор;
 ГУН – генератор, управляемый напряжением;
 X2 – удвоитель опорной частоты.

2 Условное графическое обозначение

26	TUNE	1508MT015	CP	7
			SW	9
13	REFIN		OUTLVDSP	2
			OUTLVDSN	4
			OUT1P	36
			OUT1N	35
24	MUTE		OUT2P	38
23	CE		OUT2N	39
20	nRESET		OUTCMOS	5
16	CLK		MUXOUT	21
17	DATAI		LD	22
			DATAO	19
18	LE		R _{REF}	31
			CBIASFILT	1
			CVCOTEMP	27
			CBGVCO	28
			VCC	14
			VCCA1	12
			VCCA2	32
			VCCA3	40
			VCCA4	A
			VCCA5	29
			GND	15
			GNDA	B
			GNDA1	11
			GNDA2	34

А - группа выводов 6, 10

В - группа выводов 3, 8, 25, 30, 33, 37,
металлизация обратной стороны микросхемы

Рисунок 2 – Условное графическое обозначение

3 Описание выводов

Таблица 1 – Описание выводов

Номер выводной площадки корпуса	Номер контактной площадки кристалла	Обозначение сигнала	Тип вывода*	Функциональное назначение вывода
1	1	CBIASFILT	–	Вывод подключения фильтрующего конденсатора опорного тока выходных каскадов
2	2	OUTLVDS	AO	Выход сигнала стандарта LVDS прямой
3	–	GNDA	–	Общий части аналоговых блоков
–	3, 7, 9 – 11, 17, 30, 31, 37, 38, 42, 43, 45, 48	GNDA	–	Разваривается на монтажную площадку основания корпуса
4	4	OUTLVDSN	AO	Выход сигнала стандарта LVDS инверсный
5	5	OUTCMOS	O	Выход сигнала стандарта КМОП
6	6	VCCA4	–	Питание фазового детектора и зарядно-разрядного блока
7	8	CP	AO	Выход зарядно-разрядного блока
8	–	GNDA	–	Общий части аналоговых блоков
9	12	SW	AO	Выход подключения к петлевому фильтру (используется для функции быстрого захвата частоты)
10	13	VCCA4	–	Питание фазового детектора и зарядно-разрядного блока
11	14	GNDA1	–	Общий тракта опорной частоты
12	15	VCCA1	–	Питание тракта опорной частоты
13	16	REFIN	AI	Вход опорного напряжения
14	18	VCC	–	Питание цифровой части микросхемы (SPI-интерфейс, сигма-дельта модулятор, блок формирования общего сброса, система установки необходимого диапазона ГУН)
15	19	GND	–	Общий цифровой части микросхемы (SPI-интерфейс, сигма-дельта модулятор, блок формирования общего сброса, система установки необходимого диапазона ГУН)
16	20	CLK	I	Сигнал тактовой частоты интерфейса программирования
17	21	DATAI	I	Вход данных управляющих регистров
18	22	LE	I	Сигнал разрешения записи данных в управляющие регистры
19	23	DATAO	O	Выход данных, выгружаемых из управляющих регистров
20	24	nRESET	I	Сброс при логическом нуле цифровой части микросхемы
21	25	MUXOUT	O	Программируемый универсальный выход
22	26	LD	O	Выход детектора захвата

Номер выводной площадки корпуса	Номер контактной площадки кристалла	Обозначение сигнала	Тип вывода*	Функциональное назначение вывода
23	27	CE	I	Сигнал выбора режима пониженного потребления. При логическом нуле микросхема находится в режиме пониженного потребления
24	28	MUTE	I	Сигнал отключения буферов выходного сигнала. При логической единице буферы выходного сигнала выключены
25	29	GNDA	—	Общий части аналоговых блоков
26	32	TUNE	AI	Вход управляющего напряжения ГУН
27	33	CVCOTEMP	—	Вывод подключения фильтрующего конденсатора термокомпенсирующего напряжения ГУН
28	34	CBGVCO	—	Вывод подключения фильтрующего конденсатора опорного напряжения ГУН
29	35, 36	VCCA5	—	Питание ГУН и источников опорного тока
30	—	GNDA	—	Общий части аналоговых блоков
31	39	R _{REF}	—	Вывод подключения резистора, задающего опорный ток зарядно-разрядного блока
32	40, 41	VCCA2	—	Питание петлевого делителя частоты
33	—	GNDA	—	Общий части аналоговых блоков
34	44	GNDA2	—	Общий петлевого делителя частоты
35	46	OUT1N	АО	Высокочастотный выход 1 инверсный
36	47	OUT1P	АО	Высокочастотный выход 1 прямой
37	—	GNDA	-	Общий части аналоговых блоков. Электрически соединен с крышкой и металлизацией обратной стороны корпуса
38	49	OUT2P	АО	Высокочастотный выход 2 прямой
39	50	OUT2N	АО	Высокочастотный выход 2 прямой инверсный
40	51, 52	VCCA3	—	Питание выходного тракта микросхемы
металлизация обратной стороны микросхемы	—	GNDA	—	Общий части аналоговых блоков
* Обозначение типа выводов: I – цифровой вход; O – цифровой выход; AI – аналоговый вход; АО – аналоговый выход.				

4 Указания по применению и эксплуатации

При ремонте аппаратуры и измерении параметров микросхем замену микросхем необходимо проводить только при отключенных источниках питания.

Инструмент для пайки (сварки) и монтажа не должен иметь потенциал, превышающий 0,3 В относительно шины "Общий".

Неиспользуемые входы микросхем должны быть подключены к напряжению питания U_{CC} или на шину «Общий», GND.

Запрещается подведение каких-либо электрических сигналов (в том числе шин "Питание", "Общий") к выходам микросхем, неиспользуемым согласно схеме электрической.

Если не используются какие-либо из цифровых входов микросхем CLK, DATAI, LE, MUTE, RESET, CE, они должны быть подключены к напряжению питания U_{CC} или на шину «Общий» GND.

Крышка и металлизированная обратная сторона корпуса микросхем электрически соединены. Металлизированная обратная сторона корпуса микросхем должна быть подключена на шину «Общий».

Типовая схема включения микросхемы приведена в разделе 6.

5 Описание функционирования микросхемы

5.1 Общее описание микросхемы

Микросхема представляет собой широкополосный синтезатор частоты с встроенным генератором, управляемым напряжением (ГУН), который в сочетании с внешним петлевым фильтром образует законченную петлю ФАПЧ. Петлевой фильтр устанавливается между выводами CP и TUNE (см. Рисунок 16 – Типовая схема включения микросхемы). Встроенный ГУН вырабатывает частоту в диапазоне от 3 до 6 ГГц. Синтезатор может работать как в дробном, так и в целочисленном режиме и, благодаря использованию выходных делителей с коэффициентом деления от 1 до 128, способен производить сигнал с частотой от 23,43475 МГц до 6 ГГц на дифференциальных СВЧ-выходах OUT1P, OUT1N и OUT2P, OUT2N. Помимо СВЧ-выходов сигнал частотой до 800 МГц можно получить на выходе стандарта LVDS (OUTLVDSP, OUTLVDSN), а также КМОП-сигнал частотой до 250 МГц – на выходе OUTCMOS.

Управление микросхемой осуществляется через последовательный SPI-интерфейс. Описание всех регистров управления приведено в подразделе «Карта регистров SPI-интерфейса».

Микросхема содержит два независимых набора выходных делителей частоты с коэффициентами деления 1, 2, 4, 8, 16, 32, 64, 128. Любой из выходных делителей частоты может быть включен в обратную связь петли ФАПЧ дополнительно к петлевому делителю для расширения диапазона петлевого коэффициента умножения, а также для приложений с точной синхронизацией выходного сигнала к опорному (см. подраздел «Регулировка фазы выходного сигнала»). Выбор включаемого выходного делителя осуществляется установкой:

- MUXFB = 1, если в обратную связь петли ФАПЧ включается выходной делитель номер 1;
- MUXFB = 2, если в обратную связь петли ФАПЧ включается выходной делитель номер 2;
- MUXFB = 0, если выходные делители не включены в обратную связь петли ФАПЧ.

Дробный коэффициент петлевого делителя частоты создается при помощи сигма-дельта модулятора 3-го порядка, который может работать в следующих режимах:

- 14-разрядный режим с переменным знаменателем MOD2;
- 24-разрядный режим с постоянным знаменателем 2^{24} ;
- режим последовательного каскадного соединения 2-х модуляторов с эффективной разрядностью 36 бит для приложений с точной подстройкой частоты.

Переключение режимов работы модулятора, а также включение целочисленного режима задается управляющим полем MODSEL.

Опорная частота может быть поделена делителем опорной частоты, а также умножена встроенным удвоителем частоты. Удвоитель частоты задействуется установкой DBR = 1.

Если выходные делители не включены в обратную связь (MUXFB = 0) частота в захваченном состоянии ФАПЧ на выходе ГУН определяется выражением

$$F_{VCO} = \frac{F_{REF} (1+DBR)}{R} * N \quad (1)$$

Если один из выходных делителей включен в обратную связь (MUXFB = 1 или MUXFB = 2), частота в захваченном состоянии ФАПЧ на выходе ГУН определяется выражением

$$F_{VCO} = \frac{F_{REF} (1+DBR)}{R} * N * DIVA \quad (2),$$

где

R – коэффициент деления опорной частоты;
 DBR – значение бита, включающего удвоитель опорной частоты;
 N – коэффициент деления петлевого делителя частоты;
 DIVA – коэффициент деления выходного делителя (задается установкой значений DIV1, DIV2 в соответствии с таблицей 13).

Коэффициент деления петлевого делителя частоты N и, соответственно, режим работы синтезатора определяется в зависимости от режима работы сигма-дельта модулятора (Таблица 2).

Таблица 2 – Режимы работы микросхемы в зависимости от значения MODSEL

MODSEL<1:0>	N	Описание режима
<00>	$N = INT + \frac{FRAC2}{MOD2}$	Дробный режим с 12-разрядным переменным знаменателем ($0 \leq FRAC2 \leq MOD2-1$)
<01>	$N = INT + \frac{FRAC1}{2^{24}}$	Дробный режим с 24-разрядным постоянным знаменателем
<10>	$N = INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{2^{24}}$	Дробный режим с эффективной разрядностью 36 бит (для корректной работы режима необходимо выполнения условия: $3 \leq FRAC1 \leq 16777211$)
<11>	$N = INT$	Целочисленный режим

Значения INT, FRAC1, FRAC2, MOD2 задаются соответствующими управляющими полями в регистрах интерфейса управления.

В микросхему заложена возможность изменения полярности фазового детектора на обратную при использовании активного петлевого фильтра с инверсной передаточной характеристикой. Это осуществляется установкой PFDSIGN = 1.

Микросхема может быть переведена в режим пониженного энергопотребления подачей логического «0» на вход SE или установкой SHDN=1.

Цифровая часть микросхемы может быть сброшена подачей логического «0» на входе nRESET. При этом все внутренние регистры управления и внутренние цифровые блоки сбрасываются в начальное состояние. При установке RESDIG=1 сбрасываются цифровые блоки, но регистры управления сохраняют текущее состояние.

5.2 Тракт опорной частоты

Опорный сигнал с частотой f_{REF} должен подаваться с внешнего осциллятора до 200 МГц на вход REFIN через разделительный конденсатор. Опорный сигнал может быть как синусоидальной, так и прямоугольной формы и должен иметь скорость нарастания не хуже 1 В/мкс.

Входной каскад построен на основе КМОП инвертора с резистором в обратной связи между входом и выходом (Рисунок 3).

Опорный сигнал может поступать без деления на вход фазового детектора, либо проходить через делитель частоты с коэффициентом деления от 1 до 4095.

Также есть возможность использовать умножитель частоты на 2. Удвоитель частоты задействуется установкой DBR = 1.

Частота на выходе делителя частоты (частота фазового детектора) не должна превышать 100 МГц для целочисленного режима работы и 50 МГц для дробных режимов.

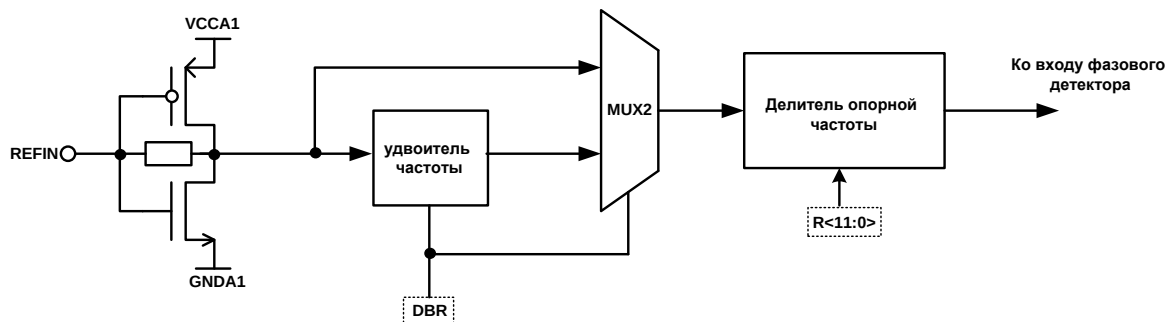


Рисунок 3 – Структурная схема тракта опорной частоты

5.3 Петлевой делитель частоты

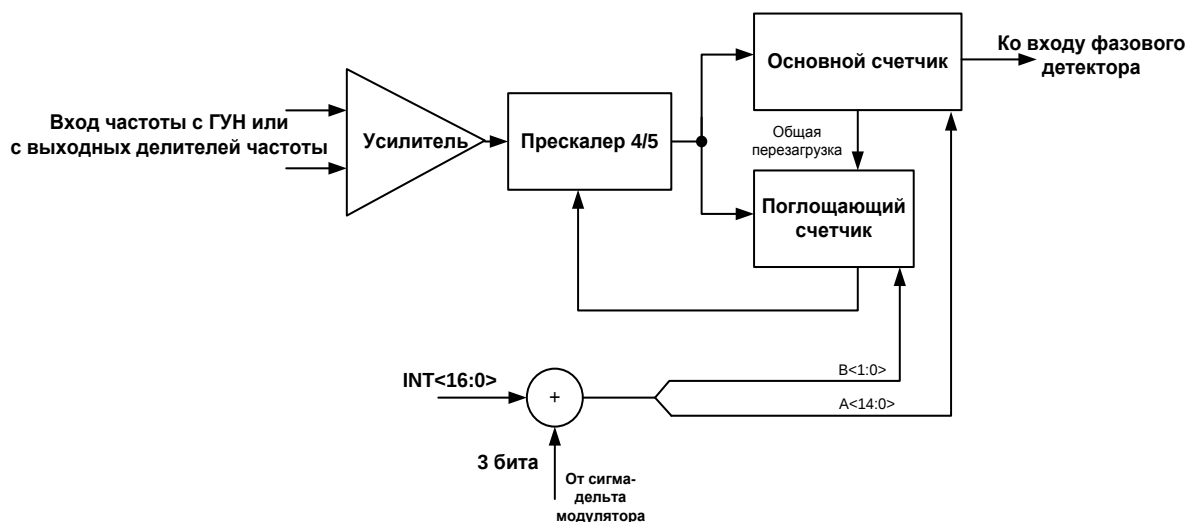


Рисунок 4 – Структурная схема петлевого делителя частоты

Петлевой делитель частоты построен по схеме двухмодульного прескалера 4/5 с основным и поглощающим счетчиками (Рисунок 4) и способен делить входную частоту до 6 ГГц. Делитель обладает широким диапазоном коэффициентов деления. Коэффициент деления задается установкой управляющего поля INT <16:0>. В дробных режимах работы для создания дробного коэффициента деления к заданному значению INT добавляется динамически изменяющаяся добавка с выхода сигма-дельта модулятора. Возможные диапазоны коэффициентов деления приведены в таблице 3.

Таблица 3 – Диапазон возможных значений INT

Режим работы	Диапазон возможных значений INT
Целочисленный (MODSEL=<11>)	от 24 до 131071
Дробные (MODSEL=<00>, <01>, <10>)	от 27 до 131067

5.4 Фазовый детектор и зарядно-разрядный блок

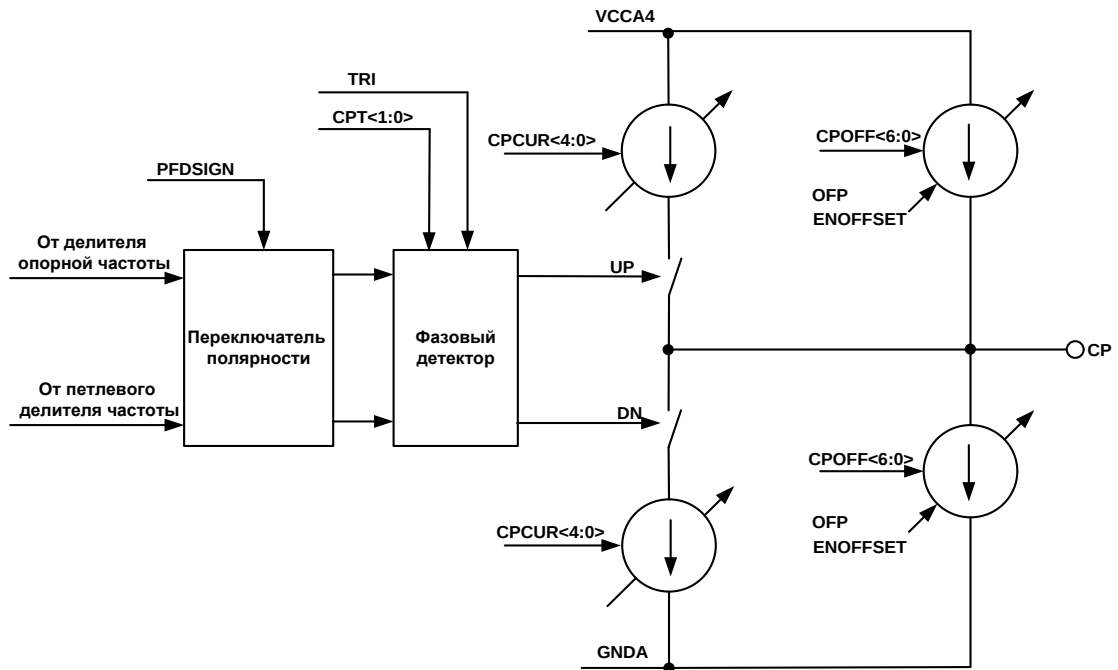


Рисунок 5 – Структурная схема фазового детектора и зарядно-разрядного блока

Фазовый детектор построен по схеме с третьим состоянием и компенсацией мертвой зоны. Зарядно-разрядный блок (ЗРБ) представляет собой источники втекающего и вытекающего тока, управляемые сигналами фазового детектора. Величина тока источников ЗРБ определяется значением резистора, включенного между входом R_{REF} и общим выводом, и значением управляющего поля $CPCUR <4:0>$ в соответствии с выражением

$$I_{CP} = \frac{0,851 \cdot (1 + CPCUR)}{R_{REF}} \quad (3)$$

Значение $CPCUR$ может быть задано в диапазоне от 0 до 31. Номинальное значение R_{REF} составляет 5,32 кОм. При таком значении R_{REF} минимально возможный (при $CPCUR=0$) ток ЗРБ составляет 160 мкА, а максимально возможный (при $CPCUR = 31$) – 5,12 мА. При необходимости работы с другими значениями тока ЗРБ допускается установка резистора R_{REF} другого номинала в диапазоне от 2,5 до 10 кОм.

5.4.1 Ток смещения ЗРБ

Вследствие нелинейности передаточной характеристики ЗРБ и фазового детектора вблизи нулевой разности фаз входных сигналов в дробных режимах работы возникает непредсказуемо большое повышение фазового шума внутри полосы пропускания ФАПЧ. Для уменьшения данного эффекта необходимо смещение области работы детектора в зону большей линейности. Это достигается введением постоянно включенной добавки к выходному току ЗРБ. Добавка может быть как втекающая, так и вытекающая. Смещение области работы детектора уменьшает описанный эффект, однако увеличивает вклад собственного шума источников тока ЗРБ в общий фазовый шум ФАПЧ и, кроме того, увеличивает уровень паразитных сигналов на частоте сравнения ФАПЧ (reference spurs). Таким образом, существует

оптимальное значение смещающей добавки к выходному току ЗРБ, которое определяется по формуле

$$I_{OFFSET_optimum} = ALPHA * \frac{I_{CP}}{INT}, \quad (4)$$

где

$ALPHA$ – параметр равный 2...4;

I_{CP} – установленное значение тока ЗРБ;

INT – установленное значение целой части коэффициента деления основной частоты

Величина смещающей добавки задается значением на шине CPOFF<6:0> при установленном бите ENOFFSET=1 и определяется по формуле

$$I_{OFFSET} = \frac{0,026 * (1 + CPOFF)}{R_{REF}} \quad (5)$$

Диапазон возможных значений смещающей добавки составляет от 5 до 640 мкА при $R_{REF} = 5,23$ кОм. Выбор оптимального направления тока смещающей добавки (втекающий или вытекающий) завит от технологического разбора и может выбираться пользователем заданием бита OFP. При OFP=0 ток смещающей добавки втекающий, при OFP=1 – вытекающий из узла CP.

Величина CPOFF, определяющая значение тока смещающей добавки, может задаваться двумя способами:

1. Непосредственно заданием управляющего поля CPOFF в регистре управления. Это реализуется при установке $ALPHA = 0$.
2. В микросхему встроена система вычисления оптимальной величины CPOFF по формуле 4 для заданных I_{CP} , INT , $ALPHA$. Автомат вычисления задействуется при задании $ALPHA \neq 0$ и начинает работу по окончании загрузки регистра с адресом <000> по SPI-интерфейсу. Вычисленное значение CPOFF доступно в регистре для чтения (регистр 10, величина CPOFSET<6:0>) и автоматически применяется к ЗРБ.

Результат действия тока смещения ЗРБ на фазовый шум, уровень и состав паразитных составляющих в спектре выходного сигнала при различных режимах работы и параметрах петли ФАПЧ рассмотрен в подразделе «Фазовый шум и паразитные составляющие спектра выходного сигнала в дробных режимах работы».

При работе в целочисленном режиме смещающую добавку необходимо отключать установкой $ENOFFSET = 0$.

Выход ЗРБ может быть переведен в третье состояние установкой $TRI=1$ для разрыва петли ФАПЧ.

Полярность фазового детектора может быть изменена установкой $PFDSIGN=1$ в случае использования внешнего активного инвертирующего фильтра ФАПЧ.

Установкой $CPT \neq 0$ ЗРБ переводится в тестовые режимы статического выходного тока в соответствии с таблицей 7.

5.5 Генератор, управляемый напряжением

ГУН включает в себя четыре отдельных ГУН, основанных на резонансных LC-контурах, совместно покрывающих частотный диапазон от 3 до 6 ГГц. В каждом из ГУН имеется по 32 частотных диапазона, которые реализуются матрицей подключаемых емкостей. Таким образом, всего ГУН имеет 128 диапазонов. Напряжение управления частотой подается на вход TUNE. Диапазон управляющего

напряжения, в котором гарантирован захват и параметры ФАПЧ составляет от 0,5 до 2,5 В. Зависимости основных параметров ГУН приведены в разделе «Основные зависимости» на рисунках 10 – 13.

5.6 Система автоматической установки диапазона ГУН

Система автоматической установки диапазона (система автокалибровки) выбирает оптимальный диапазон ГУН в зависимости от требуемой частоты ГУН и поступающей на вход REFIN опорной частоты. Система работает на внутренней тактовой частоте F_{CAL} , которая создается делением частоты фазового детектора на величину NBS. **Для корректной работы системы частота F_{CAL} должна быть не менее 100 и не более 250 кГц.** Исходя из этого, для выбранной частоты фазового детектора необходимо задавать NBS в соответствии с формулой

$$NBS = \frac{F_{PFD}}{100...250 \text{ кГц}} , \quad (6)$$

с округлением до ближайшего большего целого,

где

F_{PFD} – частота фазового детектора, вычисленная по формуле

$$F_{PFD} = \frac{F_{REF} (1+DBR)}{R} \quad (7)$$

Система автоматической установки диапазона запускается каждый раз в момент окончания записи регистра с адресом <000> по SPI-интерфейсу, если установлено RECALOFF=0, TEST=0. Опорная частота должна быть подана к моменту запуска системы автокалибровки. Общее время, затрачиваемое на поиск оптимального диапазона (время автокалибровки), определяется выражением

$$T_{CAL} \approx \frac{7}{F_{CAL}} + 1 \text{ мкс} \quad (8)$$

Если $F_{CAL} = 250$ кГц, то время автокалибровки составит 29 мкс.

В течение всего процесса автокалибровки управляющее напряжение на выводе TUNE устанавливается равным $1,55 \text{ В} \pm 10 \%$, а частота на выходе ГУН изменяется ступенчато через равные промежутки времени, соответствующие $1/F_{CAL}$, после чего устанавливается тот диапазон ГУН, в котором частота наиболее близка к необходимой. По окончании процесса вырабатывается внутренний флаг окончания автокалибровки, затем следует процесс автоподстройки ФАПЧ. На рисунке 6 показан пример зависимости частоты ГУН от времени при настройке на частоту 4,5 ГГц для $F_{CAL} = 250$ кГц.

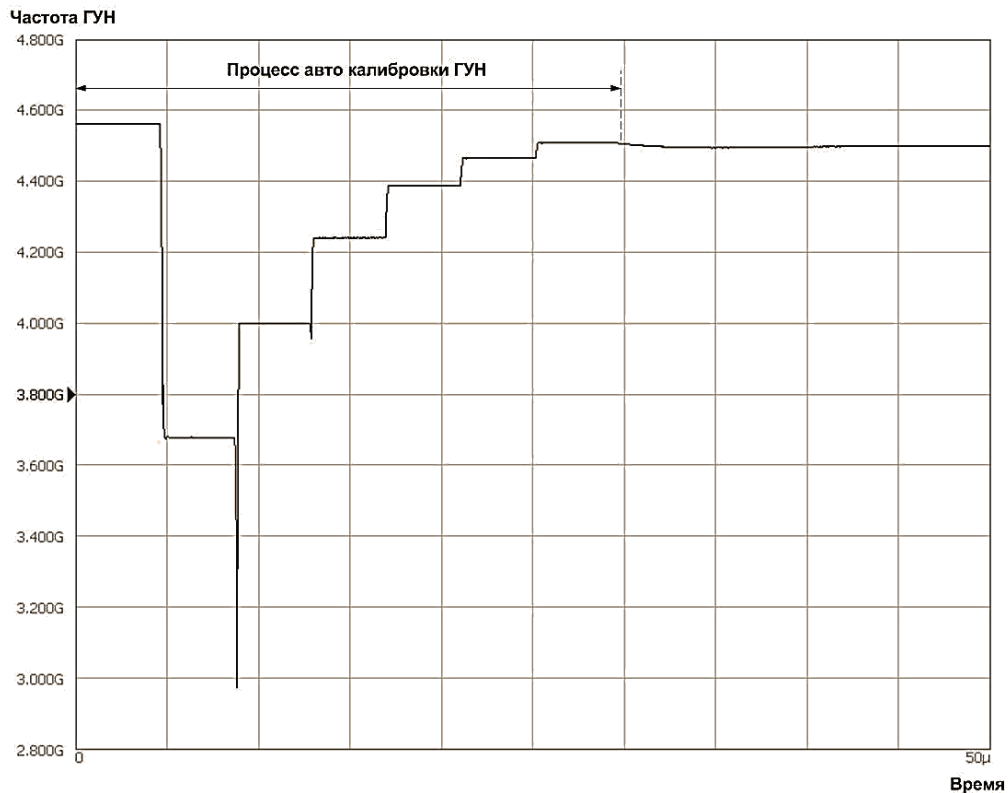


Рисунок 6 – Частота на выходе ГУН в течение процесса автокалибровки и захвата ФАПЧ (пример настройки на частоту 4,5 ГГц)

При необходимости флаг окончания автокалибровки возможно вывести на универсальный выход MUXOUT при установке MUXOUT=<111>, а также прочитать из регистра (регистр 7, величина VAS_STAT). Также в регистре 7 доступна величина VCO_BAND, которая соответствует номеру выбранного диапазона.

При переводе микросхемы в режим пониженного энергопотребления значение выбранного диапазона сохраняется.

5.7 Работа в режиме с отключенной автокалибровкой и непосредственной установкой рабочего диапазона ГУН

В микросхеме предусмотрена возможность работы в режиме без автокалибровки посредством непосредственного задания рабочего диапазона ГУН. Диапазон задается программированием управляющего поля BAND при установке BANDMUX = 1. Для работы в данном режиме необходимо также установить RECALOFF = 1, TEST = 2.

Данный режим предназначен для случая, когда требуется быстрая перестройка частоты, выбрана широкая полоса ФАПЧ, а длительность автокалибровки не приемлема. Необходимо иметь в виду, что как ширина диапазона ГУН, в котором возможна перестройка частоты без изменения номера диапазона, так и средние частоты диапазонов ГУН зависят от технологического разброса, температуры и напряжения питания и не одинаковы у различных образцов микросхем (на рисунках 17 – 20 приведены усредненные параметры ГУН). Поэтому основным рабочим режимом микросхемы является режим с автокалибровкой. При этом гарантируется, что для любой заданной частоты будет выбран оптимальный диапазон ГУН, и при последующем изменении температуры и напряжения питания для обеспечения параметров ФАПЧ не потребуются повторный запуск автокалибровки.

Существует возможность построить алгоритм поиска оптимального диапазона ГУН внешними вычислительными средствами. Если эти вычисления будут выполняться быстрее, чем встроенная автокалибровка, возможно сократить время перестройки частоты и работать в режиме без автокалибровки. Для этих целей необходимо иметь в памяти вычислительного средства таблицу соответствия между номером диапазона ГУН и цифровым эквивалентом средней частоты ГУН в данном диапазоне для текущего образца микросхемы. Затем при перестройках частоты необходимо вычислять тот диапазон ГУН, в котором цифровой эквивалент частоты ГУН наиболее близок к целевой величине, в которой содержится информация о текущей желаемой частоте.

Цифровой эквивалент средней частоты ГУН в заданном диапазоне является результатом работы встроенных счетчиков системы автокалибровки и доступен для чтения (регистр 7, величина CNT_TOTAL). Для получения значения CNT_TOTAL в заданном диапазоне ГУН необходимо в основном режиме работы (TEST=0, RECALOFF=0) задать BANDMUX=1 и в поле BAND номер текущего диапазона. При этом на микросхему должна поступать опорная частота, должна быть задана частота фазового детектора (установками R и DBR) и корректно задана величина Nbs (формула 6). После загрузки SPI будет выполнена работа счетчиков автокалибровки и через время T_{CAL} (по внутреннему флагу окончания автокалибровки) можно производить чтение величины CNT_TOTAL, которая будет связана со средней частотой ГУН в заданном диапазоне следующим образом

$$CNT_TOTAL = \frac{F_{VCO_B} \cdot N_{BS}}{8 F_{PFD}}, \quad (9)$$

где

F_{VCO_B} – средняя частота ГУН в установленном диапазоне.

Выполнив описанные действия для всех значений BAND = 0...127, возможно составить и сохранить в памяти таблицу соответствия между BAND и CNT_TOTAL.

Целевую величину необходимо вычислять по следующим формулам

$$target = \frac{N \cdot N_{BS}}{8}, \quad \text{для режима MUXFB=0} \quad (10)$$

$$target = \frac{N \cdot DIVA \cdot N_{BS}}{8}, \quad \text{для режима MUXFB=1 или 2} \quad (11)$$

где

N – определяется в соответствии с таблицей 2 в зависимости от режима работы;

DIVA – коэффициент деления выходного делителя (задается установкой значений DIV1, DIV2 в соответствии с таблицей 13).

При перестройках частоты для каждой новой рабочей частоты вычислительное устройство должно вычислять величину target и значение BAND, для которого разница между target и CNT_TOTAL минимальна. После чего необходимо производить загрузку режима работы в вычисленном диапазоне ГУН.

Все описанное выше справедливо, если перестройка частоты осуществляется изменением коэффициента петлевого делителя N при фиксированной опорной частоте и частоте фазового детектора.

5.8 Выходные делители частоты, выходы RF, CMOS, LVDS

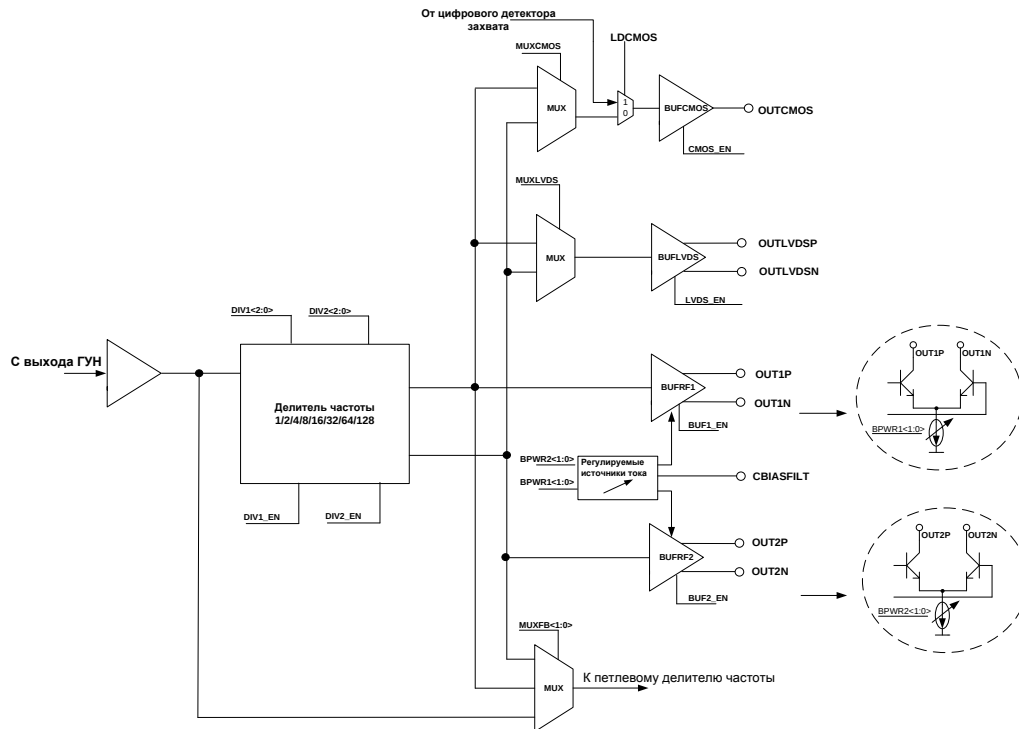


Рисунок 7 – Структурная схема выходного тракта микросхемы

С выхода ГУН сигнал поступает на выходной делитель частоты с двумя независимыми выходами – каналами, для которых можно задавать коэффициенты деления 1, 2, 4, 8, 16, 32, 128. Коэффициенты деления каналов задаются установкой DIV1, DIV2 независимо. Для работы делителя частоты необходимо устанавливать DIV1_EN=1 и/или DIV2_EN=1, что включит соответствующий канал деления частоты во всех рабочих режимах работы. Далее сигнал раздается на систему выходных буферов. Частота на выходах определяется по формуле

$$f_{RF}, f_{LVDS}, f_{CMOS} = \frac{F_{VCO}}{2^{DIV1,2}} \quad (12)$$

Для включения соответствующего буфера необходимо устанавливать управляющие поля BUF1_EN=1, BUF2_EN=1, LVDS_EN=1, CMOS_EN=1 в любой комбинации.

Сигнал с выхода 1 канала делителя частоты выводится через ВЧ буфер, подключенный к выходам OUT1P, OUT1N. Сигнал с выхода 2 канала делителя частоты выводится через ВЧ буфер, подключенный к выходам OUT2P, OUT2N. ВЧ-буферы представляют собой дифференциальные усилители с открытым коллектором (Рисунок 7). В качестве внешней нагрузки необходимо использовать резисторы сопротивлением 50 Ом или индуктивности. Нагрузку необходимо подключать между соответствующими выходами и шиной питания VCCA3. Опорный ток усилителей и, соответственно, выходную мощность можно регулировать установкой BPWR1 или BPWR2. Выходная мощность программируется от минус 4 до 5 дБм с шагом 3 дБм для дифференциального сигнала частоты ниже 3 ГГц при использовании резистивной нагрузки. Зависимости выходной мощности от частоты приведены в разделе «Основные зависимости».

Дифференциальный сигнал частотой до 800 МГц можно получить с выходов LVDS и LVDSN в стандарте LVDS на подключенной нагрузке

сопротивлением 100 Ом. LVDS-буфер может быть подключен как к первому, так и ко второму каналу делителя частоты в зависимости от установки MUXLVDS. При отключенном буфере (LVDS_EN=0) для определения состояния линии может использоваться установка FSLVDS=1. При этом между выводами LVDSP, LVDSN установится напряжение примерно равное 130 мВ. Установкой STMODLVDS = 1 возможно переводить буфер в статическое состояние на выходе, полярность которого определяет установка ST.

Прямоугольный сигнал частотой до 250 МГц можно получить на выходе OUTCMOS. КМОП-буфер может быть подключен как к первому, так и ко второму каналу делителя частоты в зависимости от установки MUXCMOS.

5.9 Детектор захвата частоты

Встроенный цифровой детектор захвата вырабатывает флаг захвата петли ФАПЧ, когда разность фаз между входными сигналами фазового детектора становится меньше порога, задаваемого шиной LDPT<1:0> и не превышает этот порог на протяжении 128 тактов частоты фазового детектора. Когда разность фаз становится больше порога, детектор сбрасывает сигнал захвата в 0. Порог срабатывания фазового детектора в зависимости от значения LDPT и режима работы синтезатора приведен в таблице 4.

Таблица 4 – Порог срабатывания фазового детектора

Режим работы	LDPT<1:0>	Пороговая разность фаз входных сигналов фазового детектора, нс
Целочисленный	X	2
Дробные	<00>	400
	<01>	80
	<10>	25
	<11>	4

Для корректной работы детектора в дробных режимах работы при MUXFB = 0 необходимо устанавливать LDPT=<11>. При MUXFB = 1 или MUXFB = 2 оптимальное значение LDPT необходимо выбирать в зависимости от установленного значения коэффициента выходных делителей DIV1 или DIV2 в соответствии с таблицей 5.

Таблица 5 – Оптимальное значение LDPT в зависимости от установок DIV1 или DIV2 (при MUXFB ≠ 0)

DIV1 (при MUXFB=1) или DIV2 (при MUXFB =2)	LDPT
0,1	<11>
2,3	<10>
4,5	<01>
6,7	<00>

Сигнал цифрового детектора захвата выводится на выход LD (при LD = 0), а также может быть выведен на выход OUTCMOS (для этого необходимо установить LDCMOS = 1) или на универсальный выход MUXOUT (при MUXOUT = <110>).

При установке LD = 1 на выход LD выводиться импульсный сигнал, частота которого соответствует частоте фазового детектора, а длительность импульсов равна разности фаз между входными сигналами фазового детектора. Используя этот сигнал, можно построить аналоговую систему детектирования захвата ФАПЧ.

5.10 Универсальный выход MUXOUT

На выход MUXOUT могут быть выведены различные сигналы в зависимости от значения сигнала управляющего поля **MUXOUT<2:0>** в соответствии с таблицей 6.

Таблица 6 – Конфигурация универсального выхода MUXOUT

MUXOUT	Состояние на выводе MUXOUT
<000>	Высокоимпедансное состояние
<001>	Логическая «1»
<010>	Логический «0»
<011>	Выходной сигнал делителя опорной частоты
<100>	Выходной сигнал петлевого делителя частоты
<101>	Сигнал поделенной на две частоты петлевого делителя
<110>	Флаг цифрового детектора захвата частоты
<111>	Флаг окончания авто калибровки ГУН

5.11 Функция быстрого захвата частоты (Fast Lock)

Для уменьшения времени захвата ФАПЧ может использоваться функция быстрого захвата частоты. Быстрый захват достигается за счет временного увеличения тока ЗРБ в 16 раз по сравнению с установленным в регистре CPCUR значением. При этом для сохранения запаса по фазе контура ФАПЧ необходимо уменьшение резистора R8 фильтра ФАПЧ (в соответствии со схемой включения) в 4 раза. Это достигается разбиением резистора на две части и использованием выхода SW (Рисунок 8)

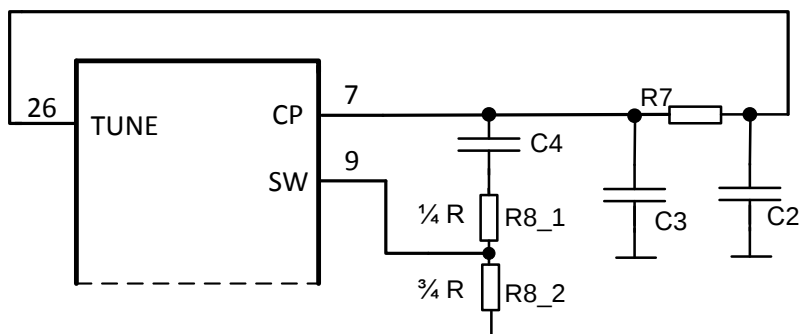


Рисунок 8 – Схема подключения фильтра ФАПЧ в случае использования функции быстрого захвата частоты

На время увеличения тока часть резистора R8_2 шунтирована внутренним ключом ИМС, и сопротивление резистора R8 определяется его частью R8_1. В результате работы функции достигается временное расширение полосы пропускания ФАПЧ в 4 раза. Части сопротивления R8 должны иметь следующие значения номиналов:

$$R8_1 = 0,25R;$$

$$R8_2 = 0,75R,$$

где

R – номинал резистора R8 для исходной полосы пропускания ФАПЧ (заданной значением выходного тока ЗРБ установкой CPCUR).

Функция быстрого захвата частоты функционирует только при $CPCUR = <00000>$ или $<00001>$ и задействуется установкой $FL=1$.

Время работы с увеличенным током и шунтированным резистором должно быть не менее времени захвата ФАПЧ с увеличенной полосой пропускания. Это время задается встроенным в микросхему таймером путем программирования установки $TIMEFL$. Время определяется по формуле

$$T_{FAST\ LOCK} = \frac{TIMEFL}{F_{PFD}} \quad (13)$$

Таймер времени запускается (начинает отсчет) в момент окончания работы системы автокалибровки ГУН или в момент окончания записи регистра с адресом $<000>$ (для случая работы в режиме с отключенной автокалибровкой ГУН (подраздел 5.7).

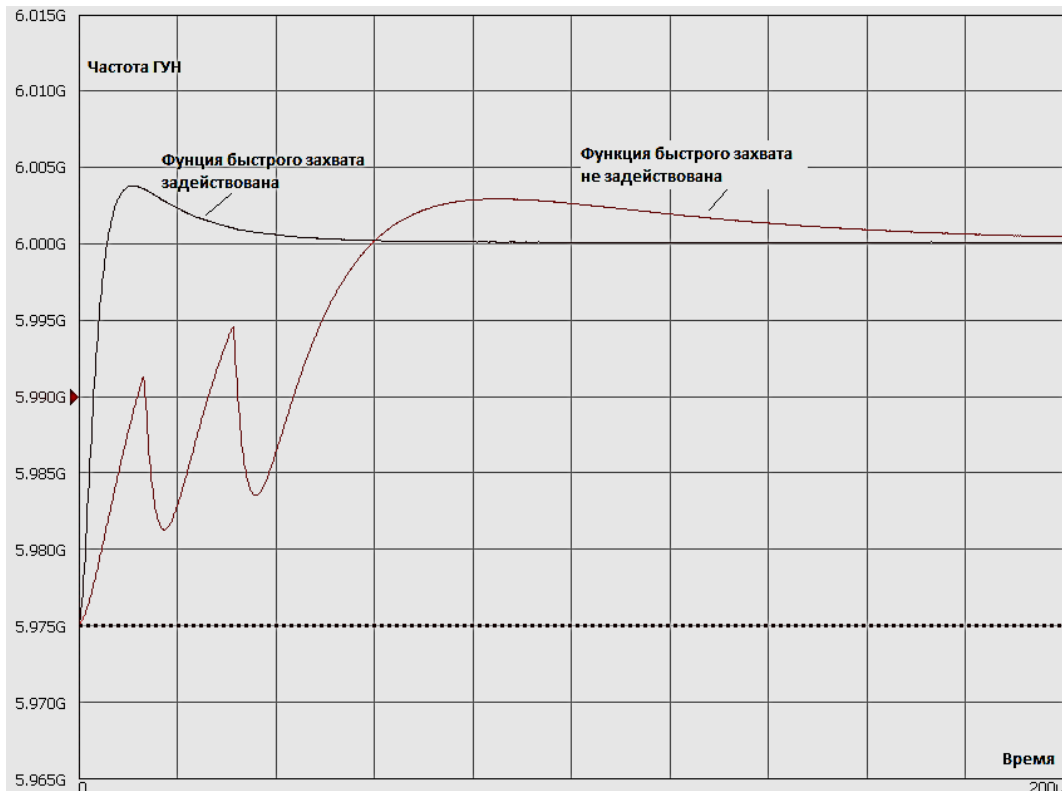


Рисунок 9 – Переходные процессы частоты ГУН при перестройке ФАПЧ с частоты 5,975 ГГц на частоту 6 ГГц при задействованной и не задействованной функции быстрого захвата

5.12 Функция предотвращения «проскальзывания» циклов (CSR – Cycle Slip Reduction)

Для данного класса систем ФАПЧ характерно «волнообразное» поведение основной частоты при перестройке с одной частоты на другую, что называют «проскальзыванием» циклов (Рисунок 10). Эффект связан с периодическим характером передаточной характеристики фазового детектора, в результате которого происходит периодический сброс фазовой ошибки, накопленной к определенному моменту времени. Эффект наблюдается в случае, если частота работы фазового детектора много больше полосы пропускания петли ФАПЧ. Как следствие, может сильно увеличивать время перестройки ФАПЧ.

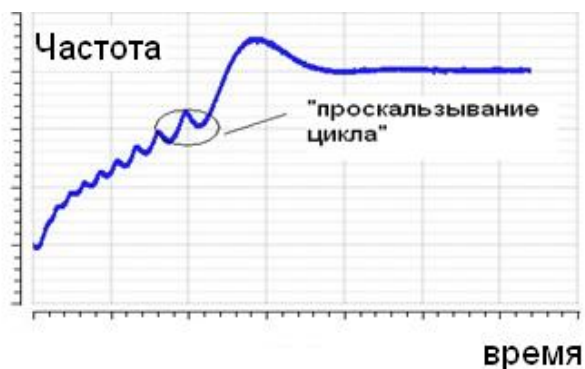


Рисунок 10 – Переходный процесс в петле ФАПЧ с «проскальзыванием» циклов

В микросхеме реализован механизм, предотвращающий эффект «проскальзывания». В определенные моменты времени по специальным внутренним сигналам происходит увеличение или уменьшение выходного тока ЗРБ. Таким образом, переходной процесс происходит с изменяющимся током ЗРБ. За счет этого устраняется эффект «проскальзывания».

Функция задействуется установкой $CSR = 1$ и устанавливает конечный ток ЗРБ, соответствующий минимальному значению (значению при $CPCUR = <00000>$) не зависимо от установленного в регистре значения $CPCUR$.

Недопустимо использование данной функции совместно с функцией быстрого захвата (подраздел 5.11).

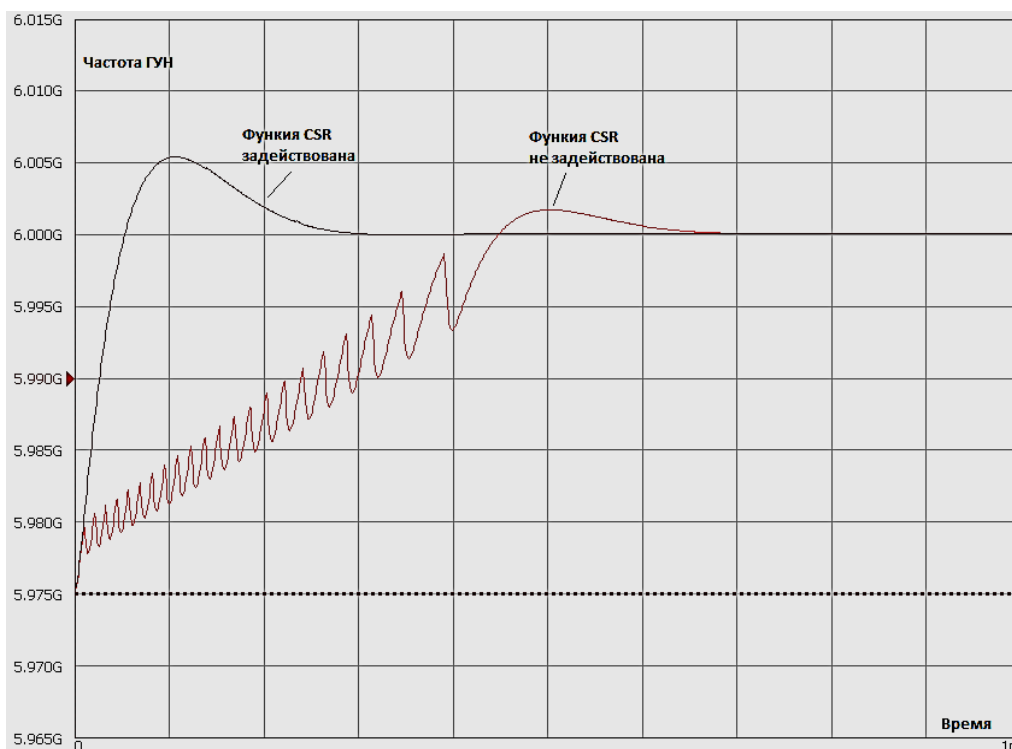


Рисунок 11 – Переходные процессы частоты ГУН при перестройке ФАПЧ с частоты 5,975 ГГц на частоту 6 ГГц при задействованной и не задействованной функции CSR

5.13 Отключение буферов выходного сигнала

При наличии логической «1» на входе MUTE буферы выходного сигнала отключены. Также существует возможность отключения буферов выходного сигнала на время установления частоты. Это задается установкой MUTE = 1. В этом случае выходной сигнал на сигнальных выходах будет отсутствовать до тех пор, пока флаг детектора захвата находится в логическом «0»

5.14 Фазовый шум и паразитные составляющие спектра выходного сигнала в дробных режимах работы

Раздел находится в разработке.

5.15 Функция управления фазой выходного сигнала

Раздел находится в разработке.

5.16 Ток потребления в различных режимах работы

Раздел находится в разработке.

5.17 Процедура включения и начальное состояние микросхемы

Временная диаграмма процедуры включения и выключения микросхемы при подаче и снятии питающего напряжения приведена на рисунке 11.

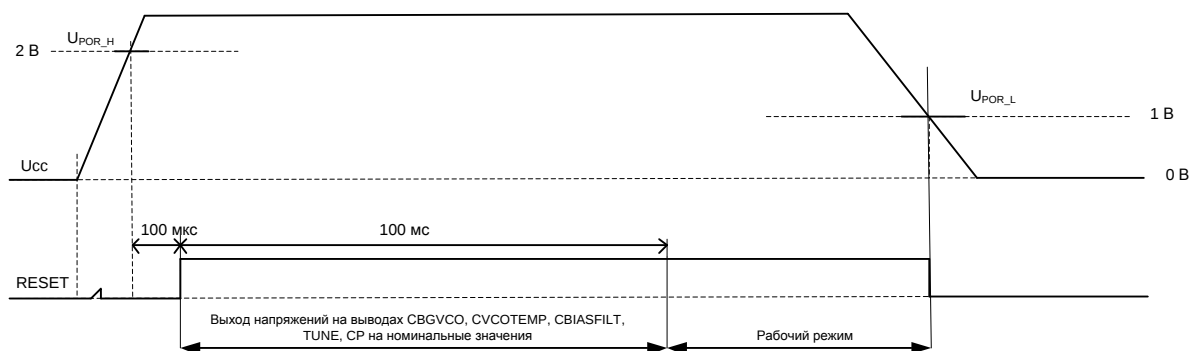


Рисунок 12 – Процедура включения и выключения микросхемы при подаче и снятии питающего напряжения

При подаче напряжения питания блок формирования общего сброса удерживает цифровую часть микросхемы в состоянии общего сброса, пока внутренний сигнал RESET имеет состояние логического нуля. Цифровая часть микросхемы войдет в рабочий режим, когда напряжение питания U_{cc} превысит пороговое напряжения включения U_{POR_H} (не более 2 В), и пройдет время не менее 100 мкс. До этого момента цифровая часть микросхемы будет находиться в состоянии сброса. После этого в течение 100 мс будет происходить установка номинальных значений напряжений на конденсаторах, подключенных к выводам CBGVCO, SVCOTEMP, CBIASFILT, TUNE, CP (см. типовую схему включения микросхемы). Затем микросхема войдет в рабочее начальное состояние, которое характеризуется следующим:

- ток потребления (суммарный по входам питания) составляет $105 \text{ мА} \pm 10 \%$;
- значения напряжений на задающих выводах соответствуют таблице 7;

- на выходе MUXOUT присутствует сигнал опорной частоты без деления (при условии его наличия на входе REFIN);
- на сигнальных выходах частота не присутствует;
- микросхема подготовлена к началу автокалибровки.

Таблица 7 – Напряжения на задающих выводах микросхемы

Вывод	Напряжение при $U_{CC} = 3,3 \text{ В}$; $T = 25^\circ\text{C}$, В
R_{REF}	$0,575 \pm 10 \%$
CBGVCO	$1,13 \pm 10 \%$
CVCOTEMP	$1,47 \pm 10 \%$
CBIASFILT	$1,95 \pm 10 \%$
TUNE, CP	$1,58 \pm 10 \%$
REFIN (постоянное смещение)	$1,67 \pm 10 \%$

Для корректной работы микросхемы загрузку по SP-интерфейсу необходимо начинать после входа в рабочий режим и установки всех задающих напряжений (через 100 мс после подачи напряжения питания). К моменту окончания загрузки регистра с адресом <000> необходимо наличие сигнала опорной частоты на входе REFIN.

При снятии питающего напряжения U_{CC} сброс цифровой части микросхемы наступит при достижении уровня порогового напряжения отключения U_{POR_L} (не менее 1 В). После возвращения напряжения питания в рабочий диапазон установленный режим работы микросхемы будет сброшен и будет необходима новая загрузка режима по SPI-интерфейсу.

Описанная процедура справедлива для случая одновременной подачи напряжений питания на все входы питания микросхемы. Допускается заблаговременная подача цифрового питания на вход VCC относительно входов питания аналоговых блоков. В этом случае время входа в рабочий режим необходимо отсчитывать от момента подачи питания аналоговых блоков.

5.18 Описание протокола интерфейса программирования

Микросхема имеет в составе восемь регистров для записи и четыре регистра чтения для управления и контроля режимами работы. Управления регистрами осуществляется по последовательному SPI-интерфейсу.

5.18.1 Запись регистров управления

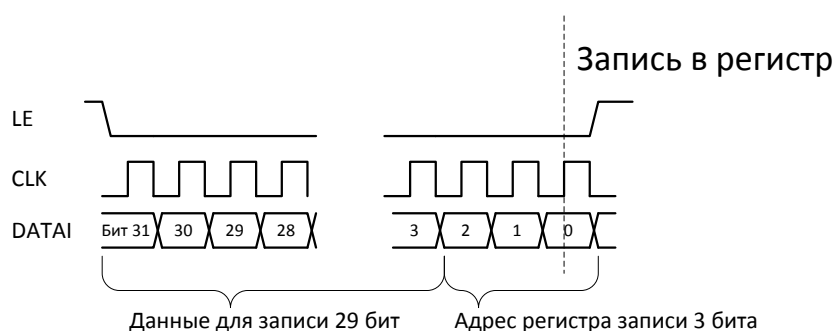


Рисунок 13 – Временная диаграмма сигналов SPI-интерфейса при записи

Запись осуществляется последовательно старшими битами вперед при низком уровне сигнала LE. Фиксация данных в последовательном интерфейсе осуществляется по переднему фронту CLK. Непосредственно запись в рабочий регистр осуществляется на последнем 32-ом такте CLK. В первых битах (с 31 по 3) передается конфигурационная информация. В последних битах (с 2 по 0) передается адрес регистра для записи.

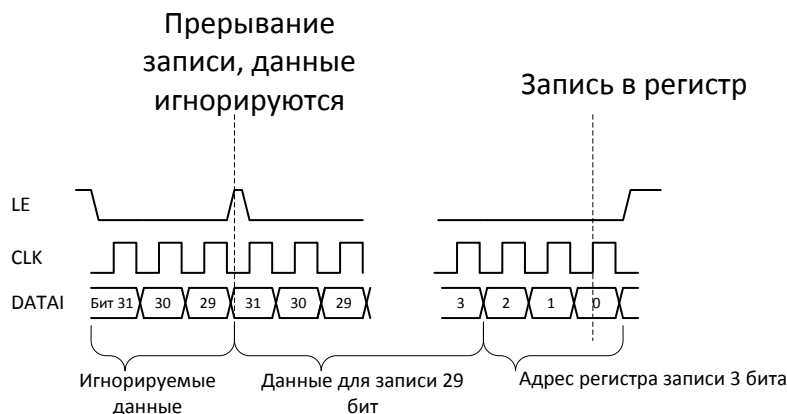


Рисунок 14 – Временная диаграмма сигналов SPI-интерфейса при записи в случае прерывания записи

При поднятии сигнала LE до фронта CLK соответствующего последнему биту передачи транзакция записи прерывается, и передаваемые данные игнорируются.

В основном рабочем режиме после осуществления записи в регистр с адресом <000> запускается процесс калибровки ГУН, поэтому этот регистр должен быть записан последним. Загрузка регистров должна выполняться по адресам регистров в обратном порядке, то есть начинаться с регистра с адресом <111> и заканчиваться регистром с адресом <000>. При изменении конкретных установок и режимов работы микросхемы возможна запись только конкретных управляющих полей и регистров. Однако некоторые управляющие поля вступают в силу только при записи регистра с адресом <000>. Это следующие управляющие поля: INT<16:0>, R<16:0>, MODSEL<1:0>, FRAC1<23:0>, DBR, MOD2<13:0>, FRAC2<13:0>, CPCUR<4:0>, ALPHA<2:0>, NBS<8:0>, MUXFB<1:0>, DIV1<2:0>, DIV2<2:0>.

5.18.2 Чтение внутренних регистров состояния

Для чтения доступны регистры с адресами 007, 008, 009 и 010. Для чтения регистра необходимо осуществить запись в регистр 007 адреса читаемого регистра. После записи последнего бита в регистр 007 на вывод DATAO начинают выдаваться считываемые данные. Данные выдаются по спаду тактового сигнала CLK. Поднятие в высокий уровень сигнала LE при чтении прерывает процесс чтения регистра.

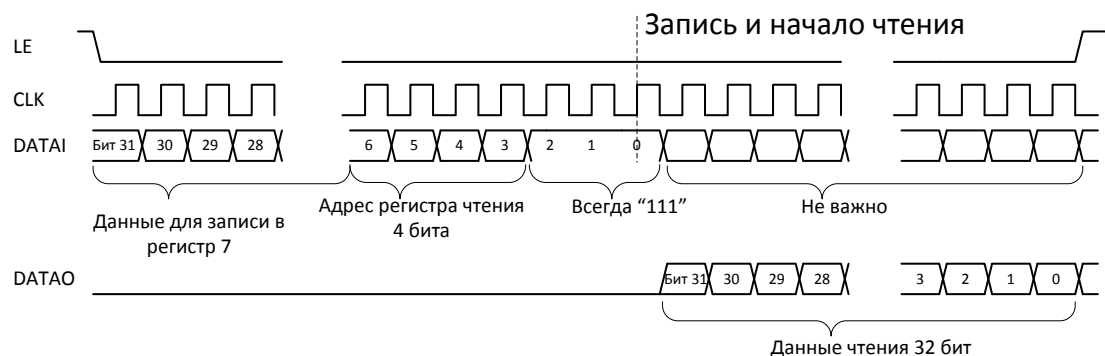


Рисунок 15 – Временная диаграмма сигналов интерфейса SPI при чтении

После передачи последнего бита считываемых данных на шине DATAO сохраняется значение последнего бита. При высоком уровне LE на шине DATAO выставляется логический «0».

5.19 Карта регистров SPI-интерфейса

Таблица 8 – Регистр 0 (Адрес 000)

Биты	Обозначение	Предназначение	Определение
31:15	INT<16:0>	Целая часть коэффициента деления петлевого делителя частоты	В целочисленном режиме может принимать значения от 24 до 131071, в дробных режимах – от 27 до 131067
14:3	R<11:0>	Коэффициент деления делителя опорной частоты	1 – 4095
2:0	ADDR<2:0>	Адрес регистра	<000>

Таблица 9 – Регистр 1 (Адрес 001)

Биты	Обозначение	Предназначение	Определение
31:30	MODSEL<1:0>	Выбор режима работы петлевого делителя частоты и сигма-дельта модулятора	<00> - включен дробный режим с переменным MOD2 ($0 \leq \text{FRAC2} \leq \text{MOD2}-1$) <01> - включен дробный режим с постоянным MOD1=2^{24} <10> - включен дробный режим с эффективной разрядностью 36 бит ($3 \leq \text{FRAC1} \leq 16777211$) <11> - включен целочисленный режим
29	F01	Автоматическое включение целочисленного режима при FRAC=0	<0> - если MODSEL=<00> и FRAC2=0, или MODSEL=<01> и FRAC1=0, или MODSEL=<10> и FRAC1=FRAC2=0, то используется дробный режим <1> - если MODSEL=<00> и FRAC2=0, или MODSEL=<01> и FRAC1=0, или MODSEL=<10> и FRAC1=FRAC2=0, автоматически включается целочисленный режим

Биты	Обозначение	Предназначение	Определение
28	SDN	Включение режима удлинённой последовательности в сигма-дельта модуляторе	<0> - режим удлинённой последовательности выключен <1> - режим удлинённой последовательности включен
27	DITH	Включение подмешивания к входному сигналу сигма-дельта модулятора псевдослучайной последовательности	<0> - генератор ПСП выключен <1> - генератор ПСП включен
26:3	FRAC1<23:0>	Первый числитель дробной части коэффициента деления петлевого делителя	0 – 16777215
2:0	ADDR<2:0>	Адрес регистра	<001>

Таблица 10 – Регистр 2 (Адрес 010)

Биты	Обозначение	Предназначение	Определение
31	DBR	Включение удвоителя опорной частоты	<0> - удвоитель выключен <1> - удвоитель включен
30:17	MOD2 <13:0>	Знаменатель дробной части коэффициента деления петлевого делителя	2 – 16383
16:3	FRAC2 <13:0>	Второй числитель дробной части коэффициента деления петлевого делителя	0 – MOD2-1
2:0	ADDR<2:0>	Адрес регистра	<010>

Таблица 11 – Регистр 3 (Адрес 011)

Биты	Обозначение	Предназначение	Определение
31:27	CPCUR<4:0>	Управления основными источниками тока зарядно-разрядного блока	При $R_{REF} = 5,23 \text{ кОм}$ значение токов (в мА) равны: <00000>=0,16 <00001>=0,32 <11110>=4,96 <11111>=5,12
26:20	CPOFF<6:0>	Величина тока смещения зарядно-разрядного блока.	При $R_{REF} = 5,23 \text{ кОм}$ значение токов (в мкА) равны: <0000000>=5 <0000001>=10 <1111110>=635 <1111111>=640

Биты	Обозначение	Предназначение	Определение
19	OFF	Направление тока смещения зарядно-разрядного блока	<0> - втекающий <1> - вытекающий
18	ENOFFSET	Включение тока смещения зарядно-разрядного блока	<0> - ток смещения выключен <1> - ток смещения включен
17:15	ALPHA<2:0>	Управление автоматическим режимом выбора тока смещения зарядно-разрядного блока	= 0 - автоматический режим выключен, величина CPOFF задается непосредственно в регистре управления ≠ 0 - величина CPOFF вычисляется в соответствии с формулой 4
14	TRI	Высокоимпедансное состояние зарядно-разрядного блока.	<0> - высокоимпедансный режим выключен <1> - высокоимпедансный режим включен
13:12	CPT<1:0>	Управление тестовыми режимами зарядно-разрядного блока	<00> - нормальный режим <01> - включены втекающий и вытекающий токи одновременно <10> - включен только вытекающий ток <11> - включен только втекающий ток
11	PFDSIGN	Управление полярностью фазового детектора	<0> - положительная полярность <1> - отрицательная полярность
10:4	BAND<6:0>	Номер диапазона ГУН при ручной установке (при отсутствии автоматической калибровки)	0 – 127 <0> - нижний частотный диапазон <127> - верхний частотный диапазон
3	BANDMUX	Включение ручной установки диапазона ГУН	<0> - автоматическая установка диапазона ГУН встроенной системой автокалибровки; <1> - ручная установка номера диапазона
2:0	ADDR<2:0>	Адрес регистра	<011>

Таблица 12 – Регистр 4 (Адрес 100)

Биты	Обозначение	Предназначение	Определение
31	RECALOFF	Перезапуск автокалибровки при перестройке частоты	<0> - автоматический перезапуск включен <1> - автоматический перезапуск выключен
30	-	-	- резерв
29:21	NBS<8:0>	Делитель тактовой частоты системы автокалибровки	1-511
20:19	LDPT<1:0>	Точность работы детектора захвата частоты в дробном режиме	<11> - 4,5 нс <10> - 5,5 нс <01> - 8 нс <00> - 100 нс
18:17	LD<1:0>	Режим работы выхода детектора захвата частоты	<00> - цифровой детектор <10> - аналоговый детектор <01> - высокий уровень <11> - низкий уровень

Биты	Обозначение	Предназначение	Определение
16:14	MUXOUT<2:0>	Конфигурация выхода MUXOUT	<000> - высокоимпедансное состояние <001> - высокий уровень <010> - низкий уровень <011> - делитель опорной частоты <100> - петлевой делитель <101> - петлевой делитель/2 <110> - цифровой детектор захвата частоты <111> - флаг окончания автокалибровки ГУН
13:12	TEST<1:0>	тестовые режимы	<00> - рабочий режим <01> - режим тестирования ГУН, выходного тракта и петлевого делителя частоты <10> - рабочий режим ФАПЧ в установленном диапазоне ГУН <11> - режим тестирования делителя опорной частоты, на выходе OUTCMOS лог. 1
11	TESTDIG	режим тестирования цифровой части (ATPG)	<0> - выключен <1> - включен
10:9	PRESINC<1:0>	Режимы работы функций управления начальной фазой выходного сигнала	<00> - функции управления начальной фазой выключены <01> - режим однократной установки начальной фазы через время $TFS = (TIMEFL)/F_{PFD}$ после начала перестройки частоты <10> - резерв <11> - резерв
8	PHASE	Включение функции сдвига фазы выходного сигнала на величину, задаваемую переменной P<13:0>	<0> - функция выключена <1> - функция включена
7:4	-	-	Резерв
3	FL	Включение функции быстрого захвата частоты	<0> - функция выключена <1> - функция включена
2:0	ADDR<2:0>	Адрес регистра	<100>

Таблица 13 – Регистр 5 (Адрес 101)

Биты	Обозначение	Предназначение	Определение
31:30	MUXFB<1:0>	Выбор подключения входа петлевого делителя	<00> - вход подключен к выходу ГУН <01> - вход подключен к выходному делителю номер 1 <10> - вход подключен к выходному делителю номер 2 <11> - резерв
29	MUXCMOS	Выбор подключения выходного CMOS буфера	<0> - к выходному делителю номер 1 <1> - к выходному делителю номер 2

Биты	Обозначение	Предназначение	Определение
28	MUXLVDS	Выбор подключения выходного LVDS буфера	<0> - к выходному делителю 1 <1> - к выходному делителю 2
27	BUF1_EN	Включение ВЧ буфера 1	<0> - выключен <1> - включен
26	BUF2_EN	Включение ВЧ буфера 2	<0> - выключен <1> - включен
25	LVDS_EN	Включение LVDS буфера	<0> - выключен <1> - включен
24	CMOS_EN	Включение CMOS буфера	<0> - выключен (высокоимпедансное состояние) <1> - включен
23	DIV1_EN	Включение выходного делителя номер 1	<0> - выключен <1> - включен
22	DIV2_EN	Включение выходного делителя номер 2	<0> - выключен <1> - включен
21:20	BPWR1<1:0>	Управления выходной мощностью первого ВЧ буфера	<00> = -4 дБм <01> = -1 дБм <10> = +2 дБм <11> = +5 дБм
19:18	BPWR2<1:0>	Управления выходной мощностью второго ВЧ буфера	<00> = -4 дБм <01> = -1 дБм <10> = +2 дБм <11> = +5 дБм
17:15	DIV1<2:0>	Управления коэффициентом деления 1-го делителя частоты	<000> = 1 <001> = 2 <010> = 4 <011> = 8 <100> = 16 <101> = 32 <110> = 64 <111> = 128
14:12	DIV2<2:0>	Управления коэффициентом деления 2-го делителя частоты	<000> = 1 <001> = 2 <010> = 4 <011> = 8 <100> = 16 <101> = 32 <110> = 64 <111> = 128
11	FSLVDS	Сигнал включения определения состояния выходов LVDS буфера при его отключении	<0> - определение состояния линии выключено, $V_{LVDS\ P} - V_{LVDS\ N} = 0$ <1> - определение состояния линии включено, $V_{LVDS\ P} - V_{LVDS\ N} \approx 130\ мВ$
10	STMODLVDS	Сигнал включения LVDS выхода в статическое состояние (тестовый режим), определяемое состоянием входа ST	<0> - обычный режим <1> - тестовый режим

Биты	Обозначение	Предназначение	Определение
9	ST	Определяет состояние LVDS выхода в тестовом режиме	<0> - $V_{LVDS\ P} - V_{LVDS\ N}$ – соответствует уровню логического 0 <1> - $V_{LVDS\ P} - V_{LVDS\ N}$ – соответствует уровню логической 1
8	LDCMOS	Режим работы выходного CMOS буфера на выдачу сигнала детектора захвата	<0> - CMOS буфер работает в обычном режиме <1> - CMOS буфер выдает флаг детектора захвата
7	CSR	Включение функции “предотвращение проскальзывания циклов”	<0> - функция выключена <1> - функция включена
6	RESDIG	Принудительный сброс цифровой части	<0> - рабочий режим <1> - сброс
5	RESDIV	Принудительный сброс петлевого делителя и делителя опорной частоты	<0> - рабочий режим <1> - сброс
4	MUTE	Включение функции выключения выходных буферов на время установления выходной частоты	<0> - функция выключена <1> - функция включена
3	SHDN	Режим пониженного потребления	<0> рабочий режим <1> режим пониженного потребления
2:0	ADDR<2:0>	Адрес регистра	<101>

Таблица 14 – Регистр 6 (Адрес 110)

Биты	Обозначение	Предназначение	Определение
31:18	P<13:0>	Значение фазы выходного сигнала	0-16383
17:3	-	-	Резерв
2:0	ADDR<2:0>	Адрес регистра	<110>

Таблица 15 – Регистр 7 (Адрес 111)

Биты	Обозначение	Предназначение	Определение
31:26	-	-	Резерв
25:8	TIMEFL<17:0>	Таймер отсчета времени для функций быстрого захвата и установки начальной фазы	0-262143
7	-	-	Резерв
6:3	REGSEL<3:0>	Адрес регистра для чтения	<0111> – регистр 7 <1000> – регистр 8 <1001> – регистр 9 <1010> – регистр 10
2:0	ADDR<2:0>	Адрес регистра	<111>

Таблица 16 – Регистр 7 (только для чтения)

Биты	Обозначение	Предназначение	Определение
31	VAS_STAT	Статус автоматической калибровки	<0> - калибровка не начата <1> - калибровка завершена
30:24	VCO_BAND<6:0>	Используемый частотный диапазон ГУН	<0000000> - зона 0 (нижний частотный диапазон) <1111111> - зона 127 (верхний частотный диапазон)
23:11	CNT_TOTAL<12:0>	Значение счетчиков автокалибровки	1300-8191
10	LDR	Состояние цифрового детектора захвата	<0> - ФАПЧ не в захвате <1> - ФАПЧ в захвате
9:4	BANDSQ <55:50>	Последовательность номеров диапазонов ГУН	
3:0	ADDR<3:0>	Адрес регистра	<0111>

Таблица 17 – Регистр 8 (Только для чтения)

Биты	Обозначение	Предназначение	Определение
31:4	BANDSQ <49:22>	Последовательность номеров диапазонов ГУН	
3:0	ADDR<3:0>	Адрес регистра	<1000>

Таблица 18 – Регистр 9 (Только для чтения)

Биты	Обозначение	Предназначение	Определение
31:10	BANDSQ <21:0>	Последовательность номеров диапазонов ГУН	
9:4	-	-	Резерв
3:0	ADDR<3:0>	Адрес регистра	<1001>

Таблица 19 – Регистр 10 (Только для чтения)

Биты	Обозначение	Предназначение	Определение
31:25	CPOFSET <6:0>	Вычисленное значение тока смещения	
24:4	-	-	Резерв
3:0	ADDR<3:0>	Адрес регистра	<1010>

6 Типовая схема включения микросхемы

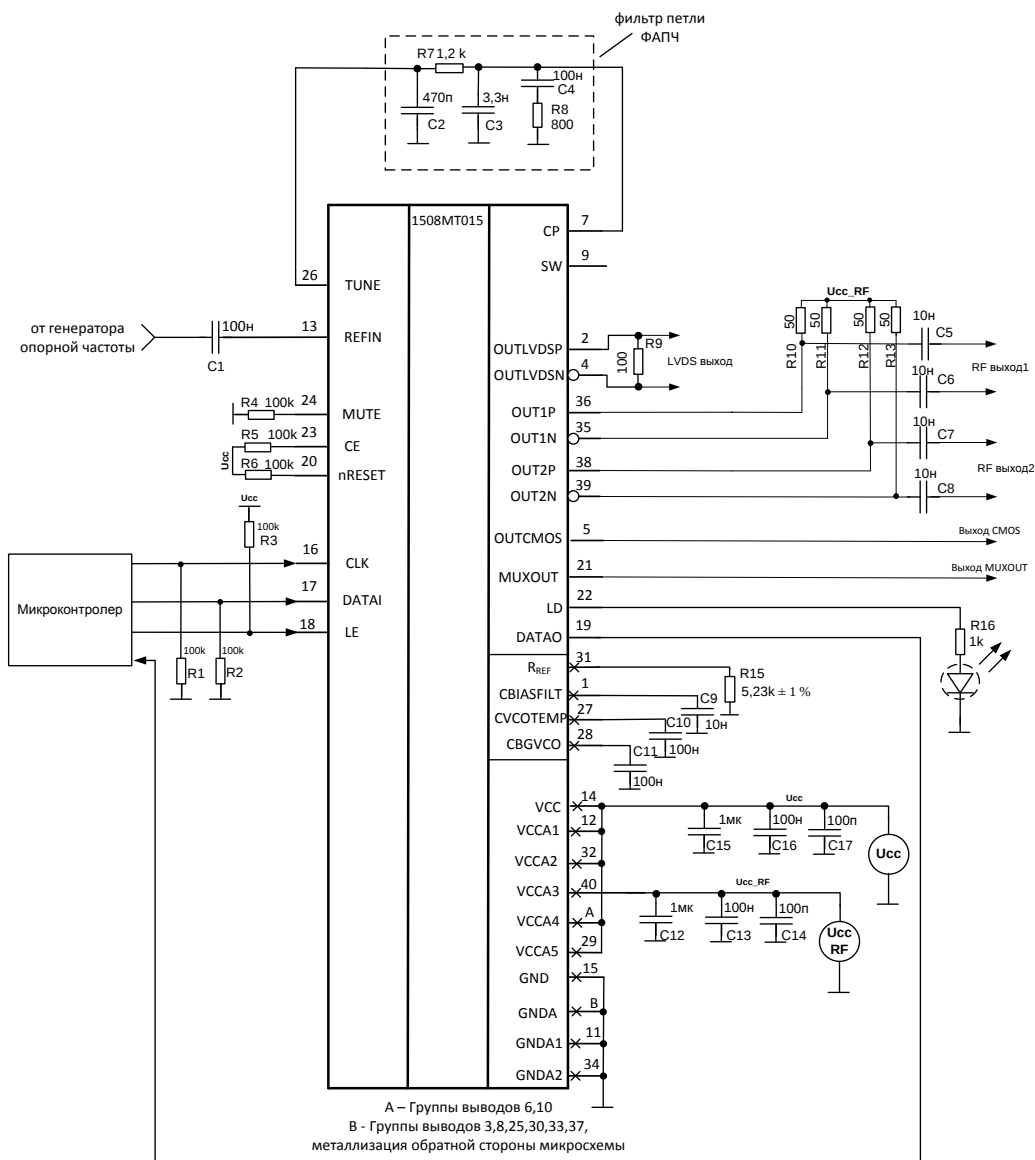


Рисунок 16 – Типовая схема включения микросхемы

Примечания:

1. Номиналы и схема фильтра петли ФАПЧ (C2, C3, C4, R7, R8) указаны на схеме для примера и должны выбираться исходя из необходимой полосы ФАПЧ, времени перестройки и выбранной частоты фазового детектора.
2. Резистор нагрузки на выходе LVDS номиналом 100 Ом устанавливается на конце дифференциальной линии передачи сигнала.
3. Неиспользуемые выходы микросхемы можно оставлять неподключенными (на схеме показан случай использования всех выходов).
4. Напряжение питания выходных каскадов ИМС VCCA3 должно подаваться на микросхему не зависимо от числа используемых выходов.
5. Выход SW задействуется при использовании функции быстрого захвата (см. подраздел 5.11)
6. Вместо резисторов R10-R13 могут использоваться индуктивности (см. подраздел 5.8).

7 Предельно-допустимые характеристики микросхемы

Таблица 20 – Предельно-допустимые режимы эксплуатации и предельные электрические режимы микросхем

Наименование параметра, единица измерения	Буквенное обозначение	Норма параметра			
		Предельно- допустимый режим		Предельно- допустимый режим	
		не менее	не менее	не менее	не менее
Напряжение питания, В	U_{CC}	3,0	3,6	-	4
Частота опорного сигнала, МГц:	f_{REF}	0,05	200	-	-
Мощность опорного сигнала для синусоидальной формы, дБм	P_{SIN}	-10	12	-	15
Скорость нарастания сигнала опорной частоты, В/мкс	SR_{REF}	1	—	—	—
Размах опорного сигнала прямоугольной формы, В	U_{SQ}	0,7	U_{CC}	-	4
Частота фазового детектора, МГц: - в дробном режиме - целочисленном режиме	F_{PFD}	0,1	50	-	-
		0,1	100	-	-
Емкость нагрузки на выходах MUXOUT, OUTCMOS, пФ	C_L	-	10	-	-
Выходной ток высокого уровня на выходах MUXOUT, OUTCMOS, LD, DATAO, мА	I_{OH}	- 1	—	—	—
Выходной ток низкого уровня на выходах MUXOUT, OUTCMOS, LD, DATAO, мА	I_{OL}	—	1	—	—

8 Электрические параметры микросхемы

Таблица 21 – Электрические параметры микросхемы

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °C
		не менее	не более	
Входное напряжение высокого уровня на цифровых входах CLK, DATAI, LE, CE, MUTE, RESET, B	U_{IH}	–	2,1	25, 125, – 60
Входное напряжение низкого уровня на цифровых входах CLK, DATAI, LE, CE, MUTE, RESET, B	U_{IL}	1,2	–	25, 125, – 60
Выходное напряжение высокого уровня на цифровых выходах MUXOUT, LD, DATAO, OUTCMOS при токе 1 мА, В	U_{OH}	2,8	–	25, 125, – 60
Выходное напряжение низкого уровня на цифровых выходах MUXOUT, LD, DATAO, OUTCMOS при токе -1 мА, В	U_{OL}	–	0,2	25, 125, – 60
Дифференциальное выходное напряжение на LVDS выходе, мВ	U_{OD}	247	454	25, 125, – 60
Синфазное напряжение на LVDS выходе, В	U_{OS}	1,1	1,4	25, 125, – 60
Динамический ток потребления, мА, в режимах частот на выходах: $f_{RF} = f_{LVDS} = f_{CMOS} = 23,4375$ МГц	I_{OCC}	–	320	25, 125, – 60
$f_{RF} = 6$ ГГц, $f_{LVDS} = f_{CMOS} = 0$ МГц			190	
Ток потребления в состоянии пониженного энергопотребления, мкА	I_{CCS}	–	50*	25, 125, – 60
Ток утечки высокого уровня на цифровых входах CLK, DATAI, LE, MUTE, RESET, CE, мкА	I_{ILH}	– 1,0	1,0	25, 125, – 60
Ток утечки низкого уровня на цифровых входах CLK, DATAI, LE, MUTE, RESET, CE, мкА	I_{ILL}	– 1,0	1,0	25, 125, – 60
Максимальный выходной втекающий ток зарядно-разрядного блока на выводе CP при RSET = 5,1 кОм, мА	$I_{CP\ SI\ max}$	4,73	5,5	25, 125, – 60
Максимальный выходной вытекающий ток зарядно-разрядного блока на выводе CP при RSET = 5,1 кОм, мА	$I_{CP\ SO\ max}$	– 5,5	– 4,73	25, 125, – 60
Минимальный выходной втекающий ток зарядно-разрядного блока на выводе CP при RSET = 5,1кОм, мкА	$I_{CP\ SI\ min}$	148	172	25, 125, – 60

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °C
		не менее	не более	
Минимальный выходной вытекающий ток зарядно-разрядного блока на выводе CP при RSET = 5,1кОм, мкА	$I_{CP\ SO\ min}$	- 172	- 148	25, 125, - 60
Входной ток высокого уровня на входе REFIN, мкА	I_{IH_REF}	-	60	25, 125, - 60
Входной ток низкого уровня на входе REFIN, мкА	I_{IL_REF}	- 60	-	25, 125, - 60
Коэффициент деления опорной частоты	DREF	1	4095	25, 125, - 60
Целая часть петлевого коэффициента деления: - в целочисленном режиме - в дробном режиме	INT	24	131071	25, 125, - 60
		27	131067	
Коэффициент деления выходного делителя	DIVA	1	128	25, 125, - 60
Мощность дифференциального выходного сигнала ВЧ выходов, дБм, при режиме частот на выходе: - $f_{RF} = 6$ ГГц - $f_{RF} = 3$ ГГц - $f_{RF} = 23,4375$ МГц	P_{RF}	- 12	-	25, 125 - 60
		- 6	-	
		2,5	-	
Частота на выходе ГУН, МГц: - максимальная, при $U_{TUNE} = 2,5$ В - минимальная, при $U_{TUNE} = 0,5$ В	$f_{VCO\ max}$ $f_{VCO\ min}$	6000 -	- 3000	25, 125, - 60
Крутизна перестройки ГУН, МГц/В	K_{VCO}	25	55	25, 125 - 60
Коэффициент вариации частоты ГУН при изменении напряжения питания, МГц/В	K_{VDD}	-	2	25, 125 - 60
Вариация частоты ГУН при изменении температуры в диапазоне от -60 °C до 125 °C, МГц	K_{TEMP}	-	20	25, 125 - 60
Диапазон управляющего напряжения ГУН, В	δV_{tune}	0,5	2,5	25, 125 - 60
Диапазон частот на ВЧ выходах OUT1N, OUT1P, OUT2N, OUT2P, МГц	δf_{RF}	23,4375	6000	25, 125 - 60

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °C
		не менее	не более	
Диапазон частот на выходах OUTLVDSN, OUTLVDSP, МГц	δf_{LVDS}	23,4375	800	25, 125 – 60
Диапазон частот на выходе OUTCMOS, МГц	δf_{CMOS}	23,4375	250	25, 125 – 60
Фазовый шум ГУН, дБн/Гц частота ГУН 3ГГц отстройки 10кГц отстройка 100кГц отстройки 1МГц отстройка 10МГц частота ГУН 4,5ГГц отстройки 10кГц отстройка 100кГц отстройки 1МГц отстройка 10МГц частота ГУН 6ГГц отстройки 10кГц отстройка 100кГц отстройки 1МГц отстройка 10МГц	P_{n_vco}		-75 -105 -132 -150 -67 -97 -126 -147 -63 -96 -125 -145	25, 125, – 60
Нормированный уровень тепловых фазовых шумов в целочисленном режиме, дБн/Гц	P_{n_floor}		-226	25, 125, – 60
Нормированный уровень фазовых фликкер-шумов в целочисленном режиме, дБн/Гц	P_{n_flick}		-116	25, 125 – 60
Уровень побочных составляющих в спектре выходного сигнала, вызванных частотой фазового детектора при $f_{PDF} = 1\text{МГц}$	L_{SPUR}		-70 ¹	25, 125 – 60

¹ При использовании петлевого фильтра ФАПЧ с номиналами соответствующими типовой схеме включения.

9 Основные зависимости

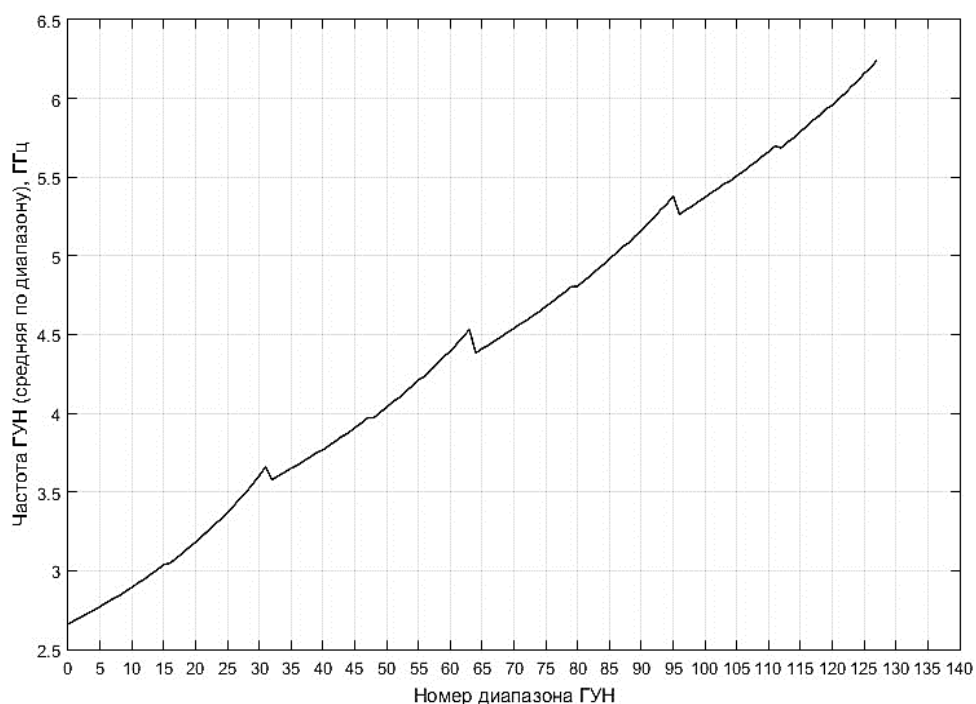


Рисунок 17 – Зависимость средней по диапазону частоты ГУН от номера диапазона ($T=25^{\circ}\text{C}$, $U_{\text{сб}}=3,3\text{ В}$)

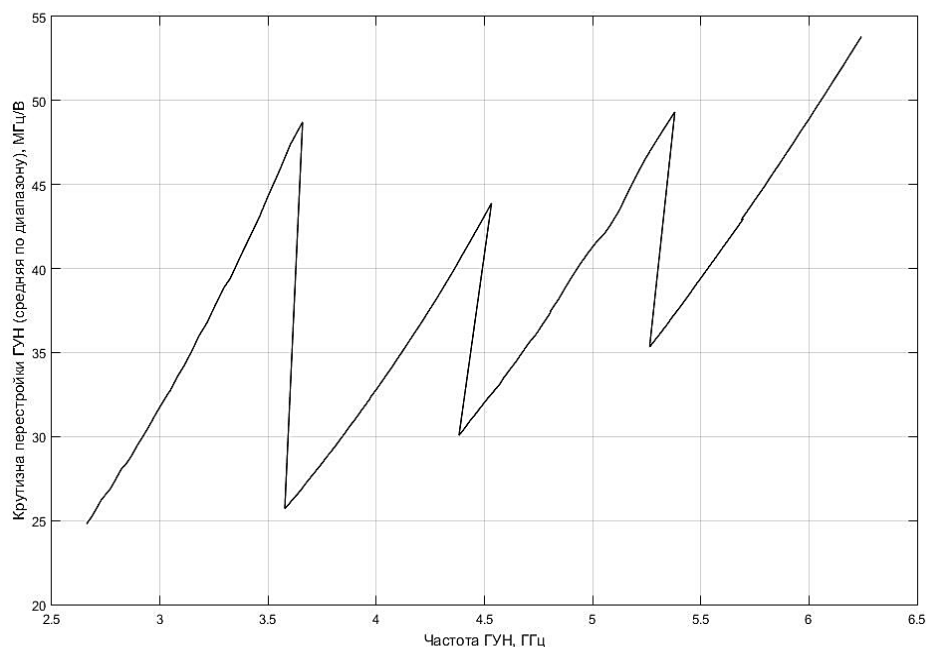


Рисунок 18 – Зависимость средней по диапазону крутизны перестройки ГУН от частоты ГУН ($T=25^{\circ}\text{C}$, $U_{\text{сб}}=3,3\text{ В}$)

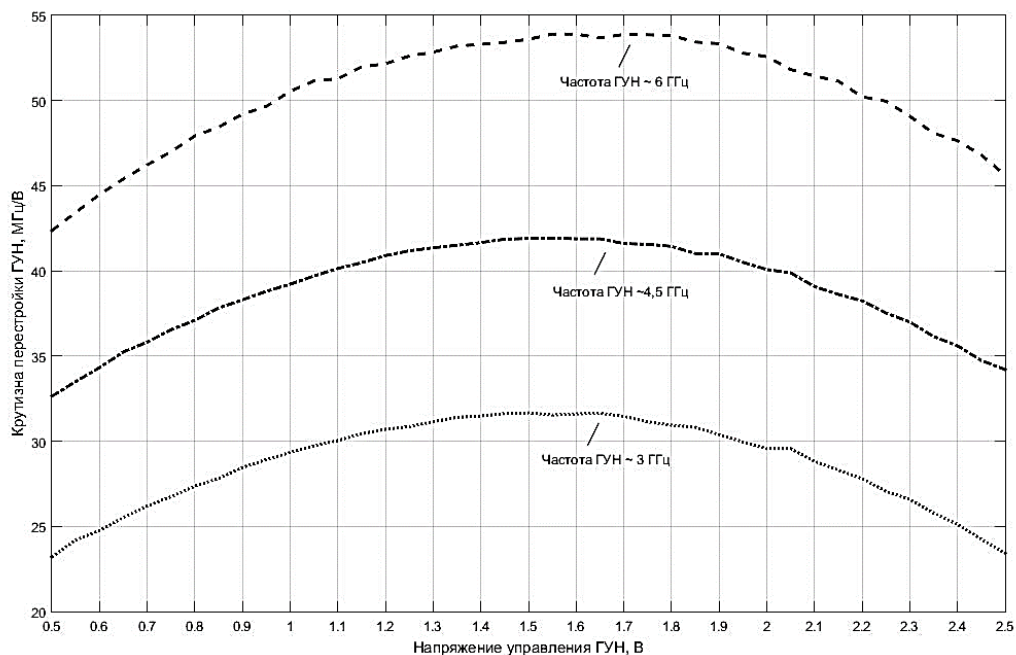


Рисунок 19 – Зависимость крутизны перестройки ГУН от напряжения управления на входе TUNE ($T=25^{\circ}\text{C}$, $U_{\text{СС}}=3,3\text{ В}$)

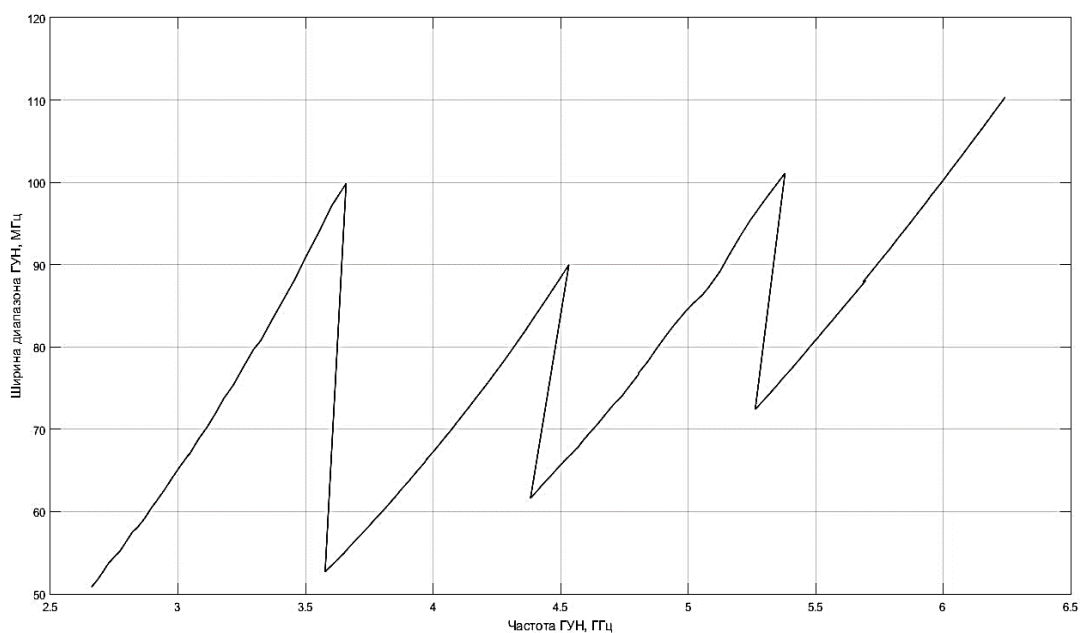
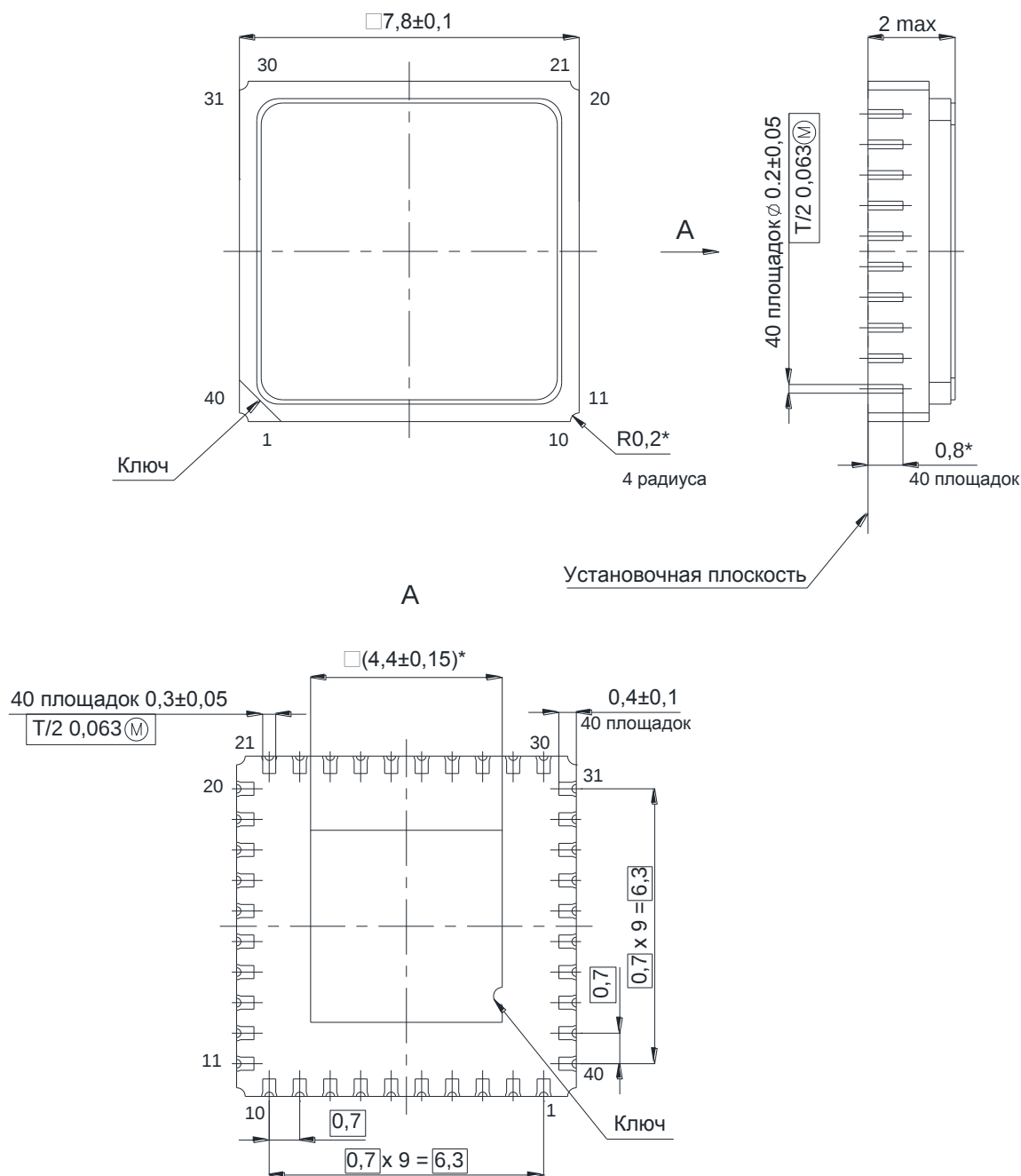


Рисунок 20 – Зависимость ширины диапазона ГУН от частоты ГУН ($T=25^{\circ}\text{C}$, $U_{\text{СС}}=3,3\text{ В}$)

10 Габаритный чертеж микросхемы

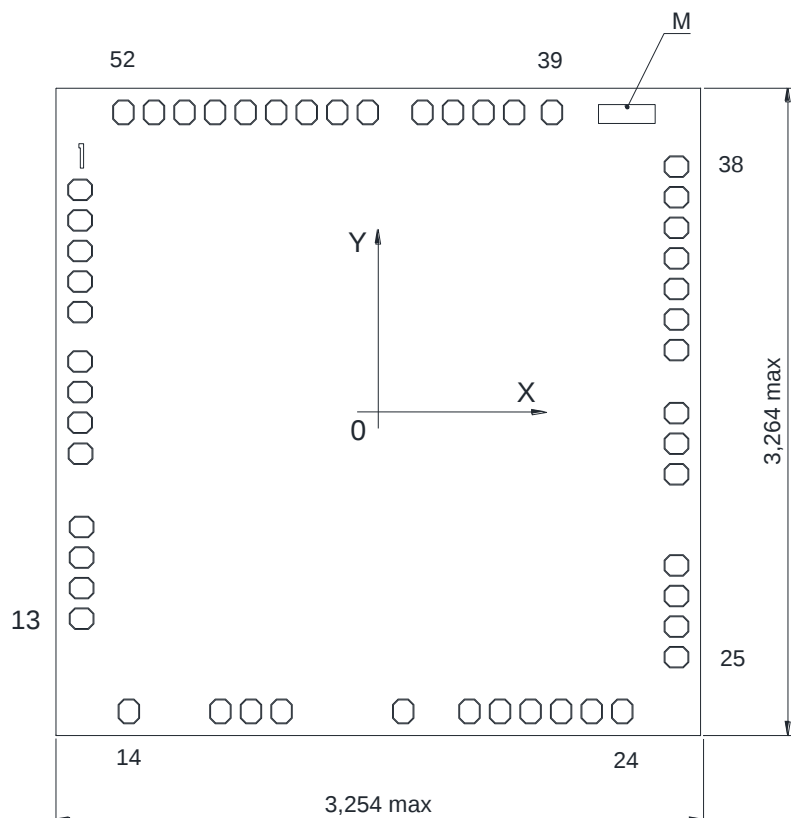


1 *Размеры для справок.

2 Нумерация выводных площадок показана условно.

3 Крышка, металлизация обратной стороны корпуса и вывод 37 электрически соединены между собой.

Рисунок 21 – Корпус 5164.40-1



- 1 Размеры контактных площадок (КП) кристалла:
 1 - 13, 25 - 38 (105x90) мкм;
 14 - 24, 39 - 52 (90x105) мкм.
 Материал КП - AlCu (Cu 0,5 %).
- 2 Толщина кристалла - (0,254 ± 0,025) мм.
- 3 М - маркировка кристалла MLDR120 показана условно.
- 4 Координаты КП - см. таблицу ниже.
- 5 Номера КП кристалла, кроме первой, присвоены условно, их расположение соответствует топологическому чертежу.

Рисунок 22 – Кристалл (бескорпусное исполнение)

Таблица 22 – Координаты КП кристалла

Порядковый номер КП	Название площадки	Координата X	Координата Y
1	CBIASFILT	-1366.500	1016.920
2	OUTLVDSP	-1366.500	876.920
3	GNDA	-1366.500	736.920
4	OUTLVDSN	-1366.500	596.920
5	OUTCMOS	-1366.500	456.920
6	VCCA4	-1366.500	230.770
7	GNDA	-1366.500	90.770
8	CP	-1366.500	-49.230
9	GNDA	-1366.500	-189.230
10	GNDA	'-1366.500	-469.23
11	GNDA	'-1366.500	-609.23
12	SW	-1366.500	-749.875
13	VCCA4	-1366.500	-889.875
14	GNDA1	-1142.935	-1371.500
15	VCCA1	-723.375	-1371.500
16	REFIN	-583.375	-1371.500

Порядковый номер КП	Название площадки	Координата X	Координата Y
17	GNDA	-443.375	-1371.500
18	VCC	114.340	-1371.500
19	GND	418.000	-1371.500
20	CLK	558.000	-1371.500
21	DATAI	698.000	-1371.500
22	LE	838.000	-1371.500
23	DATA0	978.000	-1371.500
24	nRESET	1118.000	-1371.500
25	MUXOUT	1366.500	-1123.000
26	LD	1366.500	-983.000
27	CE	1366.500	-843.000
28	MUTE	1366.500	-703.000
29	GNDA	1366.500	-285.555
30	GNDA	1366.500	-145.555
31	GNDA	1366.500	-5.555
32	TUNE	1366.500	283.000
33	CVCOTEMP	1366.500	423.000
34	CBGVCO	1366.500	563.000
35	VCCA5	1366.500	703.000
36	VCCA5	1366.500	843.000
37	GNDA	1366.500	983.000
38	GNDA	1366.500	1123.000
39	R _{REF}	795.910	1371.500
40	VCCA2	622.555	1371.500
41	VCCA2	482.555	1371.500
42	GNDA	342.555	1371.500
43	GNDA	202.555	1371.500
44	GNDA2	-48.000	1371.500
45	GNDA	-188.000	1371.500
46	OUT1N	-328.000	1371.500
47	OUT1P	-468.000	1371.500
48	GNDA	-608.000	1371.500
49	OUT2P	-748.000	1371.500
50	OUT2N	-888.000	1371.500
51	VCCA3	-1028.000	1371.500
52	VCCA3	-1168.000	1371.500

11 Информация для заказа

Обозначение микросхемы	Маркировка	Тип корпуса	Температурный диапазон
1508MT015	8MT	5164.40-1	минус 60 – 125 °С
K1508MT015	K8MT	5164.40-1	минус 60 – 125 °С
K1508MT015K	K8MT•	5164.40-1	0 – 70°С

Примечание – Микросхемы в бескорпусном исполнении поставляются в виде отдельных кристаллов, получаемых разделением пластины. Микросхемы поставляются в таре (кейсах) без потери ориентации. Маркировка микросхемы в бескорпусном исполнении – 1508MT01H4, K1508MT01H4 – наносится на тару.

Микросхемы с приемкой «ВП» маркируются ромбом.

Микросхемы с приемкой «ОТК» маркируются буквой «К».

12 Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	29.12.2015	1.0.0	Введена впервые	
2	01.02.2016	1.1.0	Исправлен температурный диапазон	По тексту
3	12.07.2016	1.1.1	Исправлено обозначение корпуса	1, 25
4	16.01.2017	1.2.0	Корректировка в соответствии с замечаниями и дополнениями главного конструктора	По тексту
5	23.01.2018	1.3.0	Изменено обозначение микросхем Заменен корпус Внесены изменения в таблицу выводов, условное графическое обозначение, структурную блок-схему Исправлены обозначения выводов	По тексту 1, 37 2, 3, 4, 5 По тексту