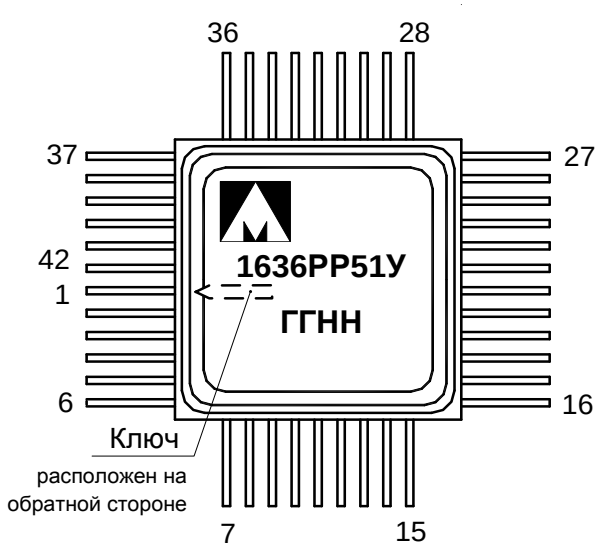
Микросхема ЭППЗУ Flash-типа с параллельным интерфейсом 1636РР51У, К1636РР51У, К1636РР51УК, 1636РР5Н4, К1636РР5Н4



ГГ – год выпуска
НН – неделя выпуска

Тип корпуса:

- 42-х выводной металлокерамический корпус Н14.42-1В;
- микросхемы 1636РР5Н4, К1636РР5Н4 поставляются в бескорпусном исполнении.

Основные характеристики микросхемы:

- Емкость ЭСППЗУ 1 Мбит (128К х 8);
- Наличие параллельного интерфейса;
- Напряжение питания: 3,0 – 5,5 В;
- Совместимость с уровнями КМОП схем;
- Технологический процесс 0,18 мкм;
- Время доступа по чтению 55 нс;
- Ток потребления в режиме хранения не более 1 мА;
- Динамический ток потребления в режиме считывания, записи и стирания не более 50 мА;
- Режим страничной записи 256 байт;
- Режим программно-защищенной страничной записи;
- Режим пятивольтового программного стирания всей памяти;
- Количество циклов записи/стирания данных 15 000;
- Время хранения информации 13 лет при температуре 125 °С;
- Программный метод детектирования окончания циклов стирания и записи;
- Встроенная схема формирования высоковольтного напряжения программирования и стирания;
- Встроенная схема сброса при включении питания;
- Рабочий диапазон температур:

Обозначение	Диапазон
1636РР51У	минус 60 – 125 °С
К1636РР51У	минус 60 – 125 °С
К1636РР51УК	0 – 70 °С

Общее описание и область применения микросхемы

Микросхемы интегральные 1636РР51У (далее – микросхемы) представляют собой энергонезависимые запоминающие устройства Flash-типа с параллельным интерфейсом и предназначены для хранения и оперативной модификации массивов данных, программного обеспечения и регулирующих воздействий аппаратуры специального назначения.

1 Структурная блок-схема микросхемы

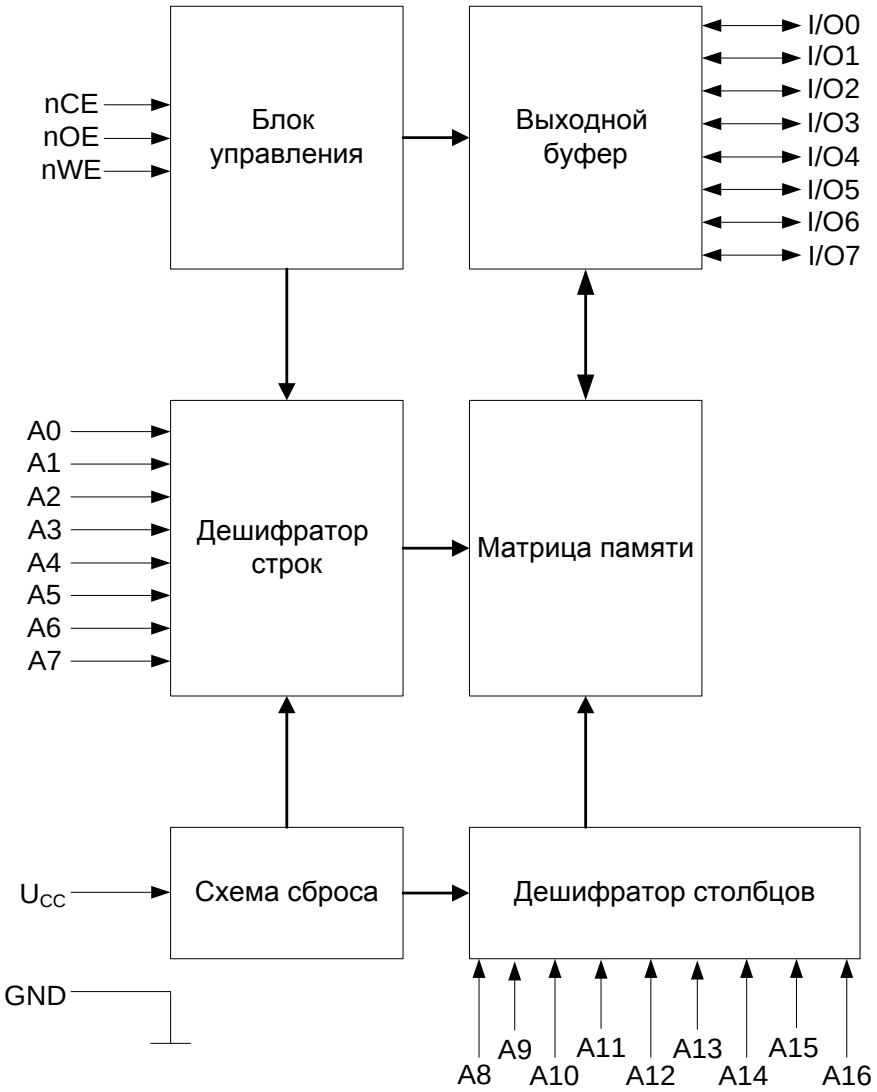


Рисунок 1 – Структурная блок-схема микросхемы

2 Условное графическое обозначение

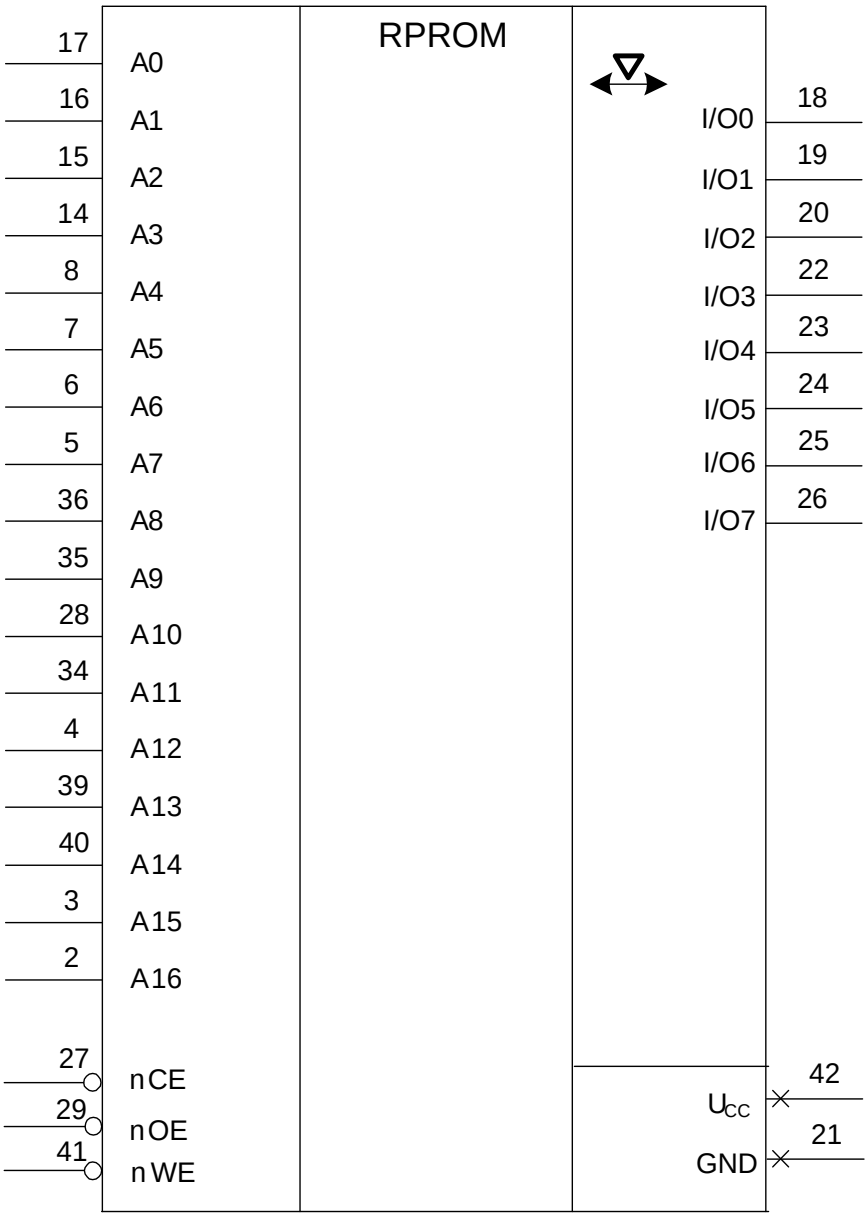


Рисунок 2 – Условное графическое обозначение

3 Описание выводов

Таблица 1 – Описание выводов

Номер вывода корпуса	Обозначение вывода	Назначение вывода
1	NC	Свободный
2	A16	Вход адреса
3	A15	Вход адреса
4	A12	Вход адреса
5	A7	Вход адреса
6	A6	Вход адреса
7	A5	Вход адреса
8	A4	Вход адреса
9 – 13	NC	Свободный
14	A3	Вход адреса
15	A2	Вход адреса
16	A1	Вход адреса
17	A0	Вход адреса
18	I/O0	Вход/выход данных
19	I/O1	Вход/выход данных
20	I/O2	Вход/выход данных
21	GND	Общий
22	I/O3	Вход/выход данных
23	I/O4	Вход/выход данных
24	I/O5	Вход/выход данных
25	I/O6	Вход/выход данных
26	I/O7	Вход/выход данных
27	nCE	Вход разрешения выборки (активный низкий уровень)
28	A10	Вход адреса
29	nOE	Вход разрешения чтения (активный низкий уровень)
30 – 33	NC	Свободный
34	A11	Вход адреса
35	A9	Вход адреса
36	A8	Вход адреса
37, 38	NC	Свободный
39	A13	Вход адреса
40	A14	Вход адреса
41	nWE	Вход разрешения записи (активный низкий уровень)
42	U_{CC}	Питание

Таблица 2 – Описание контактных площадок (КП) кристалла (бескорпусное исполнение)

№ КП кристалла	Назначение КП для ППЗУ с параллельным интерфейсом	Назначение КП для ППЗУ с последовательным интерфейсом
1	Питание	Питание
2	Вход адреса	Не разваривается
3	Вход адреса	Не разваривается
4	Вход адреса	Не разваривается
5	Вход адреса	Не разваривается
6	Не разваривается	Вход данных
7	Вход адреса	Не разваривается
8	Вход адреса	Не разваривается
9	Вход адреса	Не разваривается
10	Не разваривается	Не разваривается
11	Вход адреса	Не разваривается
12	Вход адреса	Не разваривается
13	Вход адреса	Не разваривается
14	Не разваривается	Вход тактовый
15	Вход адреса	Не разваривается
16	Вход/выход данных	Не разваривается
17	Вход/выход данных	Не разваривается
18	Вход/выход данных	Не разваривается
19	Не разваривается	Питание
20	Общий	Общий
21	Общий	Общий
22	Вход/выход данных	Не разваривается
23	Вход/выход данных	Не разваривается
24	Вход/выход данных	Не разваривается
25	Вход/выход данных	Не разваривается
26	Вход/выход данных	Не разваривается
27	Вход разрешения выборки (активный низкий уровень)	Вход разрешения выборки (активный низкий уровень)
28	Вход адреса	Не разваривается
29	Вход разрешения чтения (активный низкий уровень)	Не разваривается
30	Вход адреса	Не разваривается
31	Вход адреса	Не разваривается
32	Вход адреса	Не разваривается
33	Не разваривается	Не разваривается
34	Не разваривается	Выход данных
35	Не разваривается	Не разваривается
36	Не разваривается	Общий
37	Вход адреса	Не разваривается
38	Вход адреса	Не разваривается
39	Вход разрешения записи (активный низкий уровень)	Не разваривается
40	Питание	Питание

4 Указания по применению и эксплуатации

При ремонте аппаратуры и измерении параметров микросхем замену микросхем необходимо проводить только при отключенных источниках питания.

Запрещается подведение каких-либо электрических сигналов (в том числе шин «Питание», «Общий») к выводам микросхем, не используемым согласно таблице описания выводов (Таблица 1).

Крышка микросхем электрически соединена с выводом 21 («Общий»).

Между выводами U_{CC} и GND устанавливается фильтрующая емкость не менее 0,1 мкФ.

Типовая схема включения микросхем приведена на рисунке 6.

Временные диаграммы работы микросхем приведены на рисунках 7 – 14.

5 Описание функционирования микросхемы

5.1 Поддерживаемые режимы работы устройства

В разделе описываются необходимые условия и операции, поддерживаемые микросхемой, которые инициируются сигналами управления nCE, nWE и nOE. В таблице 3 показаны режимы работы микросхемы, требуемые входные и выходные уровни сигналов. Описание данных режимов приведено в последующих подразделах.

Таблица 3 – Режимы работы микросхемы

Режим	nCE	nOE	nWE	Адрес	I/O0-I/O7
Чтение	L	L	H	входной адрес	выходные данные
Запись	L	H	L	входной адрес	входные данные
Пониженное энергопотребление	H	X	X	X	Z
Неактивное состояние	L	H	H	X	Z
Запрет записи	X	L	X	X	Z / выходные данные
	X	X	H	X	Z / выходные данные
Запрет выхода	X	H	X	X	Z

Примечания:
1 Обозначения в таблице:
L – логический «0» U_{IL};
H – логическая «1» U_{IH};
X – любое состояние U_{IL} или U_{IH};
Z – высокий импеданс на выходе.
2 Не разрешается подача высоковольтного напряжения на вывод A9, чтение ID производителя в таком режиме не поддерживается.

5.1.1 Режим чтения

Для чтения данных с выходов необходимо подать на выводы nCE и nOE сигнал низкого уровня U_{IL}. Вывод nCE регулирует мощность и выбирает микросхему. Вывод nOE осуществляет управление вводом-выводом массива данных на контактные площадки. Вывод nWE должен оставаться в состоянии U_{IH}.

5.1.2 Режим страничной записи

Память программируется постранично. Каждая страница содержит 256 байт данных. Если необходимо изменить байт данных в пределах страницы, требуется загрузка данных для всей страницы в памяти микросхемы. Каждый незагруженный байт принимает произвольное случайное значение во время операции программирования страницы.

Операция записи инициируется установкой сигналов nCE и nWE в состояние логического «0», а сигнала nOE в логическую «1». Процедура записи состоит из двух шагов:

- Шаг 1. Цикл загрузки байт: записываются входные данные в буфер страницы памяти микросхемы;

– Шаг 2. Внутренний цикл программирования: данные из буфера страницы последовательно (побайтно) записываются в энергонезависимую матрицу памяти.

В течение цикла загрузки байты адреса защелкиваются по отрицательному фронту сигналов nCE или nWE, в зависимости от того, какое из событий произойдет позже. Данные защелкиваются по положительному фронту сигналов nCE или nWE, в зависимости от того, какое какое из событий произойдет раньше. Данные в микросхему загружаются последовательно. Микросхема остается в цикле загрузки страницы, если каждый последующий байт записывается в микросхему в пределах времени 100 мкс. В случае, когда после переднего фронта сигнала nWE или nCE проходит время t_{CYBLCO} = 200 мкс, и дополнительные байты не загружаются в буфер страницы, цикл загрузки страницы прерывается и начинается внутренний цикл программирования. Адресные входы с A8 по A16 определяют адрес страницы. Все байты, загружаемые в буфер страницы, должны иметь одинаковый адрес страницы. Адресные входы с A0 по A7 определяют адрес в пределах страницы. Байты могут быть загружены в любом порядке, то есть последовательная загрузка не требуется.

Во время выполнения внутреннего цикла программирования все данные из буфера страницы (256 байт данных) записываются последовательно (побайтно) в матрицу памяти. Нельзя выполнять операции записи в микросхему до завершения внутреннего цикла программирования. Для определения момента времени окончания внутреннего цикла программирования требуется проверка бит статуса.

5.1.3 Режим программно-защищенной страничной записи

Микросхема поддерживает одобренную JEDEC программно-защищенную запись данных. После однократного разрешения данного режима любая последующая операция записи требует серии из трех командных последовательностей (с определенными данными по определенным адресам), которые выполняются перед операцией загрузки данных. Три командные последовательности начинают цикл загрузки страницы, без которых операция записи не будет активирована. Такая схема записи обеспечивает оптимальную защиту от случайных циклов записи, таких как случайный шум во время подачи и снятия питания.

Микросхема поставляется с разрешенной программно-защищенной схемой записи данных. Разрешение этой схемы осуществляется записью трех командных последовательностей перед началом цикла загрузки страницы. Микросхема войдет в программно-защищенный режим записи данных и любой последующей операции записи должна будет предшествовать серия из трех командных циклов. Такой режим защиты будет оставаться активным до записи команды деактивации программно-защищенного режима.

Выключение питания не деактивирует этот режим работы. Для сброса устройства в незащищенный режим требуется командная последовательность из шести циклов.

5.2 Аппаратная защита данных

Режим программирования включает в себя циклы разблокировки для защиты данных от ошибочной записи. В дополнение к этому методы аппаратной защиты, описанные ниже, предотвращают случайную запись, которая может быть причиной переходных процессов при подаче и снятии питания, а также шумов системы.

В схему включена схема сброса при включении питания, которая обеспечивает блокирование внутренних схем программирования и стирания после подачи напряжения U_{CC} на время 4 мс.

На входах nCE, nOE, nWE установлены фильтры импульсных помех длительностью менее 15 нс для предотвращения случайных циклов записи.

Принудительное доопределение $U_{nWE} = U_{nCE} = U_{IH}$ и $U_{nOE} = U_{IL}$ при включении питания переводит микросхему в режим запрета записи.

5.3 Командная последовательность стирания

Командная последовательность стирания микросхемы состоит из шести циклов на шине устройства: двух циклов разблокирования, команды «setup», двух дополнительных циклов разблокирования и команды «chip erase», которая запускает внутренний алгоритм стирания. Микросхеме не требуется предварительное программирование перед стиранием. После запуска внутреннего алгоритма стирания дополнительно контролировать временные характеристики микросхемы не требуется. В микросхеме автоматически контролируются все внутренние циклы и временные интервалы, и завершается операция стиранию за время 51 мс.

5.4 Статус операции программирования

Микросхема выдает два бита для определения статуса операции записи:

- опрашиваемый бит I/O6;
- переключающийся бит I/O7.

Функции этих битов описаны в последующих подразделах. С помощью бит I/O6 и I/O7 предлагаются методы определения статуса операции программирования. Опрос бит можно проводить через время t_{CYBLCO} = 350 мкс.

5.4.1 Опрашиваемый бит I/O7

Память микросхемы включает функцию опроса статуса окончания цикла программирования. Во время выполнения внутреннего цикла программирования любая попытка чтения бита I/O7 последнего загруженного байта в цикле загрузки буфера страницы приводит к получению инверсных данных по отношению к правильным. После окончания цикла программирования I/O7 чтение показывает правильные данные.

5.4.2 Переключающийся бит I/O6

В дополнение к опрашиваемому биту микросхема обеспечивает другой метод определения завершения цикла программирования. Во время выполнения внутреннего цикла программирования любая попытка последовательного чтения I/O6 приводит к попеременному считыванию логического «0» и логический «1». После завершения цикла программирования переключения между логическим «0» и логической «1» прекращаются. Микросхема готова для следующей операции.

5.5 Идентификатор микросхемы

Операция получения ID устройства выводит код производителя и код устройства. Оборудование для программирования автоматически согласовывает подходящие для устройства алгоритмы программирования и стирания. Коды микросхемы и производителя могут быть получены только при программном доступе с помощью трехбайтной командной последовательности, которая обеспечивает доступ к ID устройства.

Чтение по адресу 0000H выводит код производителя (DAh).

Чтение по адресу 0001H выводит код микросхемы (C1h).

Операция доступа к идентификатору микросхемы может быть прервана трехбайтной командной последовательностью.

Аппаратный метод доступа с помощью высоковольтного напряжения на выводе А9 **не поддерживается** и может привести **к выходу устройства из строя**.

В таблице 4 приведены коды команд для программно-защищенной схемы записи.

В таблице 5 приведены коды команд для программного стирания всего устройства.

В таблице 6 приведены коды команд для получения идентификатора устройства.

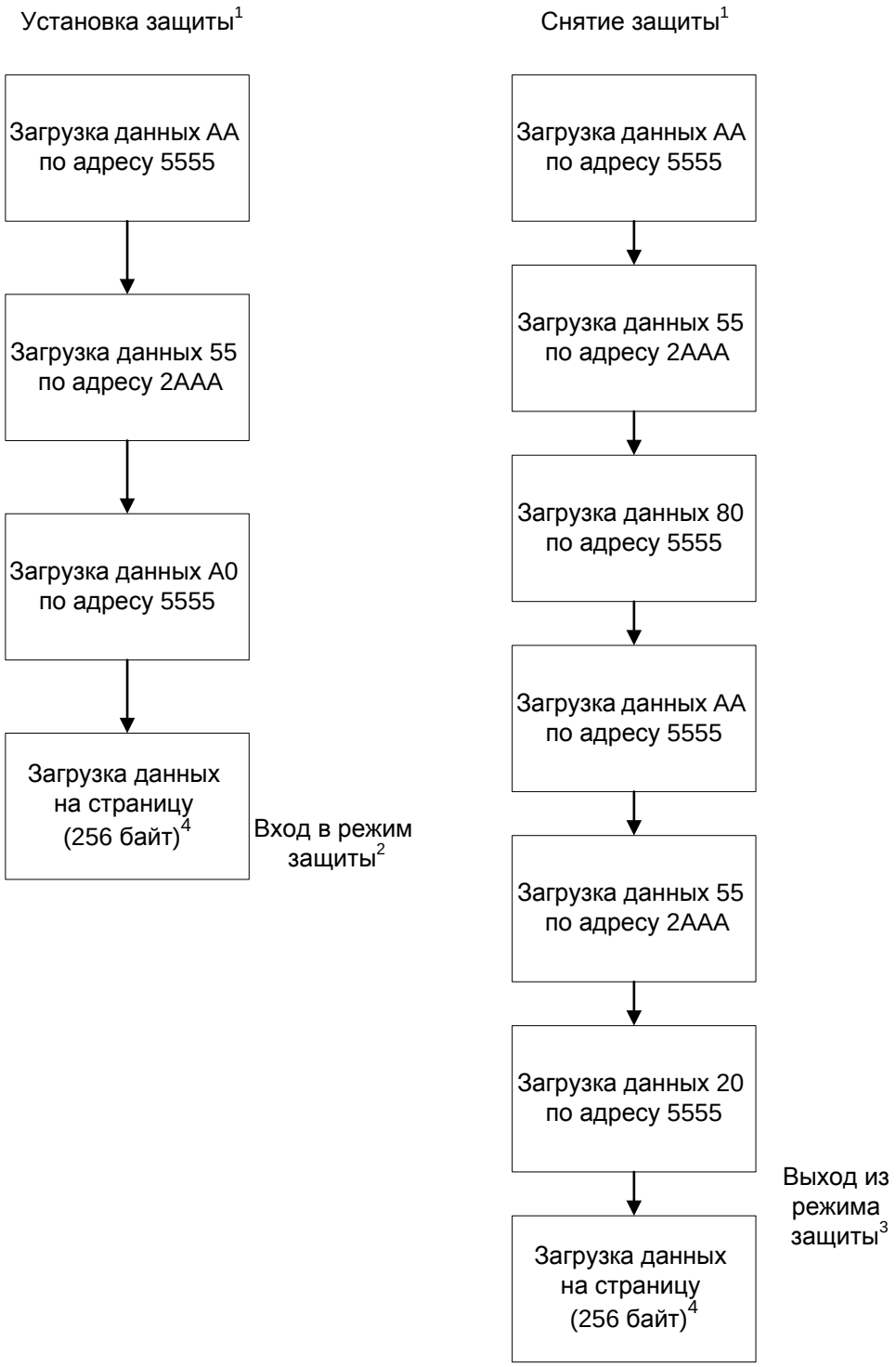
На рисунке 3 приведены блок-схемы алгоритмов установки и снятия защиты.

На рисунке 4 приведена блок-схема алгоритма стирания всей микросхемы.

На рисунке 5 приведена блок-схема алгоритма доступа к идентификатору микросхемы.

Таблица 4 – Коды команд для программно-защищенной схемы записи

Последовательность байт	**Разрешение защиты**		**Запрет защиты**	
	адрес	**данные**	**адрес**	**данные**
1 запись	5555Н	ААН	5555Н	ААН
2 запись	2АААН	55Н	2АААН	55Н
3 запись	5555Н	А0Н	5555Н	80Н
4 запись	-	-	5555Н	ААН
5 запись	-	-	2АААН	55Н
6 запись	-	-	5555Н	20Н



1 Формат данных I/O7 – I/O0 шестнадцатеричный;
Формат адреса A14 – A0 шестнадцатеричный.

2 Режим защиты активируется после окончания цикла программирования.

3 Режим защиты деактивируется в конце периода программирования, до этого момента загрузку данных на страницу не производить.

4 Все 256 байт должны быть загружены, все незагруженные данные примут произвольное случайное значение.

Рисунок 3 – Блок-схемы алгоритмов установки и снятия защиты

Таблица 5 – Коды команд для программного стирания всего устройства

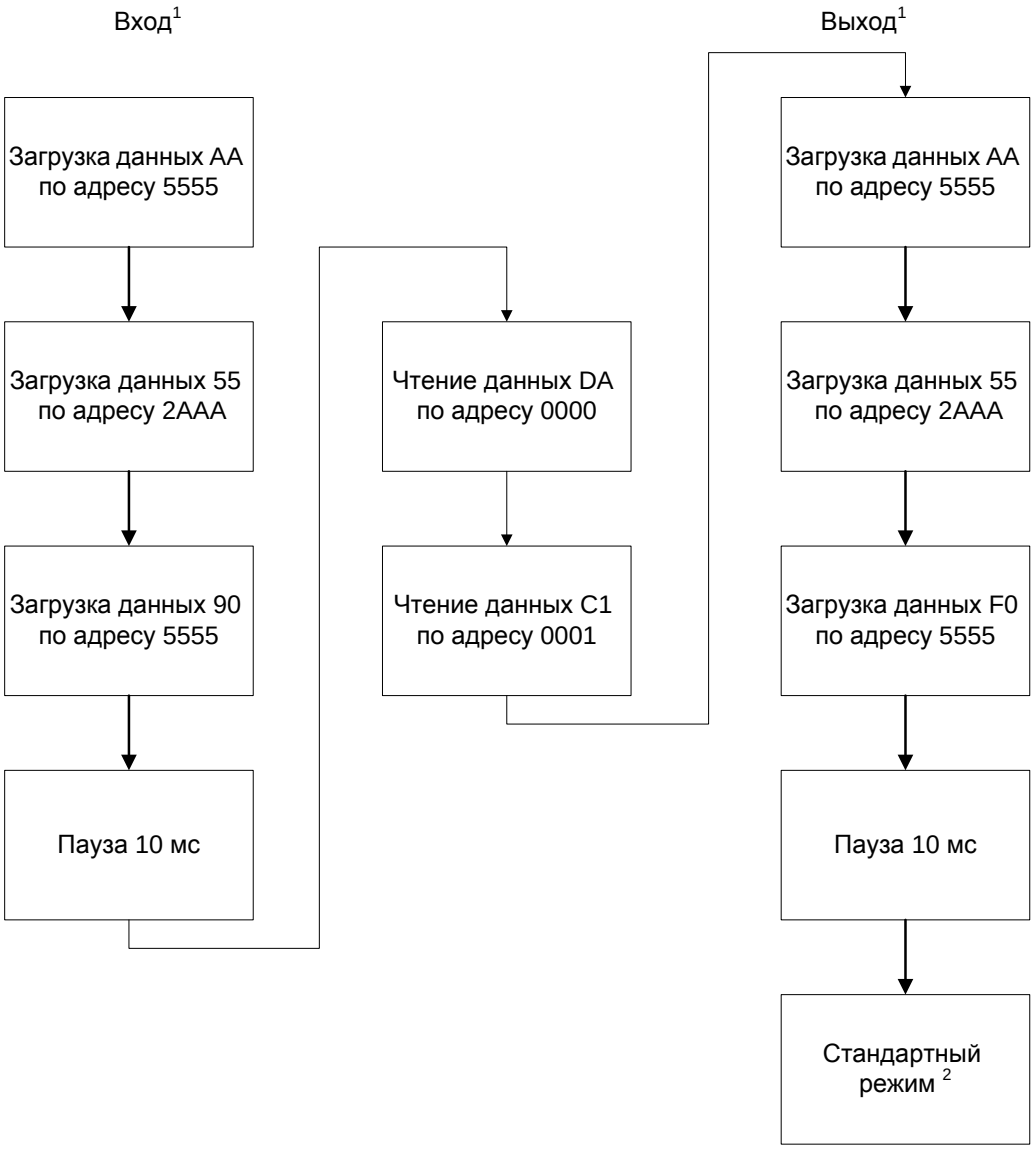
Последовательность байт	**Адрес**	**Данные**
1 запись	5555Н	ААН
2 запись	2АААН	55Н
3 запись	5555Н	80Н
4 запись	5555Н	ААН
5 запись	2АААН	55Н
6 запись	5555Н	10Н

Рисунок 4 – Блок-схема алгоритма стирания всей микросхемы

Примечание – Формат данных I/O7 – I/O0 (D7-D0) шестнадцатеричный. Формат адреса А14 – А0 шестнадцатеричный.

Таблица 6 – Коды команд для получения идентификатора устройства

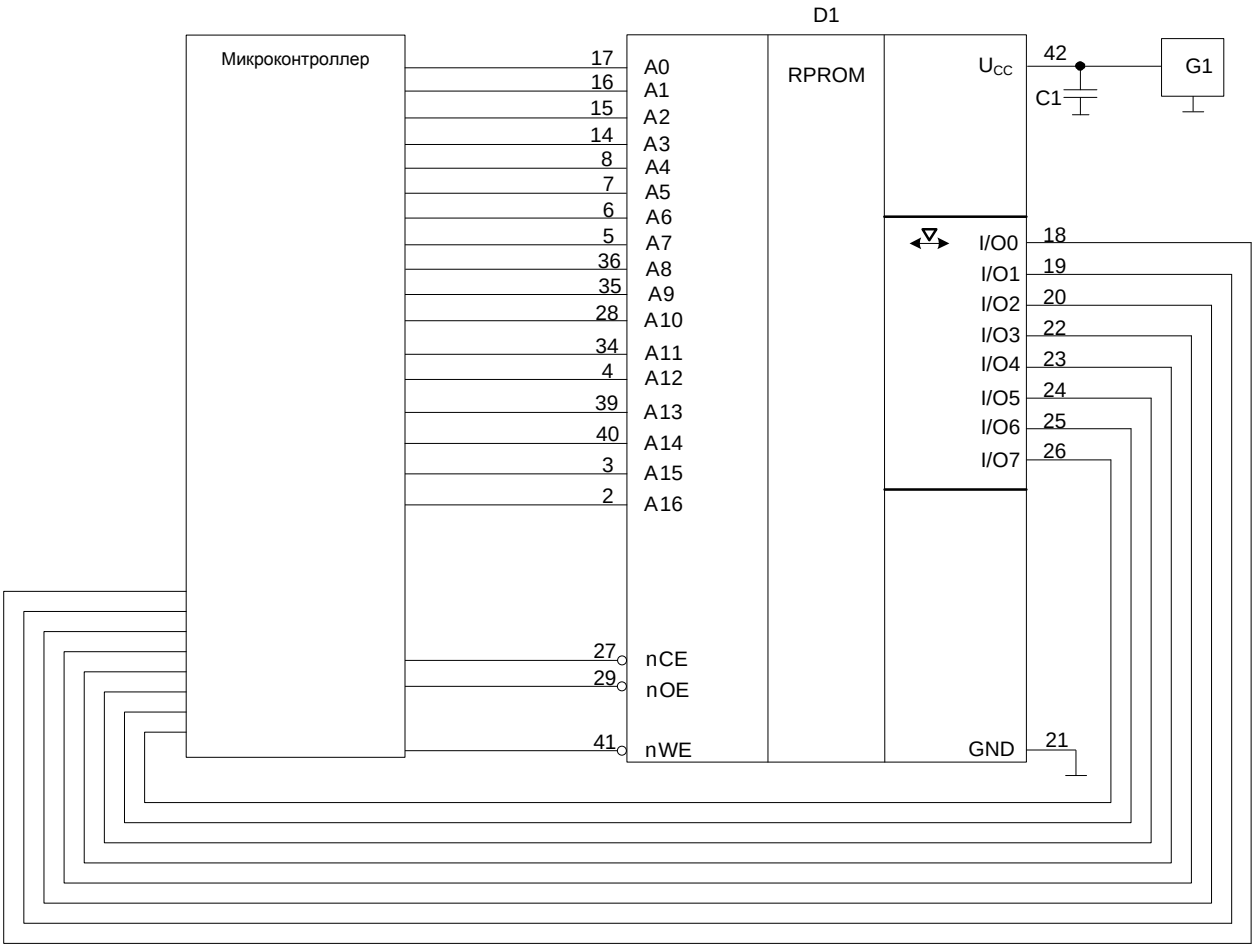
Последовательность байт	**Вход в режим доступа к идентификатору**		**Выход из режима доступа к идентификатору**	
	адрес	**данные**	**адрес**	**данные**
1 запись	5555Н	ААН	5555Н	ААН
2 запись	2АААН	55Н	2АААН	55Н
3 запись	5555Н	90Н	5555Н	F0Н
–	пауза 10 мс		пауза 10 мс	



1 Формат данных I/O7 – I/O0 (D7 – D0) шестнадцатеричный;
Формат адреса A14 – A0 шестнадцатеричный.
2 Микросхема возвращается в нормальный режим работы.
3 A1 – A16 = U_{IL}
при A0 = U_{IL} читается код производителя; при A0 = U_{IH} читается код устройства.
4 Микросхема выходит из режима идентификатора при выключении питания.

Рисунок 5 – Блок-схема алгоритма доступа к идентификатору микросхемы

6 Типовая схема включения



D1 – включаемая микросхема 1636РР51У;
C1 – конденсатор ёмкостью 0,1 мкФ ± 10 %;
G1 – источник постоянного напряжения (3 – 5,5) В

Рисунок 6 – Типовая схема включения микросхем

7 Временные диаграммы циклов чтения и записи

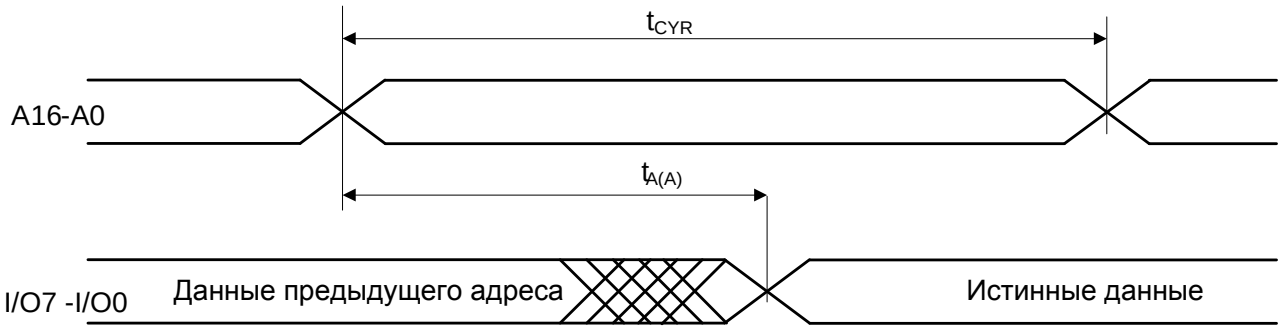


Рисунок 7 – Временная диаграмма цикла чтения 1. U_{nOE}= U_{nCE}=U_{IL}, U_{nWE}=U_{IH}

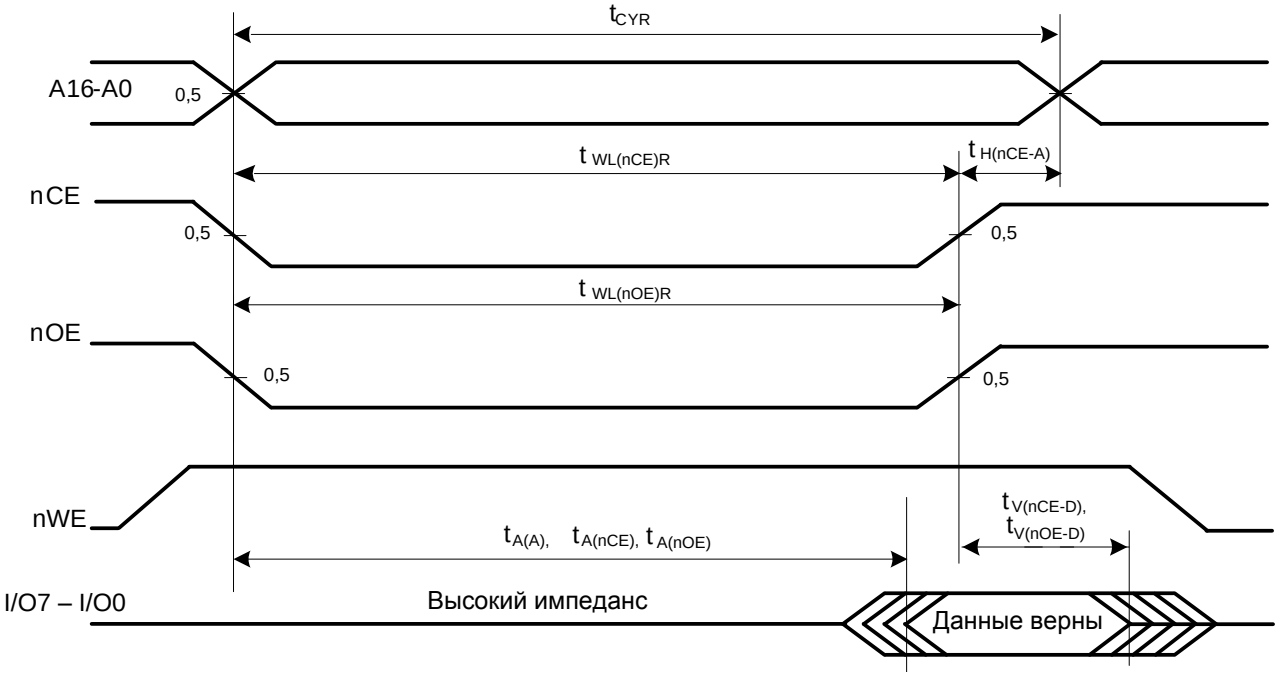


Рисунок 8 – Временная диаграмма цикла чтения 2.
Управление по nOE, nCE U_{nWE}=U_{IH}

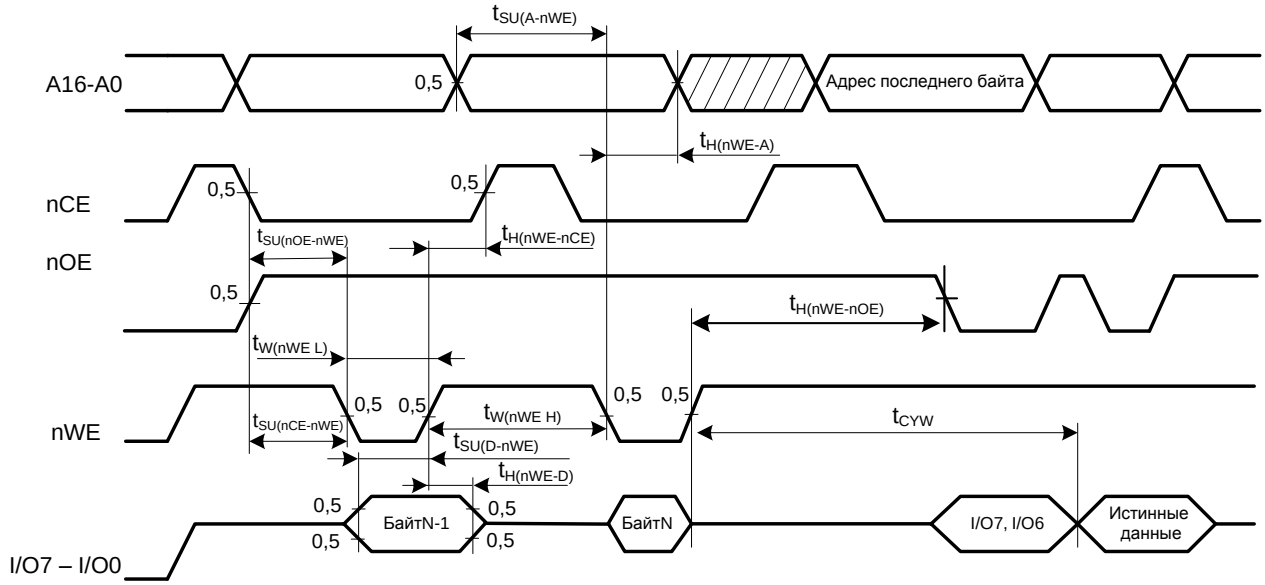


Рисунок 9 – Временная диаграмма цикла записи одного загрузочного байта. Управление по nWE. $U_{nOE} = U_{IH}$ на протяжении цикла записи

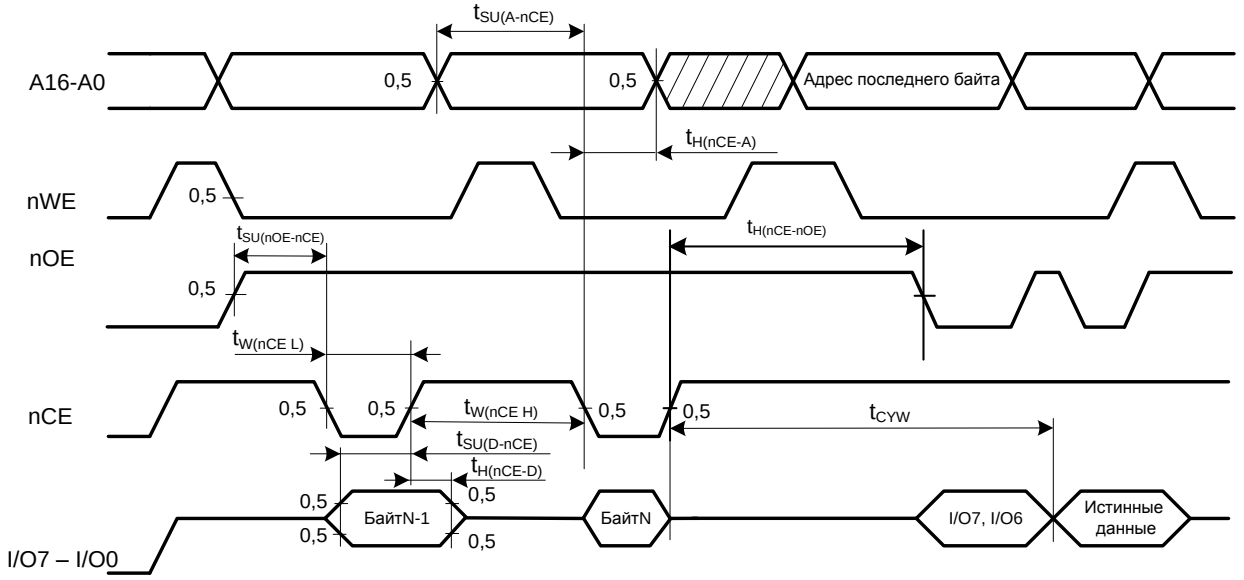


Рисунок 10 – Временная диаграмма цикла записи загрузочного байта. Управление по nCE. $U_{nOE}=U_{IH}$ на протяжении цикла записи

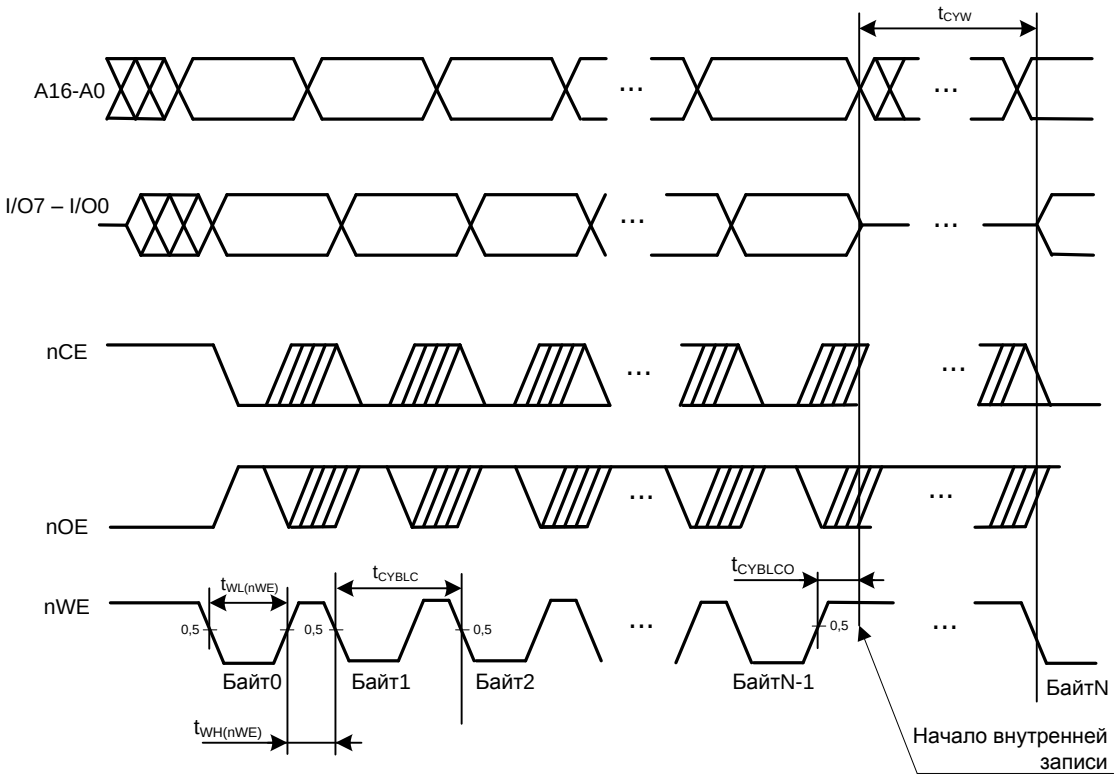
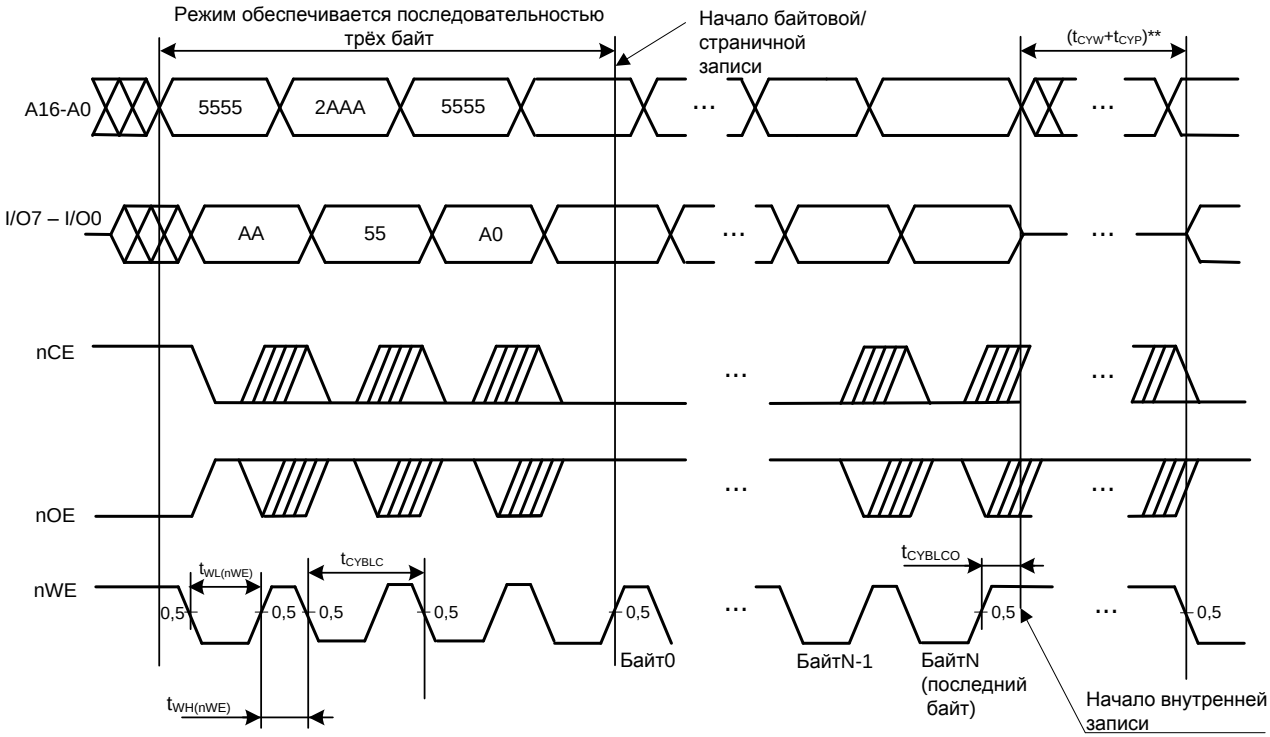


Рисунок 11 – Режим страничной записи



** – после установки режима защиты при последующей программно-защищенной страничной записи время t_{CYP} не добавляется к времени t_{CYW}.

Рисунок 12 – Режим программно-защищенной страничной записи

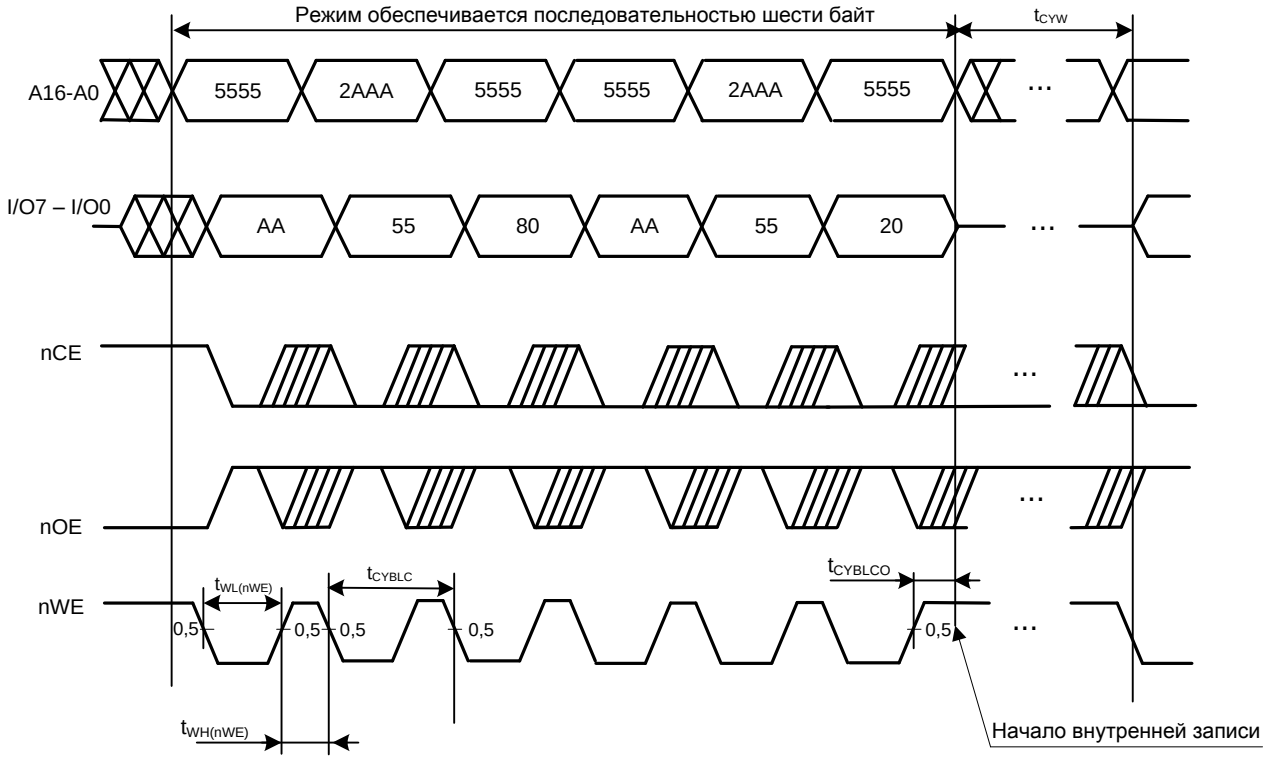


Рисунок 13 – Режим отключения защиты данных

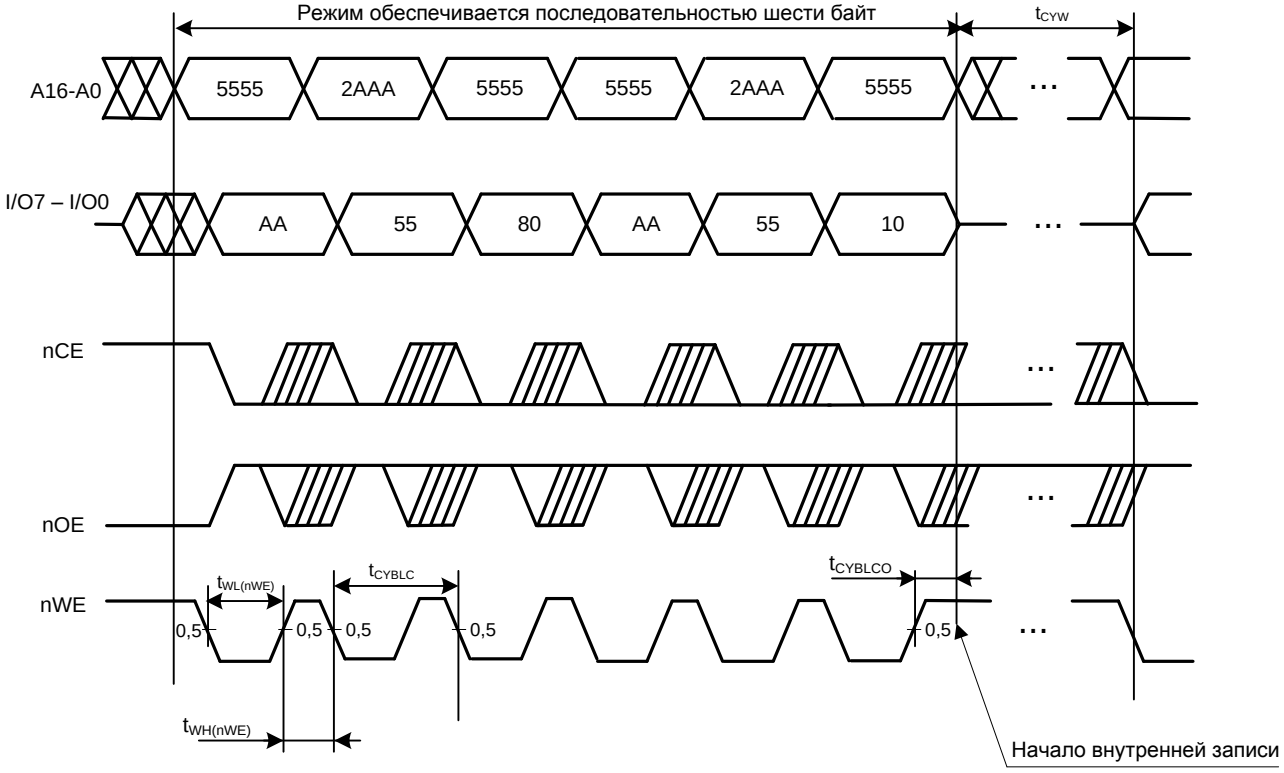


Рисунок 14 – Режим программного стирания

8 Электрические параметры микросхемы

Таблица 7 – Электрические параметры микросхем при приемке и поставке

Наименование параметра, единица измерения, режим измерения	**Буквенное обозначение параметра**	**Норма параметра**		**Температура среды, °С**
		не менее	**не более**	
Выходное напряжение высокого уровня, В, при 3,0 ≤ U_{CC} ≤ 3,6 В	U_{OH}	2,4	–	25, 125, - 60
4,5 ≤ U_{CC} ≤ 5,5 В		0,9•U_{CC}		
Выходное напряжение низкого уровня, В	U_{OL}	0	0,1•U_{CC}	
Ток утечки высокого уровня на входах, мкА	I_{ILH}	– 1	1	
Ток утечки низкого уровня на входах, мкА	I_{ILL}	– 1	1	
Выходной ток высокого уровня в состоянии «Выключено», мкА	I_{OZH}	– 1	1	
Выходной ток низкого уровня в состоянии «Выключено», мкА	I_{OZL}	–1	1	
Ток потребления в режиме хранения, мА	I_{CCS}	–	1	
Динамический ток потребления в режиме считывания, записи и стирания, мА	I_{OCC}	–	50	
Время выборки по адресу, нс	$t_{A(A)}$	–	55	
Время выборки по сигналу nCE, нс	$t_{A(nCE)}$	–	55	
Время выборки по сигналу nOE, нс	$t_{A(nOE)}$	–	55	
Примечание – Режимы измерения параметров приведены в АЕНВ.431210.158ТУ.				

Микросхемы должны быть устойчивы к воздействию статического электричества с потенциалом не менее 2 000 В.

9 Предельно-допустимые характеристики микросхемы

Таблица 8 – Предельно-допустимые и предельные режимы эксплуатации микросхем

Наименование параметра, единица измерения	**Буквенное обозначение параметра**	**Норма параметра**			
		Предельно-допустимый режим		**Предельный режим**	
		не менее	**не более**	**не менее**	**не более**
Напряжение питания, В	U_{CC}	3,0	5,5	–	6,0
Входное напряжение высокого уровня, В	U_{IH}	2,0	U_{CC}	–	U_{CC}+0,3
Входное напряжение низкого уровня, В	U_{IL}	0	0,8	– 0,3	–
Напряжение высокого (низкого) уровня прикладываемое к выходу в состоянии «Выключено», В, на выводах D0 – D7	U_{OZH}, U_{OZL}	0	U_{CC}	– 0,3	U_{CC}+0,3
Выходной ток высокого уровня, мА	I_{OH}	– 2	–	– 6	–
Выходной ток низкого уровня, мА	I_{OL}	–	2	–	6
Время нарастания и спада входных сигналов, нс	t_r, t_f	–	10	–	20
Емкость нагрузки, пФ	C_L	–	50	–	100
Время цикла записи страницы (256 байт), мс	t_{CYW}	71	–	–	–
Время цикла считывания, нс	t_{CYR}	70	–	–	–
Время цикла загрузки байта, мкс	t_{CYBLC}	–	100	–	–
Время выхода из цикла загрузки байта, мкс	t_{CYBLCO}	200	350		–
Время установления адреса перед сигналом nWE или nCE, нс	$t_{SU(A\text{-}nWE)}$, $t_{SU(A\text{-}nCE)}$	15	–	–	–
Время удержания сигнала адреса после сигнала nWE или nCE, нс	$t_{H(nWE\text{-}A)}$, $t_{H(nCE\text{-}A)}$	50	–	–	–
Время установления сигнала nCE перед началом сигнала nWE, нс	$t_{SU(nCE–nWE)}$	0	–	–	–
Время удержания сигнала nCE после сигнала nWE, нс	$t_{H(nWE\text{-}nCE)}$	0	–	–	–
Время установления сигнала nOE перед сигналом nWE или nCE, нс	$t_{SU(nOE\text{-}nWE)}$, $t_{SU(nOE\text{-}nCE)}$,	0	–	–	–
Время удержания высокого уровня по сигналу nOE после сигнала nWE или nCE, нс	$t_{H(nWE\text{-}nOE)}$, $t_{H(nCE\text{-}nOE)}$,	0	–	–	–
Длительность сигнала высокого уровня разрешения записи nCE или nWE, нс	$t_{WH(nCE)}$, $t_{WH(nWE)}$	60	–	–	–

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Длительность сигнала низкого уровня разрешения записи nCE или nWE, нс	$t_{WL(nCE)}$, $t_{WL(nWE)}$	60	–	–	–
Длительность сигнала низкого уровня сигнала nCE при чтении, нс	$t_{WL(nCE)R}$	65	–	–	–
Длительность сигнала низкого уровня сигнала nOE при чтении, нс	$t_{WL(nOE)R}$	65	–	–	–
Время установления сигнала nWE или nCE после сигнала данных, нс	$t_{SU(D-nWE)}$, $t_{SU(D-nCE)}$	50	–	–	–
Время удержания сигнала входной информации (данных) после сигнала nWE или nCE, нс	$t_{H(nWE-D)}$, $t_{H(nCE-D)}$	15	–	–	–
Время удержания сигнала адреса относительно nCE, нс	$t_{H(nCE-A)}$	0	–	–	–
Время удержания сигнала nOE после сигнала nCE при чтении, нс	$t_{H(nCE-nOE)R}$,	0	–	–	–

Примечание – Не допускается одновременное воздействие нескольких предельных режимов.

10 Справочные данные

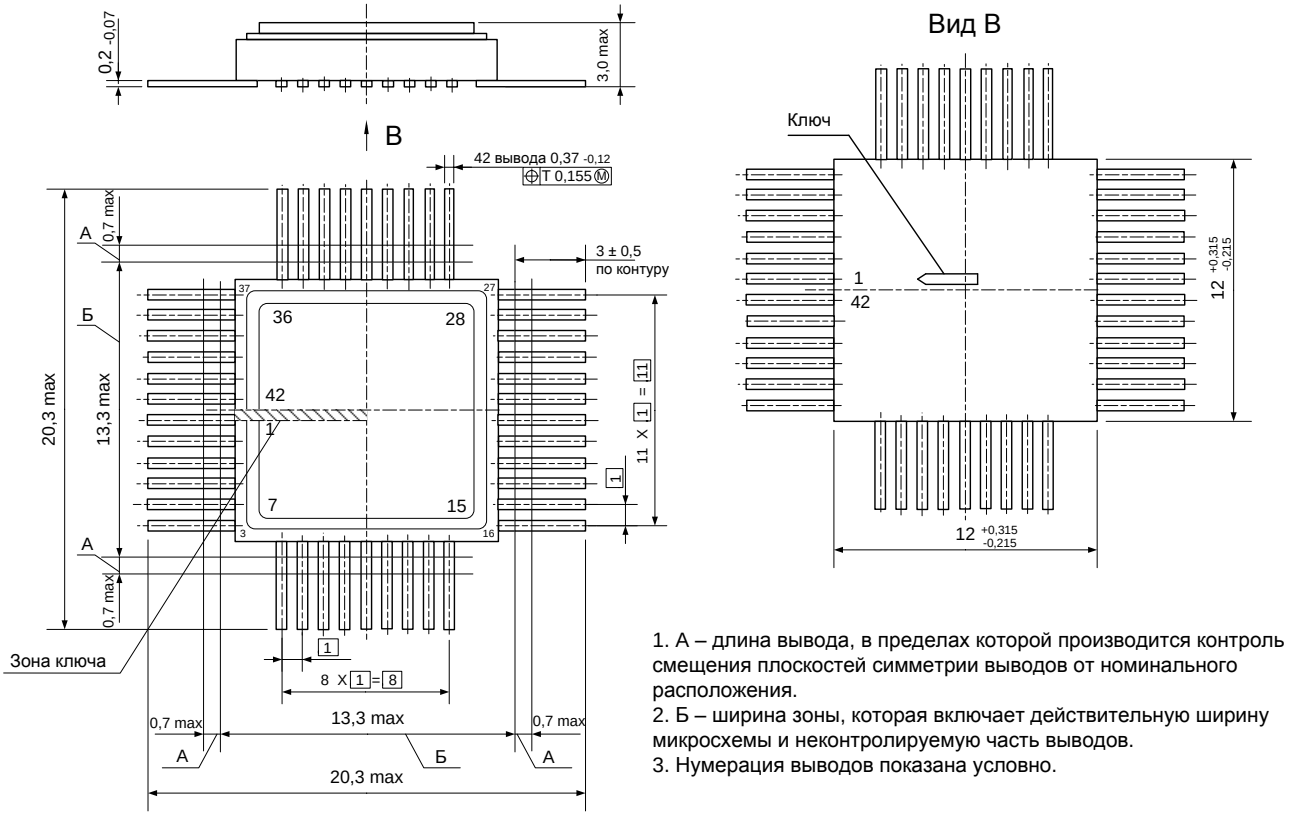
Таблица 9 – Справочные параметры микросхем

Наименование параметра, единица измерения, режим измерения	**Буквенное обозначение параметра**	**Норма параметра**		**Температура среды (корпуса), °С**
		не менее	**не более**	
Количество циклов записи/стирания данных	N_{PR}	100 000	–	85
		15 000		125
Время хранения информации, лет	t_{GS}	25	–	85
		13		125
Частота следования импульсов тактовых сигналов при считывании, МГц	f_R	16,66	–	25, 125, - 60
при записи, кГц	f_W	0,016		
Время установки режима защиты, мс	t_{CYP}	25	–	
Время стирания сектора, мс	$t_{W(ER_S)}$	–	55	

Таблица 10 – Предельно-допустимые значения ОИН

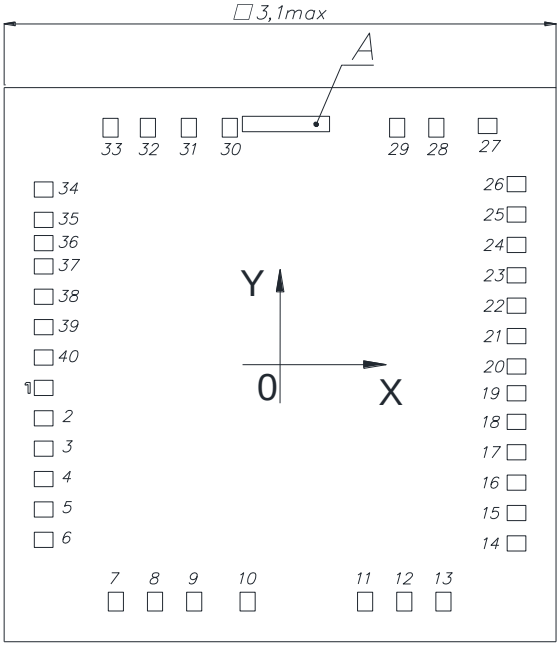
Тип вывода	**Длительность ОИН, мкс**			Параметр
	0,1	**1,0**	**10**	
Вход	500	300	150	Предельно-допустимое напряжение ОИН, В
Выход	700	200	150	
Цепь питания	1500	400	400	
Вход	$5{,}0 \cdot 10^{-2}$	$1{,}5 \cdot 10^{-1}$	$2{,}9 \cdot 10^{-1}$	Расчётная предельно-допустимая энергия ОИН, мДж
Выход	$9{,}7 \cdot 10^{-2}$	$6{,}5 \cdot 10^{-2}$	$2{,}8 \cdot 10^{-1}$	
Цепь питания	$3{,}6 \cdot 10^{-1}$	$1{,}8 \cdot 10^{-1}$	1,4	

11 Габаритный чертеж микросхемы



1. А – длина вывода, в пределах которой производится контроль смещения плоскостей симметрии выводов от номинального расположения.
2. Б – ширина зоны, которая включает действительную ширину микросхемы и неконтролируемую часть выводов.
3. Нумерация выводов показана условно.

Рисунок 15 – Габаритный чертеж микросхемы в корпусе Н14.42-1В



1 Размеры контактных площадок (КП) кристалла приведены в таблице 11.
2 Материал КП – AlCu (Cu 0,5 %).
3 Толщина кристалла (0,480 ± 0,015) мм.
4 А – маркировка кристалла MLDR108, показана условно.
5 Координаты КП см. в таблице 11.
6 Номера КП кристалла, кроме первой, присвоены условно. Расположение КП соответствует топологическому чертежу.

Рисунок 16 – Кристалл (бескорпусное исполнение)

Таблица 11 – Координаты КП

№ КП	Обозначение КП	Координаты КП		Размер КП, мкм	№ КП	Обозначение КП	Координаты КП		Размер КП, мкм
		X	Y				X	Y	
1	U_{CC}	-1326,500	-129,000	105 x 85	21	GND	1329,500	161,000	105 x 85
2	A16	-1326,500	-299,000	105 x 85	22	I/O3	1329,500	331,000	105 x 85
3	A15	-1326,500	-469,000	105 x 85	23	I/O4	1329,500	501,000	105 x 85
4	A12	-1326,500	-639,000	105 x 85	24	I/O5	1329,500	671,000	105 x 85
5	A7	-1326,500	-809,000	105 x 85	25	I/O6	1329,500	841,000	105 x 85
6	SI	-1326,500	-979,000	105 x 85	26	I/O7	1329,500	1011,000	105 x 85
7	A6	-921,000	-1324,500	85 x 105	27	nCE/nCS	1167,065	1336,500	105 x 85
8	A5	-701,000	-1324,500	85 x 105	28	A10	879,000	1326,500	85 x 105
9	A4	-481,000	-1324,500	85 x 105	29	nOE	659,000	1326,500	85 x 105
10	front5V	-181,000	-1324,500	85 x 105	30	A11	-281,000	1326,500	85 x 105
11	A3	479,000	-1324,500	85 x 105	31	A9	-511,000	1326,500	85 x 105
12	A2	699,000	-1324,500	85 x 105	32	A8	-741,000	1326,500	85 x 105
13	A1	919,000	-1324,500	85 x 105	33	SHDN	-951,000	1326,500	85 x 105
14	SCK	1329,500	-999,000	105 x 85	34	SO	-1326,500	981,000	105 x 85
15	A0	1329,500	-829,000	105 x 85	35	DUCC	-1326,500	811,000	105 x 85
16	I/O0	1329,500	-659,000	105 x 85	36	GND	-1326,500	681,000	105 x 85
17	I/O1	1329,500	-489,000	105 x 85	37	A13	-1326,500	551,000	105 x 85
18	I/O2	1329,500	-319,000	105 x 85	38	A14	-1326,500	381,000	105 x 85
19	SEL_SPI	1329,500	-159,000	105 x 85	39	nWE	-1326.500	211.000	105 x 85
20	GND	1329,500	-9,000	105 x 85	40	U_{CC}	-1326,500	41,000	105 x 85

12 Информация для заказа

Обозначение	Маркировка	Тип корпуса	Температурный диапазон
1636РР51У	1636РР51У	Н14.42-1В	минус 60 – 125 °С
К1636РР51У	К1636РР51У	Н14.42-1В	минус 60 – 125 °С
К1636РР51УК	К1636РР51У•	Н14.42-1В	0 – 70 °С

Микросхемы с приемкой «ВП» маркируются ромбом.
Микросхемы с приемкой «ОТК» маркируются буквой «К».

Примечание – Микросхемы в бескорпусном исполнении поставляются в виде отдельных кристаллов, получаемых разделением пластины. Микросхемы поставляются в таре (кейсах) без потери ориентации. Маркировка микросхемы – 1636РР5Н4 и К1636РР5Н4 – наносится на тару.

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	26.10.2015	1.0.0	Введена впервые	
2	19.11.2015	1.1.0	Исправлены таблицы 7, 9. Исправлены рисунки 6 – 13. Исправлен рисунок 15 и таблица 10.	14 – 18, 20 – 21, 23
3	27.05.2016	1.2.0	Приведение в соответствие с ТУ и КД	По тексту
4	01.03.2018	2.0.0	Приведение в соответствие с ТУ и КД лит.А	По тексту