

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ
1273ПВ19Т

Руководство пользователя

Содержание

Введение	3
1 Назначение и основные технические характеристики	3
1.1 Архитектурные характеристики микросхем	4
1.2 Основные параметры микросхем	4
1.3 Конструктивные характеристики микросхем	4
1.4 Функциональное назначение выводов микросхемы	6
1.5 Электрические характеристики микросхем	6
2 Общая характеристика микросхем.....	10
3 Описание устройства.....	10
3.1 Структура и особенности микросхемы.....	10
3.2 Выводы питания.....	12
3.3 Источник опорного напряжения.....	12
3.4 Последовательный порт	12
3.5 Входной формирователь	13
3.6 Программируемый усилитель.....	14
3.7 Цифровой фильтр.....	14
3.8 Передаточная функция АЦП	15
3.9 Делитель опорной частоты.....	15
3.10 Функционирование SPORT.....	17
3.11 Каскадирование	20
4 Подключение аналоговых входов.....	22
5 Карта регистров последовательного порта	23
6 Описание регистров.....	28
Заключение	31
Лист регистрации изменений	32

Введение

ИС 1273ПВ19Т шестиканального 16-разрядного АЦП относится к классу аналоговых препроцессоров. Наличие последовательного порта позволяет, используя стандартные процессоры цифровой обработки сигналов и микроконтроллеры, подключать одно- или многокаскадные устройства. При этом скорость передачи выбирается в зависимости от использования быстрых или медленных процессоров или микроконтроллеров. Также препроцессор содержит усилитель с изменяемым усилением, позволяющий задавать восемь значений коэффициента усиления.

Аналоговые препроцессоры применяются совместно с процессорами ЦОС в современных системах управления летательными аппаратами, наземных контрольно-диагностических системах бортового оборудования, бортовых системах сбора и обработки данных.

ИС 1273ПВ19Т служит основой для разработки и производства широкой номенклатуры изделий электронной техники, предназначенных для применения совместно с процессорами ЦОС в составе законченных систем сбора и обработки информации.

Разработанные в ходе ОКР микросхемы позволяют уменьшить вес аппаратуры, обеспечить требуемые показатели по надежности и сроку службы, а также исключить применение аналогичных импортных ИС в средствах ВВТ.

1 Назначение и основные технические характеристики

ИС 1273ПВ19Т найдет широкое применение в следующих областях:

- системы управления летательными аппаратами;
- наземные контрольно-диагностические системы бортового оборудования;
- бортовые системы сбора и обработки данных.

Разработанные в ходе ОКР микросхемы позволяют уменьшить вес аппаратуры, обеспечить требуемые показатели по надежности и сроку службы, а также исключить применение аналогичных импортных ИС в средствах ВВТ.

Функциональным аналогом разрабатываемой ИС является изделие AD73360 фирмы Analog Devices, США.

1.1 Архитектурные характеристики микросхем

ИС 1273ПВ19Т содержит шесть независимых сигма-дельта аналого-цифровых преобразователей (АЦП), каждый из которых имеет программируемый формирователь входного сигнала и усилитель с программируемым коэффициентом усиления. ИС имеет собственный (внутренний) источник опорного напряжения с программируемым уровнем напряжения. Последовательный порт (SPORT) в составе ИС совместим со стандартными ПЦОС и обеспечивает все функции управления и обмена данными, а также агрегатирования до восьми микросхем в многоканальные структуры.

1.2 Основные параметры микросхем

Число каналов	6
Разрядность, бит	16
Отношение сигнал/(шум+искажения), дБ	73
Максимальная скорость выборки, с ⁻¹	64 000
Перекрестная помеха соседнего канала, дБ	-79
Групповая задержка на канал АЦП, мкс	25
Синхронная выборка	есть
Программируемая скорость выборки	есть
Напряжение питания, В	3,0...3,6 или 4,5...5,5

1.3 Конструктивные характеристики микросхем

Микросхема выполнена в 28-выводном металлокерамическом корпусе 4119.28-3.

Масса микросхемы не более 3,0 г.

Условное графическое обозначение микросхемы приведено на рисунке 1.

Функциональное назначение выводов приведено в таблице 1.

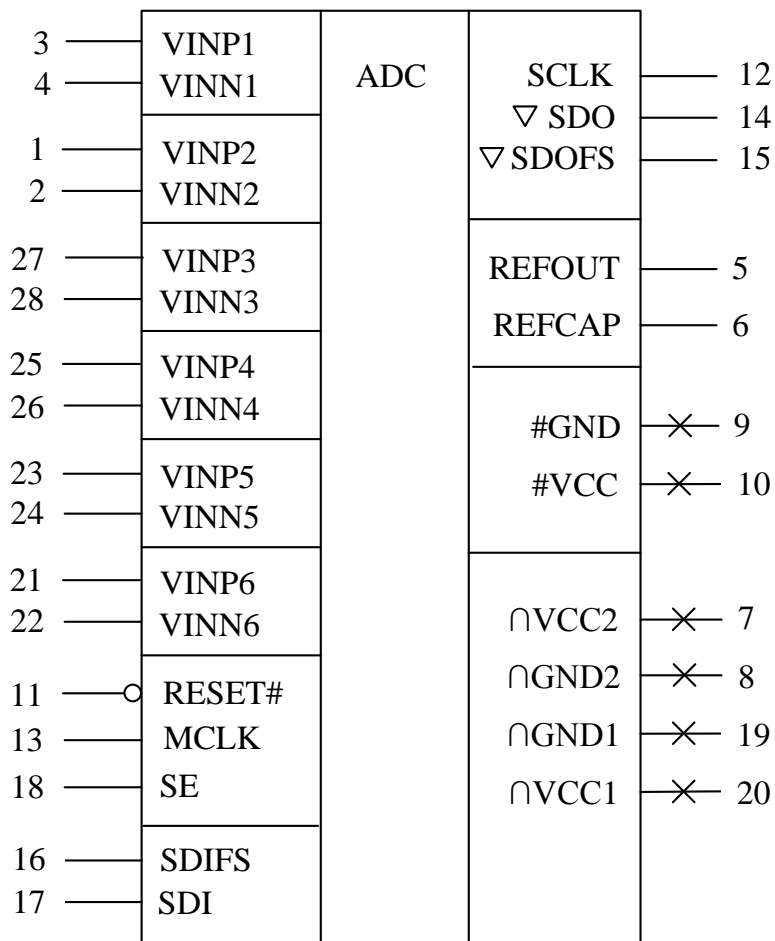


Рисунок 1 – Условное графическое обозначение ИС 1273ПВ19Т

1.4 Функциональное назначение выводов микросхемы

Таблица 1 – Функциональное назначение выводов микросхемы

Номер вывода	Обозначение вывода	Функциональное назначение	Тип вывода
3, 1, 27, 25, 23, 21	VINP1 – VINP6	Прямой аналоговый вход каналов 1 – 6	I
4, 2, 28, 26, 24, 22	VINN1 – VINN6	Инверсный аналоговый вход каналов 1 – 6	I
5	REFOUT	Буферизированный выход опорного напряжения	O
6	REFCAP	Небуферизированный выход опорного напряжения	O
11	RESET#	Вход «сброс»	I
12	SCLK	Выход тактового сигнала последовательного порта	O
13	MCLK	Вход тактового сигнала задающего генератора	I
14	SDO	Последовательный выход данных	O/Z
15	SDOFS	Выход сигнала кадровой синхронизации для передачи SDO	O/Z
16	SDIFS	Вход сигнала кадровой синхронизации для передачи SDI	I
17	SDI	Вход последовательного порта	I
18	SE	Вход асинхронного сигнала активации последовательного порта	I
8	⊃GND2	Общий вывод аналоговой части микросхемы	–
19	⊃GND1	Общий вывод аналоговой части микросхемы	–
7	⊃VCC2	Вывод питания аналоговой части микросхемы	–
20	⊃VCC1	Вывод питания аналоговой части микросхемы	–
9	#GND	Общий вывод цифровой части микросхемы	–
10	#VCC	Вывод питания цифровой части микросхемы	–
Примечание – В графе «Тип вывода» обозначено: I – вход, O – выход, Z – третье состояние.			

1.5 Электрические характеристики микросхем

Электрические характеристики микросхемы 1273ПВ19Т при приемке и поставке приведены в таблице 2. Значения предельно допустимых электрических режимов эксплуатации в диапазоне рабочих температур приведены в таблице 3. Термины, определения, сокращения и буквенные обозначения параметров – по ОСТ В 11 0998-99, ГОСТ 17021-88 и ГОСТ 19480-89.

Таблица 2 – Электрические параметры микросхемы 1273ПВ19Т при приемке и поставке

Наименование параметра, единица измерения, режим измерения		Буквенное обозначе- ние параметра	Норма параметра		Темпе- ратура среды, °С
			не менее	не более	
1		2	3	4	5
1 Напряжение на выходе REFCAP, В, $C_{REFCAP} = 0,1$ мкФ	$U_{CC} = 3,0$ В, $5VEN = 0$	U_{REFCAP}	1,125	1,375	-60 ± 3 25 ± 10 125 ± 5
	$U_{CC} = 4,5$ В, $5VEN = 0$				
	$U_{CC} = 4,5$ В, $5VEN = 1$		2,25	2,75	
2 Напряжение на выходе REFOUT, В, без нагрузки	$U_{CC} = 3,0$ В	U_{REFOUT}	1,125	1,375	
	$U_{CC} = 4,5$ В, $5VEN = 0$				
	$U_{CC} = 4,5$ В, $5VEN = 1$		2,25	2,75	
3 Выходное напряжение высокого уровня цифровых выходов, В, $I_{OH} = -100$ мкА	$U_{CC} = 3,0$ В	U_{OH}	$U_{CC} - 0,4$	–	
	$U_{CC} = 4,5$ В				
4 Выходное напряжение низкого уровня цифровых выходов, В, $I_{OL} = 100$ мкА	$U_{CC} = 3,0$ В	U_{OL}	–	0,4	
	$U_{CC} = 4,5$ В				
5 Напряжение смещения, мВ, $PGA = 0$ дБ, $f_{SCLK} = 8,192$ МГц	$U_{CC} = 3,6$ В	U_{IO}	–10	10	
	$U_{CC} = 5,5$ В				
6 Входной ток высокого уровня цифровых входов, мкА, $U_{CC} = 5,5$ В, $U_{IH} = U_{CC}$		I_{IH}	–	10	
7 Входной ток низкого уровня цифровых входов, мкА, $U_{CC} = 5,5$ В, $U_{IL} = 0$ В		I_{IL}	–10	–	
8 Ток утечки третьего состояния на цифровых выходах, мкА, $U_{CC} = 5,5$ В, $U_{OZL} = 0$ В, $U_{OZH} = U_{CC}$		I_{OZL} , I_{OZH}	–10	10	
9 Суммарный динамический ток потребления по цепи питания, мА, $f_{SCLK} = 2,048$ МГц, REFOUT запрещен	$U_{CC} = 3,6$ В	I_{OCC}	–	27	
	$U_{CC} = 5,5$ В			35	
10 Выходное сопротивление выхода REFOUT, Ом, $U_{CC} = 5,5$ В, без нагрузки		R_{REFOUT}	–	175	
11 Входное сопротивление по выводам VIN, кОм, $U_{CC} = 5,5$ В, $f_{DMCLK} = 16,384$ МГц		R_{IN}	28,0	–	

Продолжение таблицы 2

1		2	3	4	5
12 Погрешность установки коэффициента усиления входных усилителей, дБ, $f_{IN} = 1,0$ кГц, $V_I = 0$ дБ, $f_S = 8$ кГц, $f_{SCLK} = 8,192$ МГц	$U_{CC} = 3,6$ В, $PGA = 0$ дБ	ΔK_{PGA}	-0,8	0,8	
	$U_{CC} = 3,6$ В, $PGA = 38$ дБ				
	$U_{CC} = 5,5$ В, $PGA = 0$ дБ				
	$U_{CC} = 5,5$ В, $PGA = 38$ дБ				
13 Отношение сигнал/ (шум + искажения), дБ, $f_{SCLK} = 8,192$ МГц, $\Delta f = (0 - 4)$ кГц	$U_{CC} = 3,6$ В, $PGA = 0$ дБ, $f_S = 8$ кГц	S/N	70	-	
	$U_{CC} = 3,6$ В, $PGA = 38$ дБ, $f_S = 64$ кГц				
	$U_{CC} = 5,5$ В, $PGA = 0$ дБ, $f_S = 8$ кГц				
	$U_{CC} = 5,5$ В, $PGA = 38$ дБ, $f_S = 64$ кГц				
14 Общие гармонические искажения, дБ, $f_S = 8$ кГц, $f_{SCLK} = 8,192$ МГц	$U_{CC} = 3,6$ В, $PGA = 0$ дБ	THD	-	-76	-60 ± 3 25 ± 10 125 ± 5
	$U_{CC} = 3,6$ В, $PGA = 38$ дБ				
	$U_{CC} = 5,5$ В, $PGA = 0$ дБ				
	$U_{CC} = 5,5$ В, $PGA = 38$ дБ				
15 Шумы в канале, дБ, $PGA = 0$ дБ, $f_S = 8$ кГц, $f_{SCLK} = 8,192$ МГц	$U_{CC} = 3,6$ В	N	-	-68	
	$U_{CC} = 5,5$ В				
16 Интермодуляционные искажения, дБ, $PGA = 0$ дБ, $f_S = 8$ кГц, $f_{SCLK} = 8,192$ МГц	$U_{CC} = 3,6$ В	IMD	-	-66	
	$U_{CC} = 5,5$ В				
17 Перекрестные искажения между каналами, дБ, $f_{IN} = 1,0$ кГц, $f_S = 8$ кГц, $f_{SCLK} = 8,192$ МГц	$U_{CC} = 3,6$ В	СТ	-	-79	
	$U_{CC} = 5,5$ В				
18 Функциональный контроль $f_{SCLK} = 8,192$ МГц	$U_{CC} = (3,0; 3,6)$ В	ФК	-	-	
	$U_{CC} = (4,5; 5,5)$ В				
<p>Примечания</p> <p>1 Напряжение питания $U_{CC} = U_{CC1} = U_{CC2}$.</p> <p>2 Нормы параметров приведены при $U_{\#GND} = U_{\#GND} = 0$ В, $f_{MCLK} = 16,384$ МГц.</p> <p>3 Параметры I_{IL}, I_{IH}, I_{OZL}, I_{OZH} при температуре минус 60 °С не измеряются, а гарантируются нормами при температуре (25 ± 10) °С.</p>					

Таблица 3 – Значения предельно допустимых режимов эксплуатации микросхем 1273ПВ19Т в диапазоне рабочих температур.

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1 Напряжение питания цифровой части микросхемы, В	U_{CC1}	3,0	3,6	-0,3	7,5
		4,5	5,5		
2 Напряжение питания аналоговой части микросхемы, В	U_{CC2}	3,0	3,6	-0,3	7,5
		4,5	5,5		
3 Напряжение между выводами #GND и \cap GND, В	$U_{\#GND-\cap GND}$	0	0	-0,3	0,3
4 Входное напряжение высокого уровня на входах RESET#, MCLK, SDIFS, SDI, SE, В	U_{IH}	$U_{CC1}-0,8$	U_{CC1}	-	$U_{CC1}+0,3$
5 Входное напряжение низкого уровня на входах RESET#, MCLK, SDIFS, SDI, SE, В	U_{IL}	$U_{\#GND}$	$U_{\#GND}+0,8$	$U_{\#GND}-0,3$	-
6 Входное напряжение на входах VINP6 – VINP1, VINN6 – VINN1, В	U_{IADC}	$U_{\cap GND}$	U_{CC2}	$U_{\cap GND}-0,3$	$U_{CC2}+0,3$
7 Амплитуда сигнала на входах VINP6 – VINP1, VINN6 – VINN1, В (от пика до пика) $U_{CC2} = (3,3 \pm 0,3)$ В, $U_{CC2} = (5,0 \pm 0,5)$ В	U_{IA}	-	1,644	-	3,6
		-	3,28	-	5,5
8 Напряжение, подаваемое на цифровые выходы в третьем состоянии, В	U_{OZ}	0	U_{CC1}	-0,3	$U_{CC1}+0,3$
9 Выходной ток низкого уровня, мкА	I_{OL}	-	100	-	200
10 Выходной ток высокого уровня, мкА	I_{OH}	-	$ -100 $	-	$ -200 $
11 Сопротивление нагрузки на выходе REFOUT, кОм	R_L	1,0	-	1,0	-
12 Емкость нагрузки на выходе REFOUT, пФ	C_L	-	100	-	-
<p>Примечания</p> <p>1 Напряжение питания цифровой части микросхемы должно быть равно напряжению питания аналоговой части микросхемы $U_{CC1} = U_{CC2}$.</p> <p>2 Не допускается одновременная подача двух и более предельных режимов эксплуатации.</p>					

2 Общая характеристика микросхем

ИС 1273ПВ19Т – шестиканальный 16-разрядный КМОП аналого-цифровой преобразователь (АЦП), предназначенный для использования в промышленных системах управления питанием, системах управления электродвигателями или в качестве многоканальной системы ввода данных. Микросхема обеспечивает отношение сигнал-шум 77 дБ в полосе частот от 0 до 4 кГц. Каждый канал имеет программируемый входной усилитель с диапазоном коэффициента усиления от 0 до 38 дБ. Частота преобразования может быть запрограммирована на четыре значения: 64, 32, 16 или 8 кГц (при входной тактовой частоте 16,384 МГц). Последовательный порт позволяет использовать микросхему в каскадном включении согласно стандартным протоколам ПЦОС. Скорость обмена данными по последовательному порту программируется, что позволяет использовать микросхему как с быстрыми, так и с медленными микросхемами ПЦОС.

3 Описание устройства

3.1 Структура и особенности микросхемы

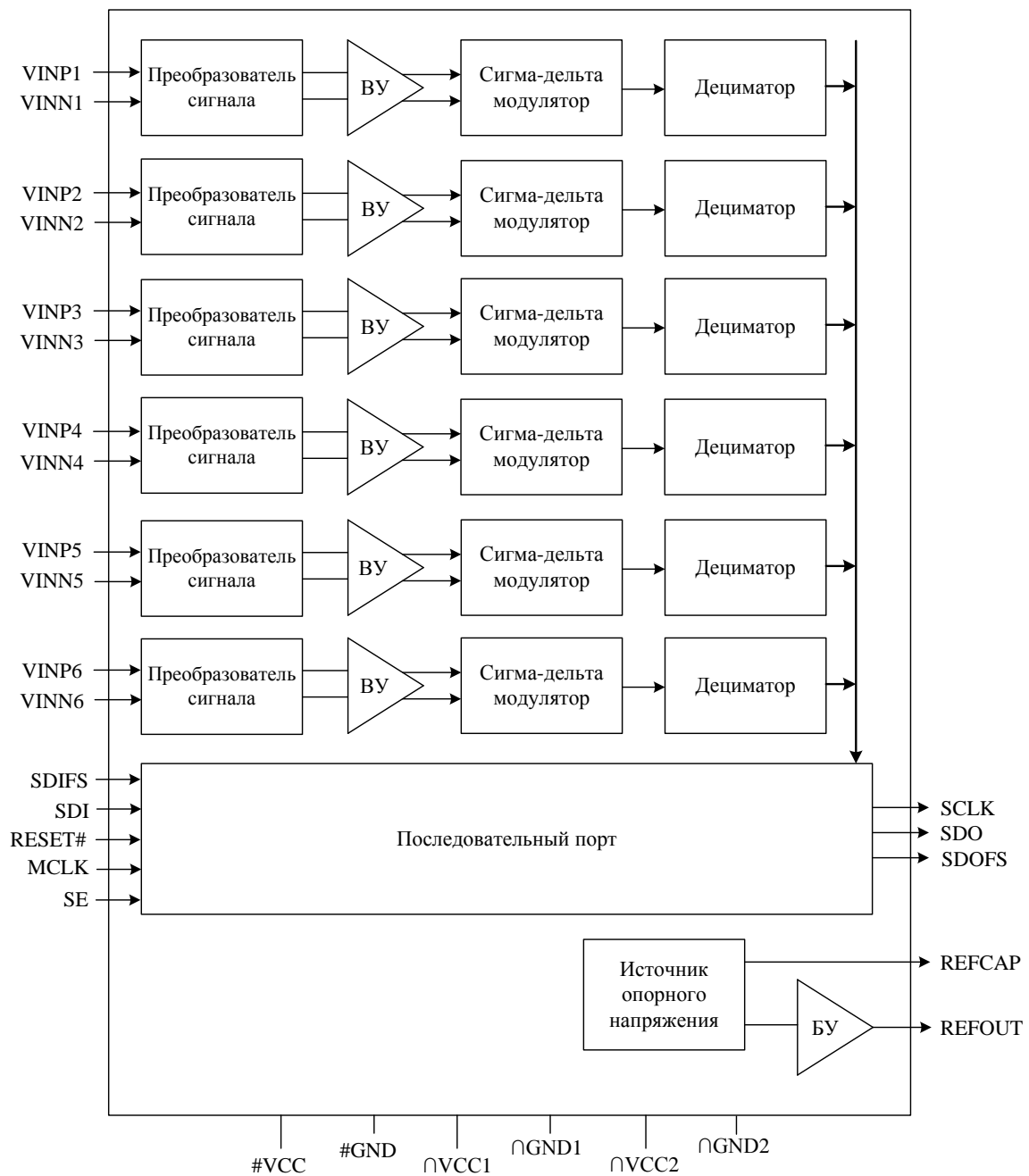
Особенности микросхемы:

- шесть 16-разрядных АЦП;
- программируемая частота преобразования;
- синхронное преобразование в нескольких каналах;
- отношение сигнал-шум 73 дБ;
- максимальная частота преобразования 64 кГц;
- перекрестная помеха – минус 83 дБ;
- низкая групповая задержка (типичное значение 25 мкс на канал);
- программируемый коэффициент усиления входных усилителей;
- гибкий последовательный интерфейс, обеспечивающий каскадное соединение;
- один источник питания напряжением от 3,0 до 3,6 В или от 4,5 до 5,5 В;
- встроенный источник опорного напряжения.

Структурная схема микросхемы приведена на рисунке 2.

Микросхема содержит следующие функциональные блоки:

- источник опорного напряжения (ИОН);
- шесть входных усилителей;
- шесть сигма-дельта модуляторов;
- шесть дециматоров;
- шесть входных ограничителей-коммутаторов (преобразователей сигнала);
- буферный усилитель опорного напряжения;
- последовательный порт.



На структурной схеме условно обозначены:
 БУ – входной усилитель с программируемым коэффициентом усиления в диапазоне (0 – 38) дБ;
 БУ – буферный усилитель

Рисунок 2 – Структурная схема ИС 1273ПВ19Т

3.2 Выводы питания

Микросхема имеет независимые выводы для питания аналоговой и цифровой частей. Для питания аналоговых блоков используются выводы $\cap VCC1$, $\cap VCC2$ и $\cap GND1$, $\cap GND2$. Для питания цифровых блоков используются выводы $\#VCC$ и $\#GND$.

Обычно напряжение питания цифровых и аналоговых блоков одинаково и может находиться в диапазоне от 3,0 В до 3,6 В или 4,5 до 5,5 В.

3.3 Источник опорного напряжения

Источник опорного напряжения выполнен с использованием напряжения запрещенной зоны полупроводника. Выходной буферизованный источник (REFOUT) может быть включен для смещения внешних схем установкой бита RU (CRC:6) регистра управления CRC.

Напряжение внутреннего источника подается на вывод REFCAP, который используется для подключения внешнего конденсатора. В случае использования этого вывода в качестве опорного источника, необходима обязательная буферизация. На вывод REFOUT выводится буферизованное внутреннее опорное напряжение с нагрузочной способностью 1,25 мА.

3.4 Последовательный порт

Последовательный порт обеспечивает ввод и вывод цифровых конфигурационных данных из восьми внутренних регистров, а также вывод результатов преобразования. Временные диаграммы, иллюстрирующие работу последовательного порта, приведены на рисунке 3, временные интервалы – в таблице 4.

Таблица 4 – Временные характеристики работы последовательного порта

Параметр	Значение, нс, не менее	Комментарии
t1	24,4	Минимальная ширина импульса на выходе тактовой частоты SCLK
t2	24,4	Минимальная ширина импульса на выходе тактовой частоты SCLK
t3	10	Задержка сигнала на выходе SDOFS относительно фронта SCLK
t4	10	Время удержания сигнала на выходе SDOFS относительно фронта SCLK
t5	20	Время установки сигналов SDI/SDIFS перед спадом SCLK
t6	0	Время удержания сигналов SDI/SDIFS относительно спада SCLK
t7	10	Задержка сигнала на выходе SDO относительно фронта SCLK
t8	10	Время удержания сигнала на выходе SDO относительно фронта SCLK

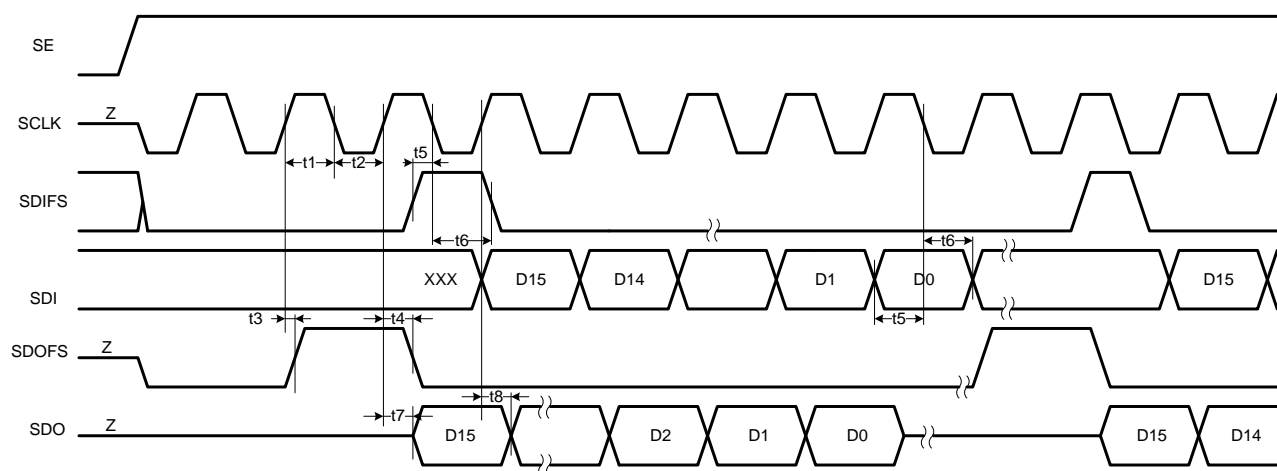


Рисунок 3 – Временные диаграммы работы последовательного порта

3.5 Входной формирователь

Микросхема содержит шесть одинаковых каналов обработки аналоговых данных. Сигнал со входов VINP или VINN канала поступает на входной формирователь, обеспечивающий выбор конфигурации входов (однопроводный или дифференциальный), а также возможность инверсии сигнала. Выходной сигнал формирователя поступает на входы усилителя с программируемым коэффициентом усиления.

3.6 Программируемый усилитель

Усилитель с программируемым коэффициентом усиления представляет собой схему на переключаемых конденсаторах и является частью сигма-дельта модулятора. Переключаемые конденсаторы коммутируются с частотой $f_{DMCLK}/8$. Возможные коэффициенты усиления усилителя приведены в таблице 5. Уровень выходного напряжения усилителя не должен превышать максимально допустимого уровня входного сигнала сигма-дельта модулятора.

Таблица 5 – Установка программируемого входного усилителя

IxGS2	IxGS1	IxGS0	Усиление, дБ
0	0	0	0
0	0	1	6
0	1	0	12
0	1	1	18
1	0	0	20
1	0	1	26
1	1	0	32
1	1	1	38

3.7 Цифровой фильтр

Цифровой фильтр выполняет две важные функции. Во-первых, это удаление сформированного аналоговым модулятором шума квантования за пределами рабочей полосы частот, и, во-вторых, это прореживание потока однобитовых слов высокой частоты до потока 15-битных слов низкой частоты.

Антиалайзинговый прореживающий фильтр – это цифровой фильтр с характеристикой в форме sinc^3 , который понижает частоту дискретизации от $f_{DMCLK}/8$ до $f_{DMCLK}/256$ и увеличивает разрешающую способность от 1 до 15 бит. Z-преобразование передаточной функции выражается соотношением $[(1-Z^{-32})/(1-Z^{-1})]^3$. Это гарантирует минимальную групповую задержку в 25 мкс.

3.8 Передаточная функция АЦП

На рисунках 4 и 5 приведены передаточные функции для дифференциального и однопроводного включения.

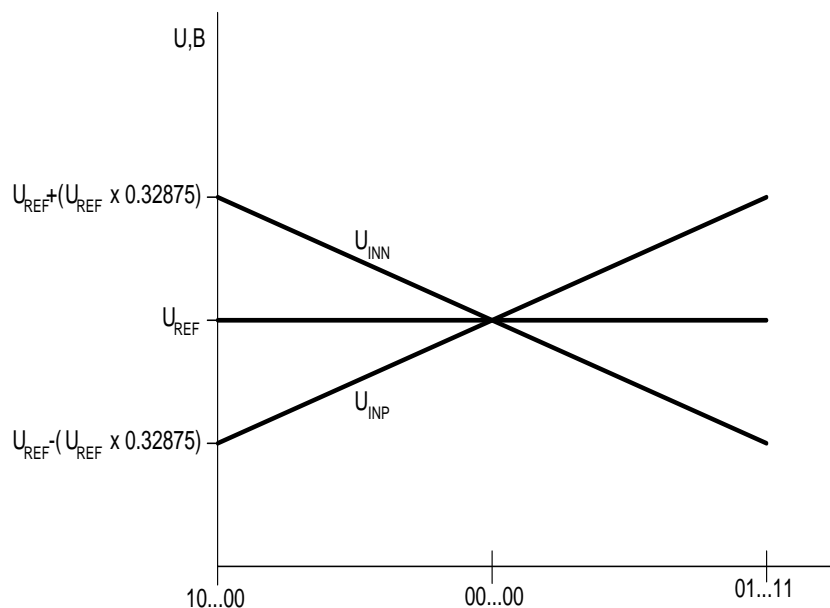


Рисунок 4 – Передаточная функция АЦП в режиме дифференциального входа

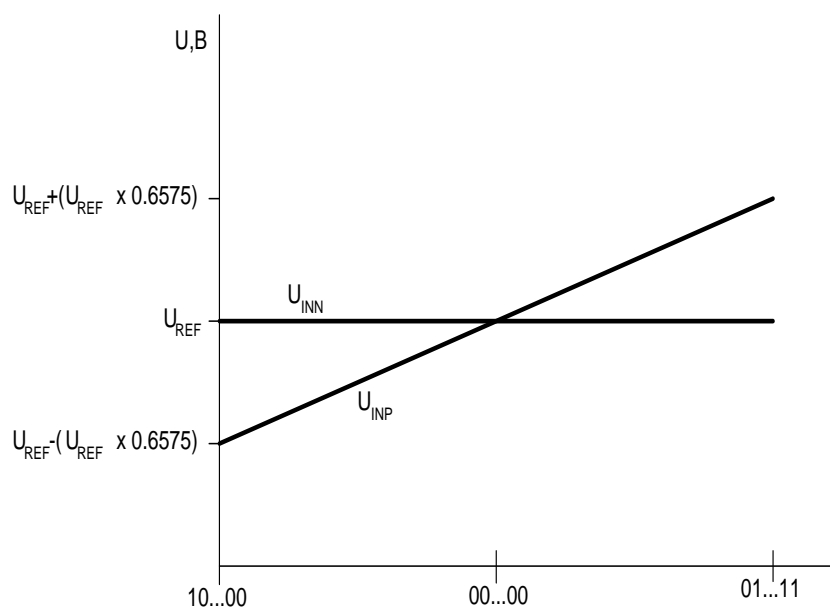


Рисунок 5 – Передаточная функция АЦП в режиме однопроводного входа

3.9 Делитель опорной частоты

Особенностью схемы является наличие программируемого делителя опорной частоты, который позволяет пользователю уменьшить частоту внешнего тактового сигнала, поступающего на вывод MCLK, в 1, 2, 3, 4 или 5 раз для формирования внутреннего опорного тактового сигнала (DMCLK),

используемого для вычисления частоты выборки и тактовой частоты. Значение делителя опорной частоты устанавливается битами 4 – 6 регистра CRB. В таблице 6 показаны коэффициенты деления в зависимости от установленных битов. По умолчанию значение делителя – один.

Таблица 6 – Значения внутренней опорной частоты, (DMCLK) устанавливаемые делителем

MCD2	MCD1	MCD0	Частота DMCLK
0	0	0	MCLK
0	0	1	MCLK /2
0	1	0	MCLK /3
0	1	1	MCLK /4
1	0	0	MCLK /5
1	0	1	MCLK
1	1	0	MCLK
1	1	1	MCLK

Делитель тактовой частоты позволяет пользователю подстроить значение тактовой частоты (сигнал SCLK) к данным, которые поступают от устройства ПЦОС или ведущего процессора. Максимальное значение частоты SCLK соответствует DMCLK, возможные значения: DMCLK/2, DMCLK/4 и DMCLK/8. По умолчанию значение частоты SCLK соответствует самой низкой скорости (DMCLK/8). Значение делителя тактовой частоты задаётся битами 2 – 3 регистра CRB. В таблице 7 показана зависимость коэффициента деления от установленных битов.

Таблица 7 – Значения частоты сигнала SCLK, установленные делителем

SCD1	SCD0	Частота f_{SCLK}
0	0	$f_{DMCLK} /8$
0	1	$f_{DMCLK} /4$
1	0	$f_{DMCLK} /2$
1	1	f_{DMCLK}

Делитель прореживания позволяет пользователю гибко подстроить значение выборки АЦП устройства к требуемой программе ПЦОС. Максимальная частота выборки соответствует $f_{DMCLK} /256$, возможные значения: $f_{DMCLK} /512$, $f_{DMCLK} /1024$ и $f_{DMCLK} /2048$. По умолчанию частота выборки соответствует самой низкой скорости ($f_{DMCLK} /2048$). Значение делителя частоты выборки задаётся битами 0 – 1 регистра CRB. В таблице 8 показаны коэффициенты деления в зависимости от установленных битов.

Таблица 8 – Значения прореживания, установленные делителем

DR1	DR0	Частота дискретизации
0	0	$f_{DMCLK} / 2048$
0	1	$f_{DMCLK} / 1024$
1	0	$f_{DMCLK} / 512$
1	1	$f_{DMCLK} / 256$

3.10 Функционирование SPORT

Входные и выходные данные передаются в формате мультиплексной передачи с временным разделением каналов (TDM). При чтении данных из микросхемы каждый канал имеет фиксированный временной интервал, в котором эти данные передаются. Если канал не включен – данные не передаются в течение временного интервала и линия SDO будет установлена в третье состояние. При включении или сбросе микросхема устанавливает режим управления и включается выход SDOFS. После сброса сигнал SDOFS будет устанавливаться в каждом периоде выборки (125 мкс при опорной частоте 16,384 МГц). Если схема сконфигурирована в режим закольцовывания, то управляющее слово может быть передано после каждого импульса SDOFS. На рисунке 6 показаны состояния линий SDO и SDOFS после сброса. Последовательные данные на выводе SDO не будут верными до тех пор, пока схема не будет переведена в смешанный режим или режим данных. Регистры управления от D до F позволяют индивидуально включать каналы.

На рисунке 7 показаны состояния линий SDOFS и SDO устройства, когда все каналы включены, а на рисунке 8 показаны состояния линий SDOFS и SDO, когда включены только 1, 3 и 5 каналы.

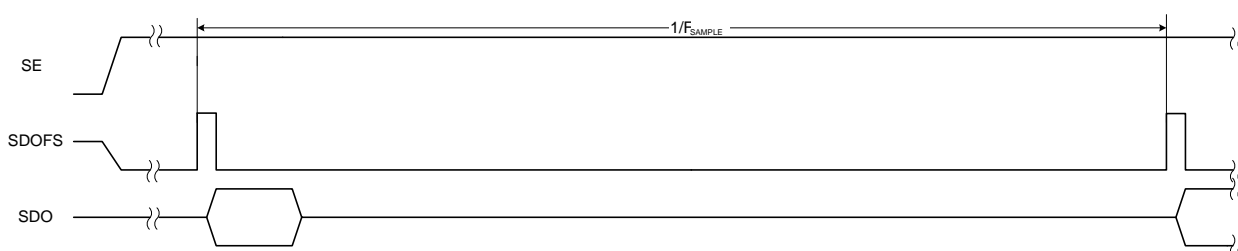


Рисунок 6 – Диаграмма выходных данных в режиме программирования

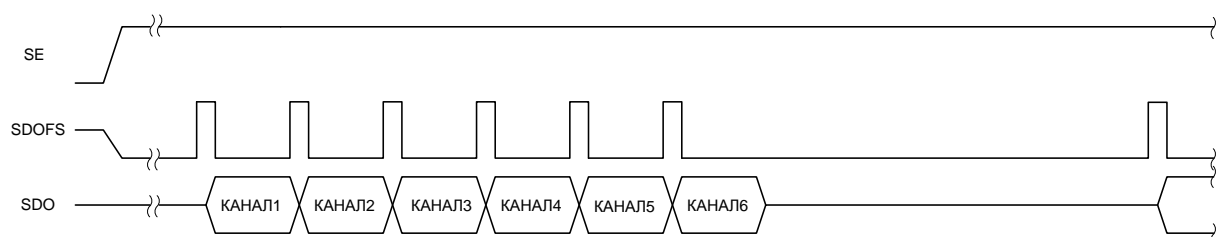


Рисунок 7 – Диаграмма выходных данных в режимах данных/смешанном при шести включенных каналах

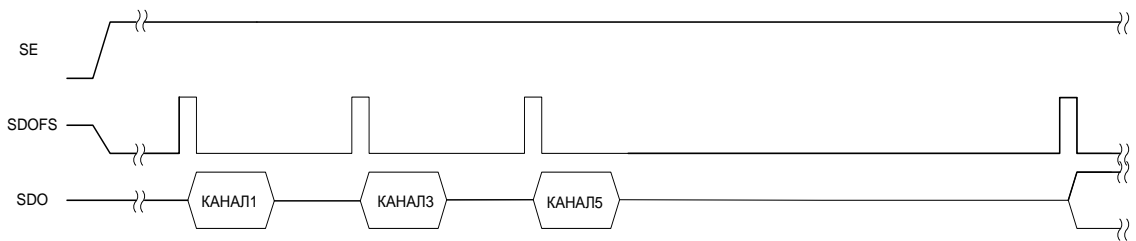


Рисунок 8 – Диаграмма выходных данных в режимах данных/смешанном при включенных 1, 3 и 5 каналах

Вывод RESET# сбрасывает все регистры управления. Установка всех регистров в ноль означает, что тактовая частота SCLK (DMCLK/8) и частота выборки (DMCLK/2048) принимают минимальные значения и могут обеспечить эффективное взаимодействие с низкоскоростными ПЦОС. Так же как по выводу RESET#, устройство может быть сброшено используя бит RESET# (CRA:7) в регистре управления A. Оба сброса – аппаратный и программный – требуют четырёх циклов DMCLK. При сбросе бит DATA/PGM (CRA:0) устанавливается в 0 (значение по умолчанию), устанавливая таким образом программный режим. Условия сброса гарантируют, что устройство будет запрограммировано корректными установками после включения питания или сброса. После сброса SDOFS будет установлен примерно через 2070 тактов опорной частоты (MCLK) после появления высокого уровня сигнала $\overline{\text{RESET}}$. Выходные данные после сброса и во время режима управления случайны и содержат недействительную информацию, пока не установится режим данных или смешанный режим.

Схема имеет три режима работы: программный, данных и смешанный – программный /данных. Конфигурация устройства – установки регистров, могут быть изменены только в режимах программном и смешанном. Во всех режимах передачи от устройства или приём информации в устройство обмен происходит 16-разрядными пакетами, поэтому последовательный порт устройства ПЦОС должен быть запрограммирован для 16-битных передач.

В программном режиме, когда разряд CRA:0 = 0, пользователь записывает в управляющие регистры данные для установки устройства в требуемый режим работы: операция последовательного порта, длина каскада, управление питанием, усиление и т.д. В этом режиме 16-битный пакет информации передается устройству процессором ЦОС как управляющее слово формат которого показан в таблице 11. В этом режиме пользователь должен запрограммировать адрес используемого устройства в адресном поле управляющего слова. Это поле читается устройством и если оно нулевое (000 в двоичном формате) то устройство распознаёт слово как адресованное ему. Если адресное поле не нулевое тогда его содержимое декрементируется и

управляющее слово проходит на выход устройства попадая к следующему устройству в каскаде или обратно к устройству ЦОС. Этот 3-битный формат адреса позволяет пользователю однозначно обращаться к любому из восьми устройств в каскаде.

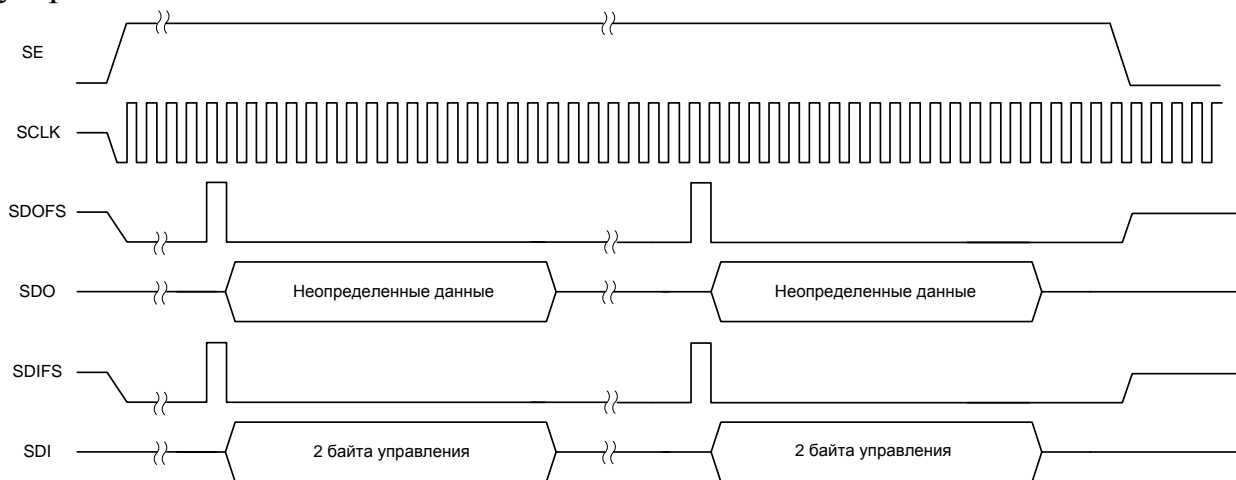


Рисунок 9 – Диаграмма данных в режиме программирования (запись)

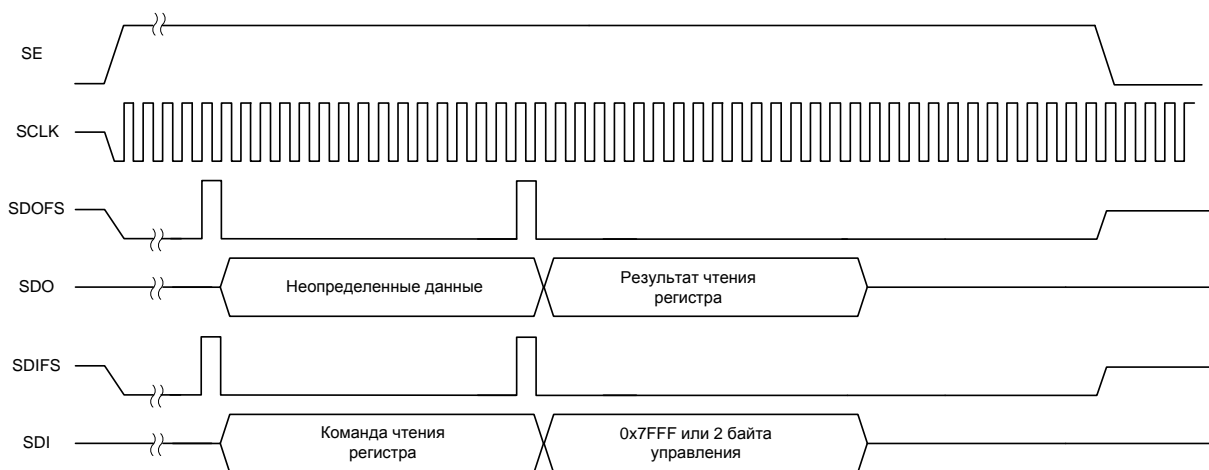


Рисунок 10 – Диаграмма данных в режиме программирования (чтение)

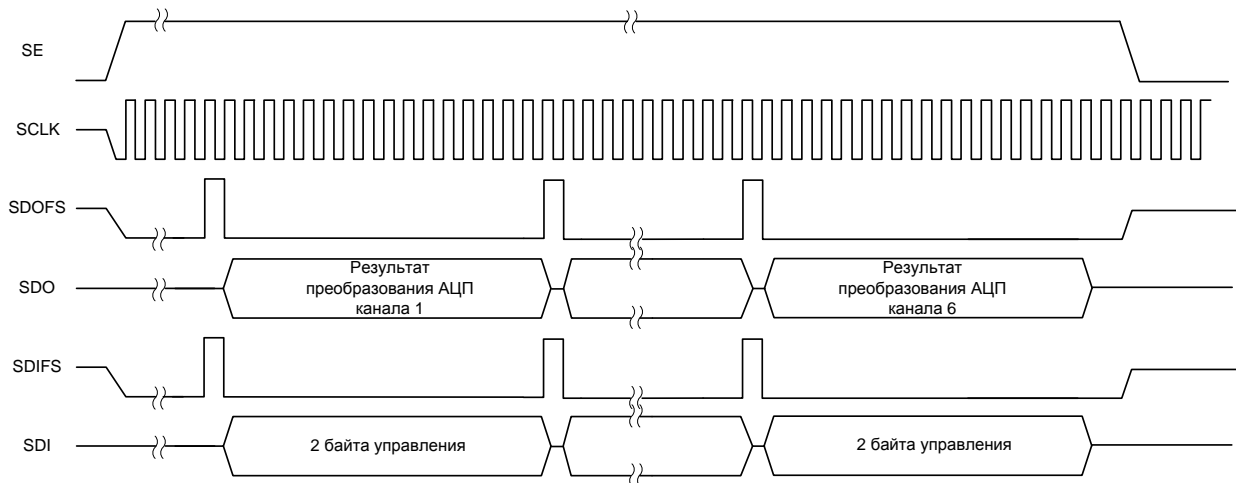


Рисунок 11 – Диаграмма данных в смешанном режиме

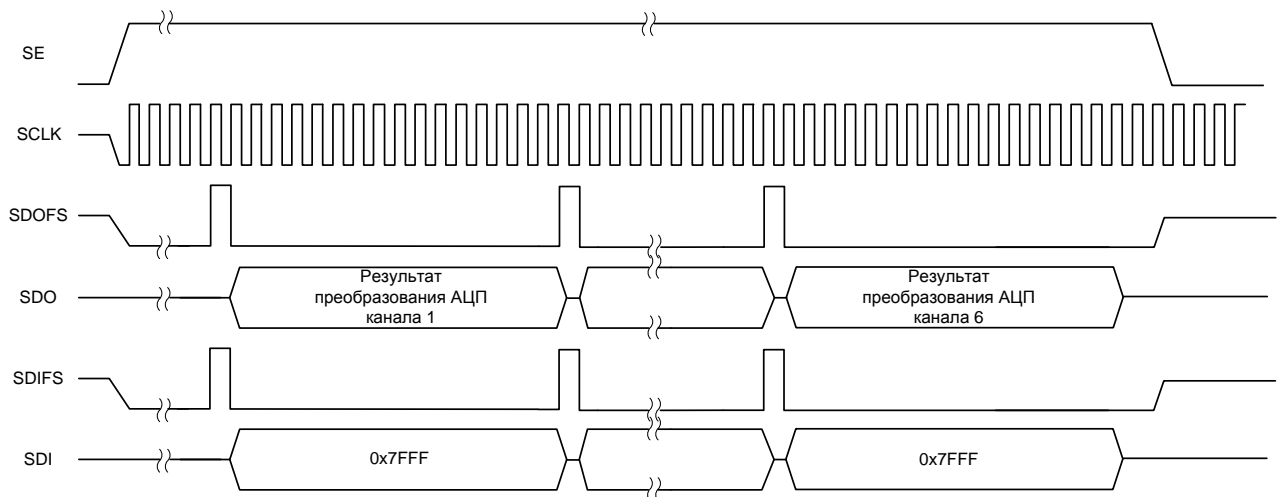


Рисунок 12 – Диаграмма данных в режиме данных

3.11 Каскадирование

Схема разработана для поддержки до восьми устройств в каскаде при подключении к одному последовательному порту. Протокол подключения последовательного порта спроектирован так, что адресация к устройству содержится в пакетах переданной информации устройству. Это позволяет сформировать каскад без дополнительных аппаратных издержек для адресных и управляющих сигналов. Каскад может быть сформирован в любом из двух режимов, рассмотренных ранее.

Возможны некоторые ограничения при работе в каскадном режиме из-за номера сконфигурированного в каскад устройства и выбранного значения тактовой частоты. Формула, приведённая ниже, показывает любую комбинацию значений выборки, тактовой частоты и номера устройства, которые могут быть использованы при каскадировании.

$$\frac{1}{f_s} \geq \frac{6 \times (\text{Device Count} - 1) \times 16 + 17}{SCLK}$$

При использовании косвенного подключения при работе в каскадном режиме для кадровой синхронизации необходимо знать ограничения посылаемых управляющих слов данных для всех устройствах каскада. Пользователь должен обеспечить достаточное время для всех управляющих слов, передаваемых между чтением последней выборки АЦП и началом следующего периода выборки. В каскадном режиме каждое устройство должно знать количество устройств в каскаде, чтобы выходные данные были готовы в нужное время. Регистр управления A содержит трехбитовое поле (DC0-2),

которое программируется процессором ЦОС во время фазы программирования. По умолчанию данное поле содержит двоичный 000, что эквивалентно одному устройству в каскаде (смотрите таблицу 9). Однако для работы в каскадном режиме данное поле должно содержать двоичное число, на единицу меньшее числа устройств в каскаде. Каждое устройство каскада ведёт передачу результата АЦ-преобразования к ПЦОС в соответствии со своим номером в каскаде. Например, в каскаде из двух устройств выходные данные будут выдаваться в следующей последовательности: устройство 2 – канал 1, устройство 1 – канал 1, устройство 2 – канал 2, устройство 1 – канал 2 и т.д. При каскадировании возникают ограничения относительно включения каналов. Во всех устройствах каскада должны быть включены одни и те же каналы. (т.е. если в каскаде из двух устройств требуется включение каналов 1 и 2 в устройстве 1 и канала 5 в устройстве 2, то для обеспечения корректной работы необходимо включить каналы 1, 2 и 5 на обоих устройствах). На рисунке 13 показаны временные последовательности для двух каскадированных устройств.

Таблица 9 – Установка номера устройства

DC2	DC1	DC0	Длина каскада
0	0	0	1
0	0	1	2
0	1	0	3
0	1	1	4
1	0	0	5
1	0	1	6
1	1	0	7
1	1	1	8

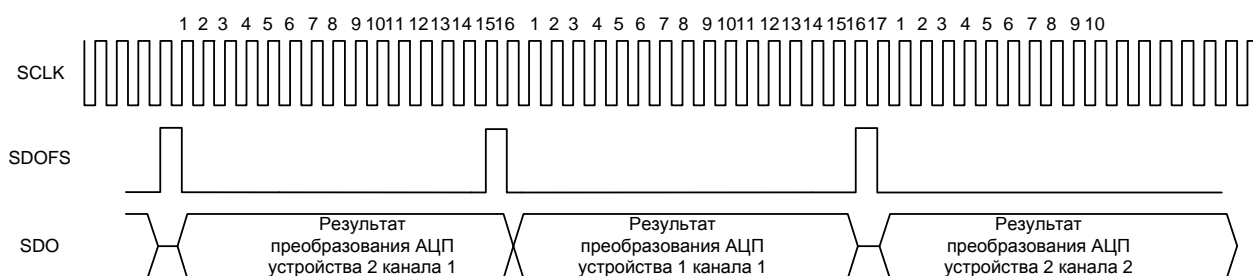


Рисунок 13 – Временные диаграммы двух устройств в режиме каскадирования

4 Подключение аналоговых входов

Каждый канал микросхемы может использовать как дифференциальный, так и однопроводный входной сигнал, который может быть инвертирован формирователем входного сигнала. Входной сигнал может быть подключен по постоянному току, если уровень постоянного смещения входного сигнала равен внутреннему уровню опорного напряжения (REFOUT). На рисунке 14 показана рекомендуемая схема включения для режима дифференциального сигнала, реализующая НЧ фильтр первого порядка с частотой среза 34 кГц, предотвращающий наложения спектров в дискретизированном сигнале.

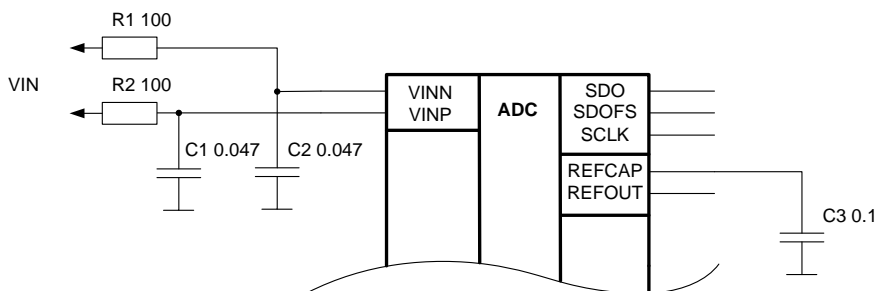


Рисунок 14 – Дифференциальный вход (подключение по постоянному току)

Микросхема содержит предварительный усилитель с программируемым усилением до 38 дБ; коэффициент усиления управляется битами IGS0-2 регистра CRD. Общее усиление должно быть установлено так, чтобы итоговый размах входного сигнала, поступающего на вход сигма-дельта модулятора, не превосходил максимально допустимого входного диапазона.

Постоянное смещение сигнала аналогового входа выполняется с использованием внутреннего источника опорного напряжения. Если смещение входного сигнала не равно уровню внутреннего источника опорного напряжения (REFOUT), то должно использоваться подключение по переменному току с внешними разделительными конденсаторами емкостью не менее 0,1 мкФ. Смещение входа в этом случае может быть реализовано согласно схеме на рисунке 15.

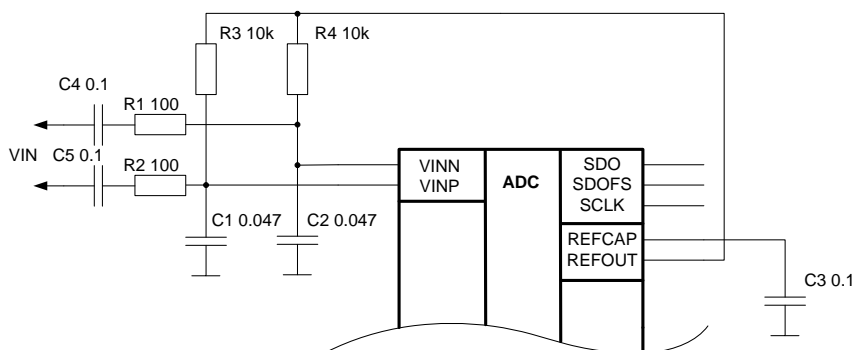


Рисунок 15 – Дифференциальный вход (подключение по переменному току)

На рисунках 16 и 17 приведены схемы подключения по переменному и постоянному току при использовании однопроводного входного сигнала.

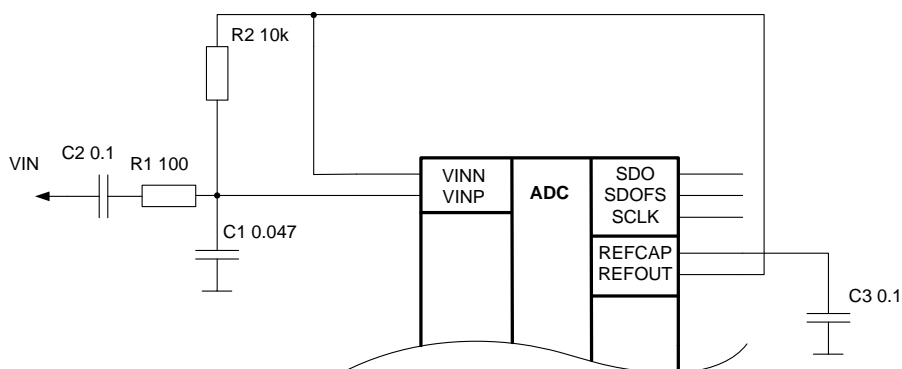


Рисунок 16 – Однопроводной входной сигнал (подключение по переменному току)

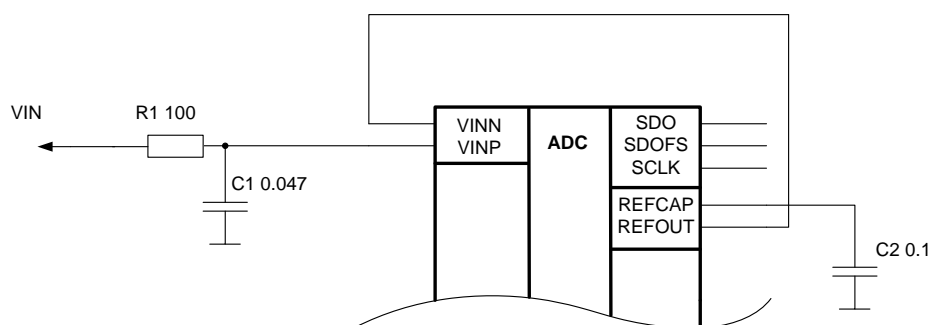


Рисунок 17 – Однопроводной входной сигнал (подключение по постоянному току)

5 Карта регистров последовательного порта

Управление режимом работы схемы осуществляется с помощью восьми регистров разрядностью 8 бит. В таблице 10 приведена карта регистров управления микросхемы 1273ПВ19Т. Первые два регистра управления CRA и CRB зарезервированы для управления последовательным портом. Они содержат установки таких параметров, как скорость передачи битов, значение частоты внутреннего главного тактового сигнала и количество устройств. Если микросхемы включены в режиме каскадирования, то регистры CRA и CRB в каждом устройстве должны быть запрограммированы одинаковым образом для обеспечения корректности работы. Остальные шесть регистров от CRC до CRH используются для хранения установок управления источником опорного напряжения, управления питанием, каналов АЦП и блока программируемых входных усилителей. Не обязательно, чтобы содержимое регистров от CRC до CRH каждой из каскадированных микросхем было одинаковым. Запись в регистры управления происходит по спаду сигнала SCLK.

Таблица 10 – Карта регистров управления

Адрес (Bin)	Имя	Описание	Тип	Разрядность	Значение при сбросе (Hex)
000	CRA	Регистр управления А	R/ \overline{W}	8	0x00
001	CRB	Регистр управления В	R/ \overline{W}	8	0x00
010	CRC	Регистр управления С	R/ \overline{W}	8	0x00
011	CRD	Регистр управления D	R/ \overline{W}	8	0x00
100	CRE	Регистр управления E	R/ \overline{W}	8	0x00
101	CRF	Регистр управления F	R/ \overline{W}	8	0x00
110	CRG	Регистр управления G	R/ \overline{W}	8	0x00
111	CRH	Регистр управления H	R/ \overline{W}	8	0x00

В таблицах 11– 28 указан состав регистров и назначение битов.

Таблица 11 – Описание управляющего слова

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
C/ \overline{D}	R/ \overline{W}	Адрес устройства				Адрес регистра			Данные регистра						

Таблица 12 – Назначение битов

Бит	Назначение	Описание
15	Control/ \overline{Data}	Если установлен в высокий уровень, то слово управления передается. Если установлен в низкий уровень, то данные игнорируются
14	Read/ \overline{Write}	Если установлен в высокий уровень – команда чтения регистра, в низкий – запись
13-11	Адрес устройства	Адрес устройства. Если значение нулевое – обращение к текущему устройству. Если адрес не нулевой, то вычитается 1 и управляющее слово передается на выход последовательного порта
10-8	Адрес регистра	Адрес регистра
7-0	Данные регистра	Данные регистра

Регистр управления А

Таблица 13 – Описание регистра управления А

7	6	5	4	3	2	1	0
\overline{RESET}	DC2	DC1	DC0	SLB	-	MM	DATA/ \overline{PGM}

Таблица 14 – Назначение битов

Бит	Название	Описание
0	DATA/PGM	Режим работы (0 = режим управления; 1 = режим данных)
1	MM	Смешанный режим (0 = выключено; 1 = включено)
2	Зарезервирован	Должен быть установлен в 0
3	SLB	Режим закольцовывания последовательного порта
4	DC0	Количество устройств (0 бит)
5	DC1	Количество устройств (1 бит)
6	DC2	Количество устройств (2 бит)
7	RESET	Программный сброс (0 = выключено; 1 = запуск сброса)

Регистр управления В

Таблица 15 – Описание регистра управления В

7	6	5	4	3	2	1	0
CCE	MCD2	MCD1	MCD0	SCD1	SCD2	DR1	DR0

Таблица 16 – Назначение битов

Бит	Название	Описание
0	DR0	Значение прореживания (0 бит)
1	DR1	Значение прореживания (1 бит)
2	SCD2	Делитель тактовой частоты (0 бит)
3	SCD1	Делитель тактовой частоты (1 бит)
4	MCD0	Делитель опорной тактовой частоты (0 бит)
5	MCD1	Делитель опорной тактовой частоты (1 бит)
6	MCD2	Делитель опорной тактовой частоты (2 бит)
7	CCE	Включение управления откликом (0 = выключено; 1 = включено)

Регистр управления С

Таблица 17 – Описание регистра управления С

7	6	5	4	3	2	1	0
5VEN	RU	PUREF	-	-	-	-	GPU

Таблица 18 – Назначение битов

Бит	Название	Описание
0	GPU	Глобальная подача питания
1	-	Должен быть установлен в 0
2	-	Должен быть установлен в 0
3	-	Должен быть установлен в 0
4	-	Должен быть установлен в 0
5	PUREF	Опорное напряжение (0 = выключено; 1 = включено)
6	RU	Использование вывода REFOUT (0 = REFOUT не используется; 1 = REFOUT используется)
7	5VEN	Включение 5 В режима работы (0 = выключение 5 В режима; 1 = включение 5 В режима)

Регистр управления D

Таблица 19 – Описание регистра управления D

7	6	5	4	3	2	1	0
PUI2	I2GS2	I2GS1	I2GS0	PUI1	I1GS2	I1GS1	I1GS0

Таблица 20 – Назначение битов

Бит	Название	Описание
0	I1GS0	Выбор коэффициента усиления на входе АЦП1 (0 бит)
1	I1GS1	Выбор коэффициента усиления на входе АЦП1 (1 бит)
2	I1GS2	Выбор коэффициента усиления на входе АЦП1 (2 бит)
3	PUI1	Управление питанием АЦП1 (1 = включено; 0 = выключено)
4	I2GS0	Выбор коэффициента усиления на входе АЦП2 (0 бит)
5	I2GS1	Выбор коэффициента усиления на входе АЦП2 (1 бит)
6	I2GS2	Выбор коэффициента усиления на входе АЦП2 (2 бит)
7	PUI2	Управление питанием АЦП2 (1 = включено; 0 = выключено)

Регистр управления E

Таблица 21 – Описание регистра управления E

7	6	5	4	3	2	1	0
PUI4	I4GS2	I4GS1	I4GS0	PUI3	I3GS2	I3GS1	I3GS0

Таблица 22 – Назначение битов

Бит	Название	Описание
0	I3GS0	Выбор коэффициента усиления на входе АЦП3 (0 бит)
1	I3GS1	Выбор коэффициента усиления на входе АЦП3 (1 бит)
2	I3GS2	Выбор коэффициента усиления на входе АЦП3 (2 бит)
3	PUI3	Управление питанием АЦП3 (1 = включено; 0 = выключено)
4	I4GS0	Выбор коэффициента усиления на входе АЦП4 (0 бит)
5	I4GS1	Выбор коэффициента усиления на входе АЦП4 (1 бит)
6	I4GS2	Выбор коэффициента усиления на входе АЦП4 (2 бит)
7	PUI4	Управление питанием АЦП4 (1 = включено; 0 = выключено)

Регистр управления F

Таблица 23 – Описание регистра управления F

7	6	5	4	3	2	1	0
PUI6	I6GS2	I6GS1	I6GS0	PUI5	I5GS2	I5GS1	I5GS0

Таблица 24 – Назначение битов

Бит	Название	Описание
0	I5GS0	Выбор коэффициента усиления на входе АЦП5 (0 бит)
1	I5GS1	Выбор коэффициента усиления на входе АЦП5 (1 бит)
2	I5GS2	Выбор коэффициента усиления на входе АЦП5 (2 бит)
3	PUI5	Управление питанием АЦП5 (1 = включено; 0 = выключено)
4	I6GS0	Выбор коэффициента усиления на входе АЦП6 (0 бит)
5	I6GS1	Выбор коэффициента усиления на входе АЦП6 (1 бит)
6	I6GS2	Выбор коэффициента усиления на входе АЦП6 (2 бит)
7	PUI6	Управление питанием АЦП6 (1 = включено; 0 = выключено)

Регистр управления G

Таблица 25 – Описание регистра управления G

7	6	5	4	3	2	1	0
SEEN	RMOD	CH6	CH5	CH4	CH3	CH2	CH1

Таблица 26 – Назначение битов

Бит	Название	Описание
0	CH1	Выбор канала 1
1	CH2	Выбор канала 2
2	CH3	Выбор канала 3
3	CH4	Выбор канала 4
4	CH5	Выбор канала 5
5	CH6	Выбор канала 6
6	RMOD	Сброс аналогового модулятора
7	SEEN	Включение режима прямого входа

Регистр управления H

Таблица 27 – Описание регистра управления H

7	6	5	4	3	2	1	0
INV	TME	CH6	CH5	CH4	CH3	CH2	CH1

Таблица 28 – Назначение битов

Бит	Название	Описание
0	CH1	Выбор канала 1
1	CH2	Выбор канала 2
2	CH3	Выбор канала 3
3	CH4	Выбор канала 4
4	CH5	Выбор канала 5
5	CH6	Выбор канала 6
6	TME	Включение тестового режима
7	INV	Включение инверсного режима канала

6 Описание регистров

Регистр управления А

- CRA:0 Режим данных/управления. Этот бит управляет режимом работы. Если CRA:1 установлен в 0, тогда 0 в данном разряде переводит схему в режим управления, а 1 — в режим данных.
- CRA:1 Смешанный режим. Если данный бит установлен в 0, то режим работы определяется разрядом CRA:0. Если данный бит установлен в 1, тогда рабочий режим будет смешанным.
- CRA:2 Зарезервированный бит. Для корректной работы данный бит должен быть установлен в 0.
- CRA:3 Закольцовывание последовательного порта. Это тестовый режим. Для корректной работы данный бит должен быть установлен в 0.
- CRA:4-6 Биты количества устройств. Эти биты устанавливают количество каскадированных устройств. Для корректной работы все устройства в каскаде должны быть одинаково запрограммированы. Смотрите таблицу 14.
- CRA:7 Сброс. Запись 1 в данный бит вызывает программный сброс устройства.

Регистр управления В

- CRB:0-1 Значение прореживания. Эти биты используются для установки прореживания. Смотрите таблицу 16.
- CRB:2-3 Делитель тактовой частоты. Эти биты используются для установки частоты тактовых импульсов. Смотрите таблицу 16.
- CRB:4-6 Делитель опорной частоты. Эти биты используются для установки значения опорной частоты. Смотрите таблицу 16.
- CRB:7 Включение управления откликом. Установка этого бита в 1 включает передачу любых принимаемых управляющих команд на выход последовательного порта. Используется в тестовом режиме. Для корректной работы в смешанном режиме или режиме данных, данный бит должен быть установлен в 0.

Регистр управления С

- CRC:0 Глобальная подача питания. Запись 1 в этот бит приводит к включению питания на всех шести каналах, независимо от состояния битов управления питанием в CRD-CRF. Если требуется менее чем шесть каналов, то необходимо установить этот бит в 0, а соответствующие биты управления питанием установить в 1.
- CRC:1-4 Зарезервированный бит. Для корректной работы данный бит должен быть установлен в 0.
- CRC:5 Опорное напряжение. Этот бит управляет состоянием внутрисхемного источника опорного напряжения. 1 в данном бите включает источник. 0 в данном бите выключает источник. Источник автоматически включается, если активирован любой из каналов.
- CRC:6 Опорный сигнал. Когда этот бит установлен в 1, то активируется вывод REFOUT.
- CRC:7 Включение 5 В режима. Когда этот бит установлен в 1, то активируется 5 В режим работы.

Регистр управления D

- CRD:0-2 Выбор коэффициента усиления на входе. Эти биты задают уровень входного усиления для АЦП1. Смотрите таблицу 20.
- CRD:3 Управление питанием АЦП1. 1 в данном бите включает АЦП1.
- CRD:4-6 Выбор коэффициента усиления на входе. Эти биты задают уровень входного усиления для АЦП2. Смотрите таблицу 20.
- CRD:7 Управление питанием АЦП2. 1 в данном бите включает АЦП2.

Регистр управления E

- CRE:0-2 Выбор коэффициента усиления на входе. Эти биты задают уровень входного усиления для АЦП3. Смотрите таблицу 22.
- CRE:3 Управление питанием АЦП3. 1 в данном бите включает АЦП3.
- CRE:4-6 Выбор коэффициента усиления на входе. Эти биты задают уровень входного усиления для АЦП4. Смотрите таблицу 22.
- CRE:7 Управление питанием АЦП4. 1 в данном бите включает АЦП4.

Регистр управления F

- CRF:0-2 Выбор коэффициента усиления на входе. Эти биты задают уровень входного усиления для АЦП5. Смотрите таблицу 24.
- CRF:3 Управление питанием АЦП5. 1 в данном бите включает АЦП5.
- CRF:4-6 Выбор коэффициента усиления на входе. Эти биты задают уровень входного усиления для АЦП6. Смотрите таблицу 24.
- CRF:7 Управление питанием АЦП6. 1 в данном бите включает АЦП6.

Регистр управления G

- CRG:0-5 Выбор канала. Эти биты используются совместно с CRG:6 и CRG:7. Если бит сброса аналогового модулятора CRG:6 установлен в 1, тогда 1, находящаяся в бите выбора канала сбрасывает аналоговый модулятор данного канала. Если бит режима прямого входа CRG:7 установлен в 1, тогда 1, находящаяся в бите выбора канала, переведёт данный канал в режим однополярного входа. Для любого канала, имеющего 0 в бите выбора канала, выполняется перевод его в режим дифференциального входа, и не производится сброс соответствующего аналогового модулятора независимо от состояния битов CRG:6 и CRG:7.
- CRG:6 Сброс аналогового модулятора. Установка 1 в данный бит вызовет сброс аналоговых модуляторов тех каналов, чьи биты выбора канала CRG:0-5 установлены в 1.
Для корректной работы данный бит должен быть установлен в 0.
- CRG:7 Включение режима однополярного входа. Установка 1 в данный бит включает режим однопроводного входа тех каналов, чьи биты выбора канала CRG:0-5 установлены в 1. Установка этих битов в 0 задаёт режим дифференциального входа для всех каналов.

Регистр управления Н

- CRH:0-5 Инверсный режим. Эти биты используются совместно с CRH:7. Если бит включения режима инвертирования установлен в 1, тогда 1, расположенная в бите выбора канала, переведет канал в режим инвертирования. Для любого канала, имеющего 0 в бите выбора канала, не будет режима инвертирования, независимо от состояния CRH:7.
- CRH:6 Включение тестового режима. Для корректной работы данный бит должен быть установлен в 0.
- CRH:7 Включение инверсного режима канала. Установка этого бита в 1 инвертирует каналы, чьи биты выбора канала CRH:0-5 установлены в 1. Установка этого бита в 0 задаёт неинверсный (нормальный) режим для всех каналов.

Заключение

В настоящем руководстве КФДЛ.431328.019 рассмотрены архитектура, функциональное построение и особенности применения микросхемы ИС 1273ПВ19Т, которая представляет собой микросхему аналогового препроцессора.

Все значения электрических параметров микросхемы приведены в технических условиях на изделие АЕНВ.431320.002.

Значения параметров, приведенные в настоящем руководстве, являются справочными.

Данное руководство может служить практическим пособием по применению АЦП для разработчиков систем на основе микросхем 1273ПВ19Т.

Применение разработанных микросхем в системах цифровой обработки сигналов, встроенных системах управления, связи, в системах автоматизации технологических процессов, вычислительной технике, телекоммуникационной технике и т. д. позволит создавать более совершенные в техническом отношении и надежные в эксплуатации изделия.

Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ докум.	Подп.	Дата
	изме- ненных	замене- нных	новых	анну- лиро- ванных				
-	-	-	все	-	32			29.08.14
1	1	-	-	-	-			01.09.14
2	-	25	-	-	-			12.10.15