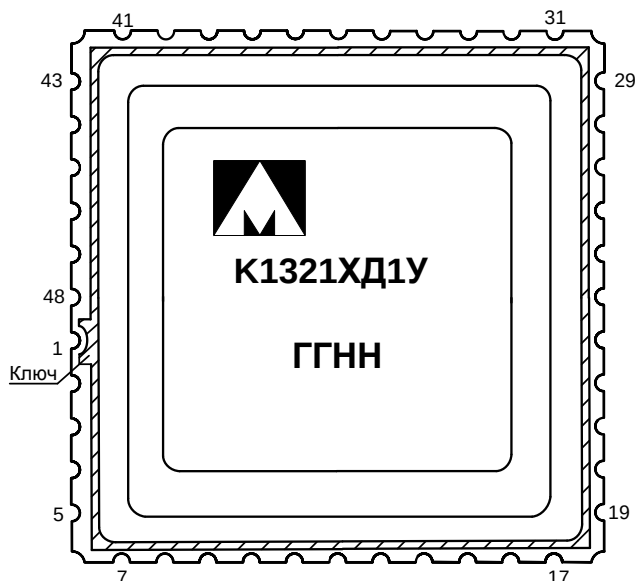




Микросхема РЧ/ПЧ приемника
1321ХД1У, К1321ХД1У, К1321ХД1УК

Основные характеристики
микросхемы:

- Диапазон входных РЧ частот: 10 – 300 МГц
- Диапазон входных ПЧ частот:
1,625 – 3,125 МГц
- Диапазон регулировки АРУ не менее
24 дБ²
- Полоса выходного сигнала: 6,25 – 200 кГц
- Динамический диапазон по входной
мощности не менее 82 дБ
- Напряжение питания на аналоговых
выводах: от 3,14 до 3,46 В
- Напряжение питания на цифровых
выводах: от 1,62 до 1,98 В
- Динамический ток потребления не более
55 мА
- Статический ток потребления в состоянии
«выключено» не более 10 мкА
- Системный КШ в полосе ± 10 кГц: 16 дБ
- Температурный диапазон:



ГГ – год выпуска
НН – неделя выпуска

Обозначение	Диапазон
1321ХД1У	минус 60...85 °С
К1321ХД1У	минус 60...85 °С
К1321ХД1УК	0...70 °С

Тип корпуса:

– 48-и выводной металлокерамический корпус 5142.48-А.

Область применения микросхемы

Микросхема РЧ/ПЧ приемника 1321ХД1У предназначена для применения в устройствах систем узкополосной связи.

Оглавление

1	Общее описание.....	3
2	Описание выводов	4
3	Структурная блок-схема микросхемы.....	6
4	Описание функционирования микросхемы	7
4.1	Состав микросхемы 1321ХД1У.....	7
4.2	Интерфейс SPI и регистры управления.....	8
4.3	Регистры управления ИМС РЧ приемника	9
4.4	Интерфейс SSI	10
4.5	Управление током потребления микросхемы	12
4.6	Тракт РЧ.....	12
4.7	Тракт ПЧ. Активный ФНЧ и $\Sigma\Delta$ АЦП.....	14
4.8	Цифровой блок обработки сигнала.....	16
4.9	ФАПЧ гетеродина	18
4.10	ФАПЧ синтезатора тактовой частоты	21
4.11	Мониторинг систем ФАПЧ	23
4.12	Система АРУ	23
5	Предельно-допустимые характеристики микросхемы.....	27
6	Электрические параметры микросхемы	28
7	Схема включения с использованием внутренних ФАПЧ гетеродина и синтезатора тактовой частоты.....	29
8	Справочные данные.....	30
9	Зависимости	31
10	Габаритный чертеж микросхемы	33
11	Информация для заказа	34

1 Общее описание

Микросхема радиоприемника 1321ХД1 позволяет принимать и обрабатывать радиосигнал на частотах в диапазоне 10 – 300 МГц. Для усиления принятого сигнала и переноса его на промежуточную частоту используются встроенные маломощный усилитель, смеситель и система ФАПЧ с дробным коэффициентом деления. Разделение принятого сигнала на прямой и квадратурный сигнал и преобразование в цифровой код производится полосовым $\Sigma\Delta$ -АЦП и цифровым квадратурным демодулятором. В микросхеме реализована система АРУ с диапазоном 24 дБ, а также возможность ручной регулировки усиления МШУ в диапазоне до 15 дБ. Тактирование АЦП и блока цифровых фильтров осуществляется от внутренней ФАПЧ со встроенной активной частью ГУН. Микросхема позволяет обрабатывать сигнал с минимальным коэффициентом шума (КШ) в полосе до 25 кГц и в полосе до 200 кГц с некоторым ухудшением КШ.

2 Описание выводов

Таблица 1 – Описание выводов микросхемы

№ вывода корпуса	Обозначение вывода	Функциональное назначение вывода
1	MixOutP	Выход Смесителя +
2	MixOutN	Выход Смесителя -
3	IF_InP	Вход ПЧ +
4	IF_InN	Вход ПЧ -
5	LO_P	Вход Гетеродина +
6	LO_N	Вход Гетеродина -
7	VDDD_LO	Питание ФАПЧ гетеродина
8	GNDD_LO	Земля ФАПЧ гетеродина
9	FREF	Вход Опорной частоты
10	GND_Sub2	Подложка
11	GNDC_LO	Земля схемы накачки заряда ФАПЧ гетеродина
12	VDDC_LO	Питание схемы накачки заряда ФАПЧ гетеродина
13	IOUT_LO	Выходной ток ФАПЧ гетеродина
14	GNDD_CLK	Земля ФАПЧ синтезатора CLK
15	VDDD_CLK	Питание ФАПЧ синтезатора CLK
16	IOUT_CLK	Выходной ток ФАПЧ синтезатора CLK
17	GNDC_CLK	Земля схемы накачки заряда ФАПЧ синтезатора CLK
18	CLK_P	Вход тактовой частоты +
19	CLK_N	Вход тактовой частоты -
20	VDDC_CLK	Питание схемы накачки заряда синтезатора CLK
21	GND_D	Земля цифрового Блока
22	VDD_D	Питание цифрового Блока
23	VDD_IO	Питание выходных драйверов цифрового Блока
24	SSI_FS	Сигнал кадра SSI-интерфейса
25	SSI_DO	Сигнал данных SSI-интерфейса
26	SSI_CLK	Сигнал тактовой частоты SSI-интерфейса
27	VDD_D	Питание цифрового Блока
28	GND_D	Земля цифрового Блока
29	SCLK	Вход тактовой частоты SPI - интерфейса
30	SDI	Вход данных SPI - интерфейса
31	SDO	Выход данных SPI - интерфейса
32	Sen	Сигнал разрешения SPI - интерфейса
33	SYNC	Сброс цифровых фильтров, тестовых режимов и АЦП
34	GND_ADC	Земля ПЧ тракта
35	GND_Sub	Подложка
36	VDD_ADC	Питание ПЧ тракта
37	GND_ADC	Земля ПЧ тракта. Крышка и посадочное место основного корпуса
38	VCM	Фильтрующая емкость синфазного напряжения
39	VREFN	Фильтрующая емкость опорного напряжения
40	VREFP	Фильтрующая емкость опорного напряжения
41	CAGC	Фильтрующая емкость схемы АРУ

№ вывода корпуса	Обозначение вывода	Функциональное назначение вывода
42	IREF	Резистор Источника Опорного тока
46	RFin	Вход радиочастоты канала
44	GND_RF	Земля МШУ и Смесителя
45	VCC_F	Фильтрующая емкость МШУ
43, 48	VDD_RF	Питание МШУ и Смесителя
47	GND_RF	Земля МШУ и Смесителя

3 Структурная блок-схема микросхемы

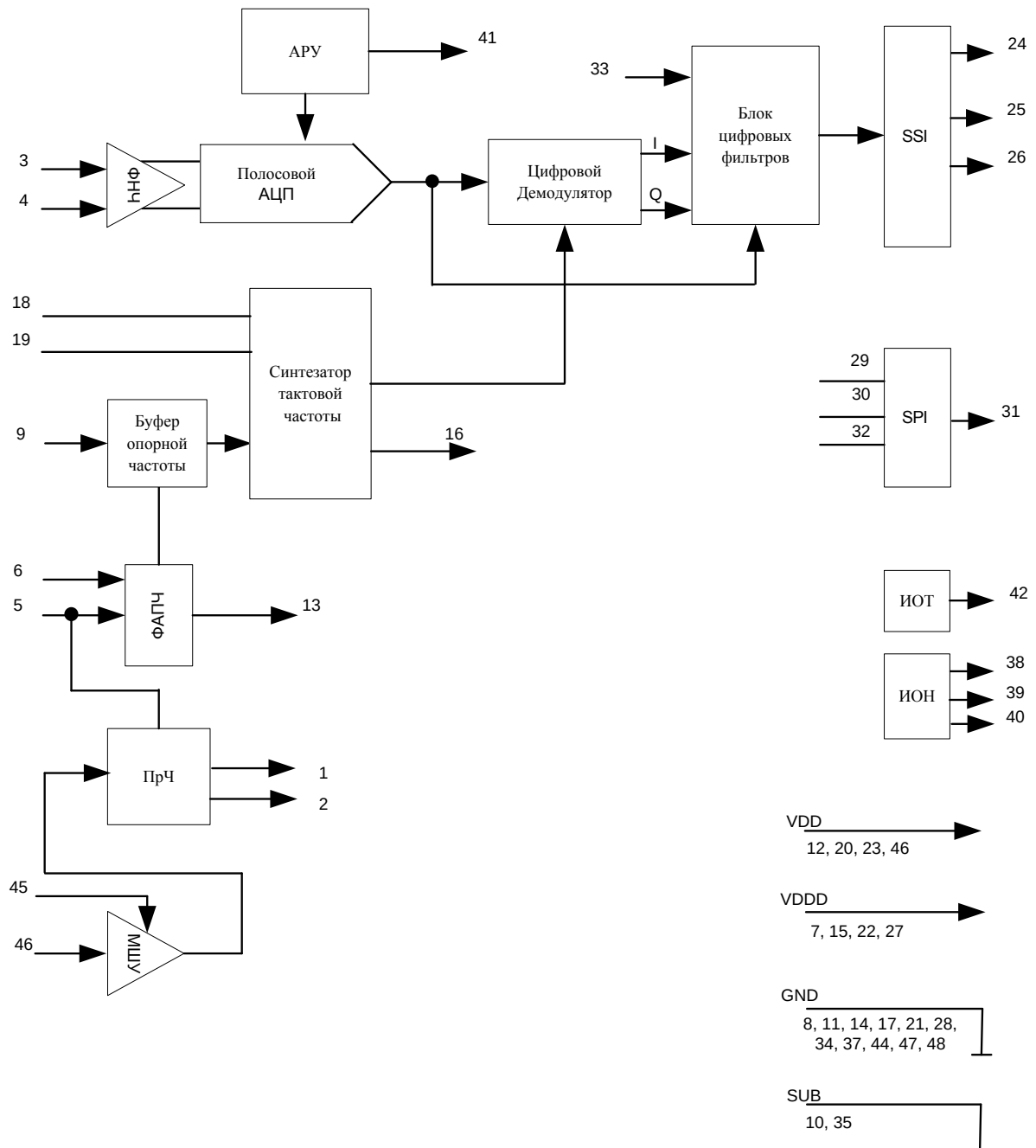


Рисунок 1 – Структурная блок-схема

Примечание – Все элементы схемы имеют электрическую связь с соответствующими контактными площадками.

4 Описание функционирования микросхемы

Входной сигнал на частоте несущей от 10 МГц до 300 МГц, пройдя через внешнюю цепочку согласования 50 Ом источника сигнала, с 500 Ом входом встроенного МШУ усиливается с коэффициентом усиления от 17 до 0 дБ в зависимости от установок пользователя и преобразуется на частоту ПЧ, которая составляет $F_{clk}/8$, где F_{clk} – частота тактирования АЦП. Частота гетеродина может быть подана как от внешнего генератора, так и сформирована с помощью внутреннего ФАПЧ с дробным коэффициентом деления. Для устранения blockers в микросхеме предусмотрено два перестраиваемых фильтра первого порядка, которые также выполняют роль противоотражающих фильтров перед входом АЦП. Полосы среза этих фильтров также настраиваются через регистры управления. Для устранения шумов квантования и получения требуемой частоты дискретизации прямого и квадратурного каналов сигнал с выхода цифрового квадратурного демодулятора поступает на вход цифровых фильтров-дециматоров с регулируемым коэффициентом децимации. После фильтрации сигнал форматируется в соответствии с заданным форматом, и передаются пользователю по SSI интерфейсу.

Запись значений в управляющие регистры производится посредством SPI интерфейса.

4.1 Состав микросхемы 1321ХД1У

Интегральная микросхема состоит из:

- малошумящего усилителя (МШУ), с возможностью уменьшения потребления при снижении усиления степенями по 3-4 дБ;
- смесителя (ПрЧ), с возможностью уменьшения потребления при уменьшении ИРЗ;
- активного Фильтра низких частот (ФНЧ), с перестраиваемой полосой среза;
- полосового Дельта-Сигма АЦП;
- цифрового демодулятора;
- блока цифровых фильтров-дециматоров, с программируемым коэффициентом децимации;
- ФАПЧ гетеродина, с дробной и целой частями делителя выходной частоты;
- буфера опорной частоты (БОЧ);
- ФАПЧ синтезатора тактового сигнала (СТЧ);
- интерфейса SPI, для программирования ИС;
- интерфейса SSI, для передачи цифровых отсчетов на дальнейшую обработку;
- источников опорного напряжения и тока.

4.2 Интерфейс SPI и регистры управления

Посредством SPI-интерфейса осуществляется запись и чтение в/из регистров управления.

SPI-интерфейс может быть сконфигурирован как 3-х проводной или как 4-х проводной интерфейс. В трехпроводном режиме запись данных и считывание осуществляются по одному и тому же контакту SDI. В 4-х проводном режиме данные передаваемые в ИС подаются на SDI, а из микросхемы идут по SDO. При включении питания ИС сконфигурирована для работы в 4-х проводном режиме.

Ниже представлены диаграммы работы SPI интерфейса в обоих режимах.

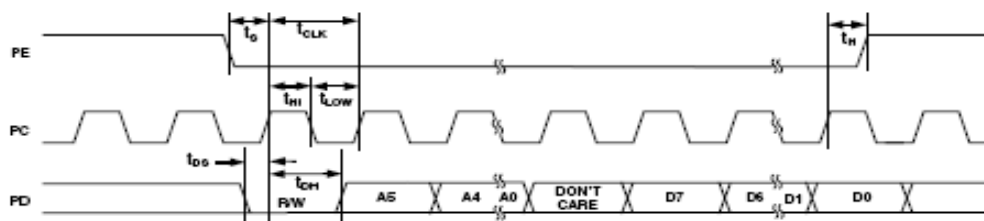


Figure 1a. SPI Write Operation Timing

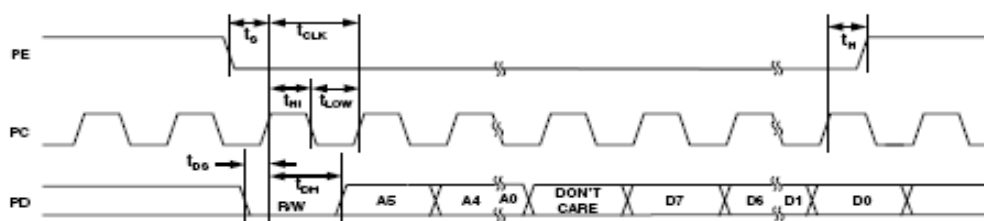


Figure 1b. SPI Read Operation Timing

Рисунок 2 – Диаграммы записи/считывания в SPI-интерфейсе в 3-х проводном режиме. PE-SEn, PC-SCLK, PD-SDI

Первый бит определяется производится ли операция чтения ('1') или запись ('0'). Далее следуют 6 бит адреса регистра, пустой бит и 8 бит значения регистра.

В 4-х проводном режиме диаграмма та же, за тем исключением, что 8 бит значения регистра повторяются на выводе SDO в режиме чтения.

В регистре 0x00 SPI_CTRL устанавливается режим SPI:

- 1) значение 0x81 – трехпроводной режим SPI;
- 2) значение 0xC3 – четырёхпроводной режим SPI (предпочтительнее, если к линии данных SDI в параллель подключено несколько микросхем).

Имя	Адрес	7	6	5	4	3	2	1	0
SPI_CTRL	0x00	DIRd	4Wd	-	-	-	-	4W	DIR

В таблице 2 представлен перечень регистров управления.

4.3 Регистры управления ИМС РЧ приемника

Таблица 2 – Регистры управления ИМС РЧ приемника

Имя	Адрес	7	6	5	4	3	2	1	0
SPI_CTRL	0x00	DIRd	4Wd	-	-	-	-	4W	DIR
SSI_FRM_CTRL	0x02	FS_E	FS_L	FS_En	FS_I	EXT_AGC	ALT_AGC	SIZE24	-
SSI_CLK_CTRL	0x03	-	-	CLK_En	CLK_I	CLK_DIV(3:0)			
SSI_PHY_CTRL	0x04	-	-	D_En	-	SSI_EN	DRV_STR(2:0)		
PWR_CTRL1	0x05	-	-	-	-	-	BIAS_ON	RF_ON	IF_ON
PWR_CTRL2	0x07	-	VCO_EN	LO_EN	PLL_EN	SYNTH_EN	FBuf_EN	AGC_EN	DF_EN
PLL_LO_CTRL	0x10	swl_EN	swl	ICP(2:0)			LOI(2:0)		
PLL_LO_REF	0x11	-	-	DITH	DRef_EN	Dref(3:0)			
PLL_LO_INT1	0x12	Dint(15:8)							
PLL_LO_INT2	0x13	Dint(7:0)							
PLL_LO_FRAC1	0x14	Dfrct(15:8)							
PLL_LO_FRAC2	0x15	Dfrct(7:0)							
PLL_LO_MOD1	0x16	Mod(15:8)							
PLL_LO_MOD2	0x17	Mod(7:0)							
PLL_CLK_REF1	0x18	-	-	CLK_DIV(13:8)					
PLL_CLK_REF2	0x19	CLK_DIV(7:0)							
PLL_CLK_VCO1	0x1a	-	-	-	VCO_DIV(12:8)				
PLL_CLK_VCO2	0x1b	VCO_DIV(7:0)							
PLL_CLK_CTRL1	0x1c	-						Auto1	Auto2
PLL_CLK_CTRL2	0x1d	-	-	IOGAIN(1:0)		IREF(3:0)			
DF_CTRL	0x1e	-	-	-	DF_K	DF_M(3:0)			
AAF_CTRL	0x1f	-	-	x2	Frj(4:0)				
AGC_A_GAIN	0x20	AGAIN(7:0)							
AGC_D_GAIN	0x21	DGAIN(7:0)							
AGC_CTRL1	0x22	N_AGCF	SIZE24	AGC_ON	DGC_EN	-	-	-	-
AGC_CTRL2	0x23	AGCA(3:0)				AGCD(3:0)			
AGC_REF	0x24	-					REFV(2:0)		
HS_CTRL	0x25	-	-	HS_EN	HIST				
LNAnMIX_CTRL1	0x26	-	-	-	Fc(4:0)				
LNAnMIX_CTRL2	0x27	-	IP(2:0)			LNA_G(3:0)			
ANLG_STAT	0x3e	-	-	-	-	-	-	CLK_RDY	LO_RDY

4.4 Интерфейс SSI

Передача I и Q отсчетов с выхода цифровых фильтров осуществляется посредством синхронного SSI-интерфейса.

Регистры управления SSI интерфейсом, в скобках указано значение по умолчанию:

Наименование	Адрес	7	6	5	4	3	2	1	0
SSI_FRM_CTRL	0x02	FS_E (0)	FS_L(0)	FS_En	FS_I(0)	EAGC(0)	AAGC(0)	SIZE24(0)	-
SSI_CLK_CTRL	0x03	-	-	CLK_En	CLK_I(0)	CLK_DIV(3:0)(0)			
SSI_PHY_CTRL	0x04	-	-	D_En	-	SSI_EN(0)	-		

Для осуществления передачи данных SSI интерфейс должен быть включен (бит SSI_EN установлен в '1') и настроен на один из режимов передачи данных. Настройка осуществляется установкой бит EAGC, AAGC, SIZE24 регистра SSI_FRM_CTRL. Состав фрейма данных при различных установках указан в следующей таблице.

Для того, чтобы сигналы появились на линиях SSI_CLK, SSI_FS и SSI_DATA необходимо установить биты FS_En, CLK_En, D_En в '1'.

Бит			Длина	Передаваемые данные
EAGC	AAGC	SIZE24	(байт)	
0	x	0	4	I[15:0],Q[15:0] – Режим по умолчанию
0	x	1	6	I[23:0],Q[23:0]
1	0	0	6	I[15:0],Q[15:0],AGain[7:4], DGain[7:4], Ovl[1:0], RSSI[5:0]
1	0	1	8	I[23:0],Q[23:0],AGain[7:4], DGain[7:4], Ovl[1:0], RSSI[5:0]
1	1	0	5	I[15:0],Q[15:0],AGain[7:4], Dgain[7:5], '0' (чет) I[15:0],Q[15:0]Ovl[1:0],RSSI[5:0], '1' (нечет)
1	1	1	7	I[23:0],Q[23:0],AGain[7:4], Dgain[7:4], '0' (чет) I[23:0],Q[23:0],Ovl[1:0],RSSI[5:0], '1' (нечет)

Передача данных по последовательному каналу может вестись в 2-х или 3-х проводном режимах. В 3-х проводном режиме передача ведется с использованием внешней кадровой синхронизации (сигнал фрейма появляется на выводе SSI_FS), а в 2-х проводном – с внутриканальной синхронизацией. Переключение между режимами осуществляется битом FS_E ('1' – внутриканальная, '0' – внешняя).

При использовании внешней синхронизации (FS_E=0) сигнал кадровой синхронизации имеет активный уровень кадрового сигнала '1', имеет длительность 1 такт тактовой частоты на выводе SSI_CLK и выставляется перед первым битом пакета. Так же возможно использовать задержку кадрового сигнала (FS_L='1'), при которой сигнал кадровой синхронизации выставляется одновременно с первым битом пакета. Для инверсии активного уровня кадрового сигнала необходимо установить в состояние '1' бит инверсии кадрового сигнала FS_I.

Ниже представлены три диаграммы работы SSI-интерфейса:

1-я – в режиме FS_E=FS_L=FS_I=EAGC=AAGC=SIZE24=0;

2-я – в режиме FS_E=FS_I=EAGC=AAGC=SIZE24=0, FS_L=1;

3-я – в режиме FS_E=1.

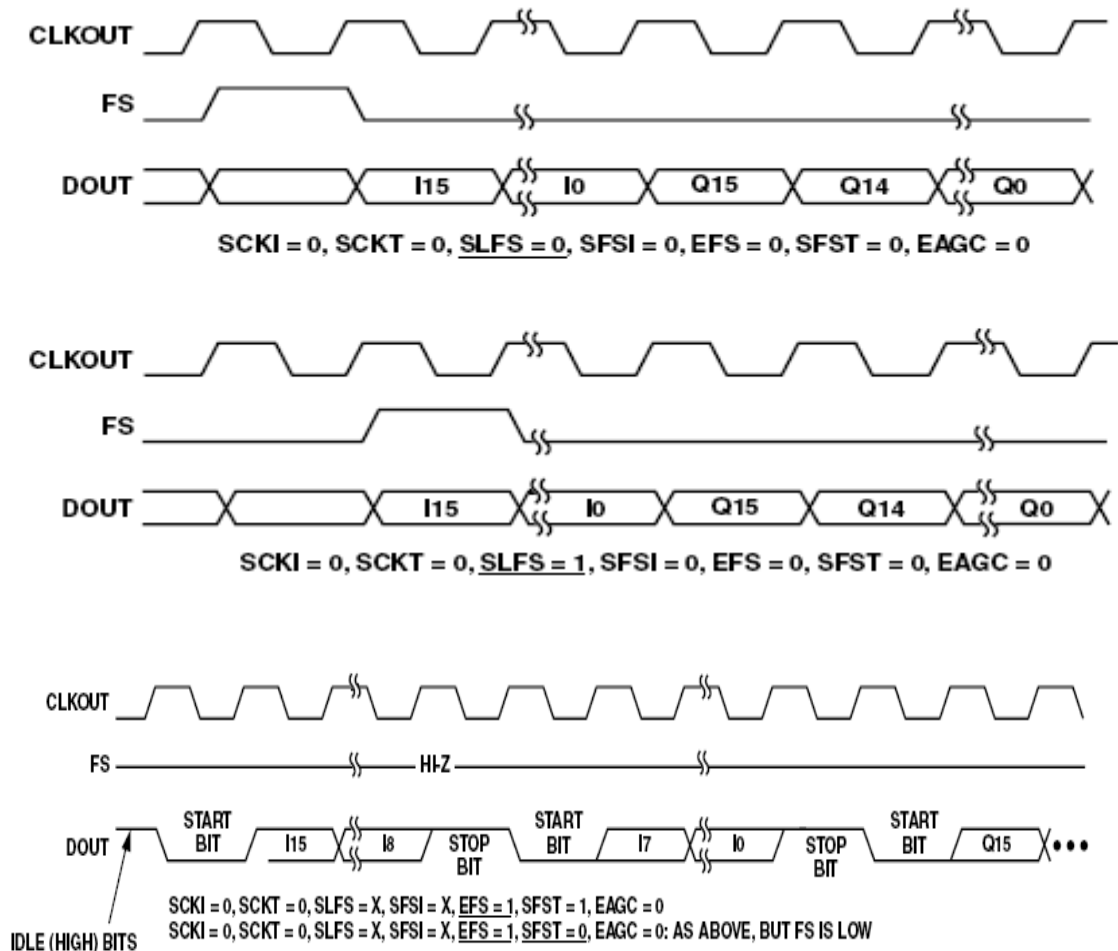


Рисунок 3 – Диаграммы работы SSI интерфейса

Управление тактовым сигналом на выводе SSI_CLK осуществляется посредством программирования регистра SSI_CLK_CTRL. Установка бита CLK_I в состояние '1' инвертирует сигнал, значение поля CLK_DIV[3:0] делит частоту тактового сигнала АЦП перед подачей на вывод SSI_CLK в CLK_DIV[3:0]+1 раз.

4.5 Управление током потребления микросхемы

Управление потреблением микросхемы осуществляется установкой в состояние '0' или '1' бит в регистрах PWR_CTRL1 и PWR_CTRL2.

PWR_CTRL1	0x05	-	-	-	-	-	BIAS_ON(0)	RF_ON(0)	IF_ON(0)
PWR_CTRL2	0x07	-	VCO_EN(0)	LO_EN(0)	PLL_EN(0)	SYNT_EN(0)	FBuf_EN(0)	AGC_EN(1)	DF_EN(0)

Бит IF_ON включает блоки тракта ПЧ, RF_ON – МШУ и смеситель, BIAS_ON – включает блоки, обеспечивающие АЦП опорным напряжением. Для работы только с ПЧ трактом микросхемы в состояние '1' должны быть установлены биты BIAS_ON и IF_ON.

Регистр PWR_CTRL2 управляет работой блоков ФАПЧ и цифровым блоком.

Установка бита DF_EN в состояние '1' подает тактовую частоту на цифровой блок. Таким образом, пока этот бит установлен в состояние '0', потребление по питанию VDD_D минимально. Немного снизить потребление по питанию VDD_D позволяет установка в состояние '0' бита AGC_EN. В этом случае тактовая частота отключается от всех блоков АРУ, и алгоритм АРУ, а также расчет RSSI не будут выполняться.

Если необходимо использовать хотя бы одну из внутренних ФАПЧ – должен быть включен буфер опорной частоты (БОЧ на структурной схеме). Для этого бит FBuf_EN должен быть установлен в состояние '1'.

Для работы ФАПЧ гетеродина бит LO_EN должен быть установлен в состояние '1'. Если используется внешний сигнал гетеродина, то необходимо установить бит LO_EN в '0'. Это предотвратит взаимодействие между сигналами внешнего гетеродина и ФАПЧ, а также снизит ток потребления этого блока.

ФАПЧ синтезатора тактовой частоты может быть использована в 4-х режимах: с внутренним ГУН, с внешним ГУН, с внешней тактовой частотой и может быть отключенной.

Бит SYNT_EN включает входные буферы тактовой частоты и должен быть установлен в состояние '1' во всех режимах, кроме режима полного отключения.

Бит PLL_EN – должен быть установлен в состояние '1' при работе ФАПЧ в первых двух режимах.

Бит VCO_EN должен быть установлен в состояние '1' в первом режиме, т.е. при работе с внутренним ГУН.

Кроме приведенных выше регистров управления током потребления возможна регулировка характеристик различных блоков, особенно МШУ и смесителя, а также блоков ФАПЧ. Об этих возможностях подробнее будет изложено в пунктах описания этих блоков.

4.6 Тракт РЧ

На рисунке 4 представлена структурная схема РЧ тракта микросхемы 1321ХД1У. РЧ тракт состоит из МШУ, смесителя и блока емкостей для настройки полосы среза ФНЧ, образуемого нагрузочными сопротивлениями смесителя и емкостью из блока емкостей.

Включение блоков РЧ тракта осуществляется установкой в состояние '1' бита RF_ON регистра PWR_CTRL1.

МШУ представляет собой усилитель по напряжению, активная часть входного импеданса в диапазоне частот приблизительно составляет 430 Ом. В эквивалентную схему входного импеданса так же входит параллельная активному сопротивлению емкость величиной ~ 2 пФ, практически не зависящая от частоты и режима работы усилителя.

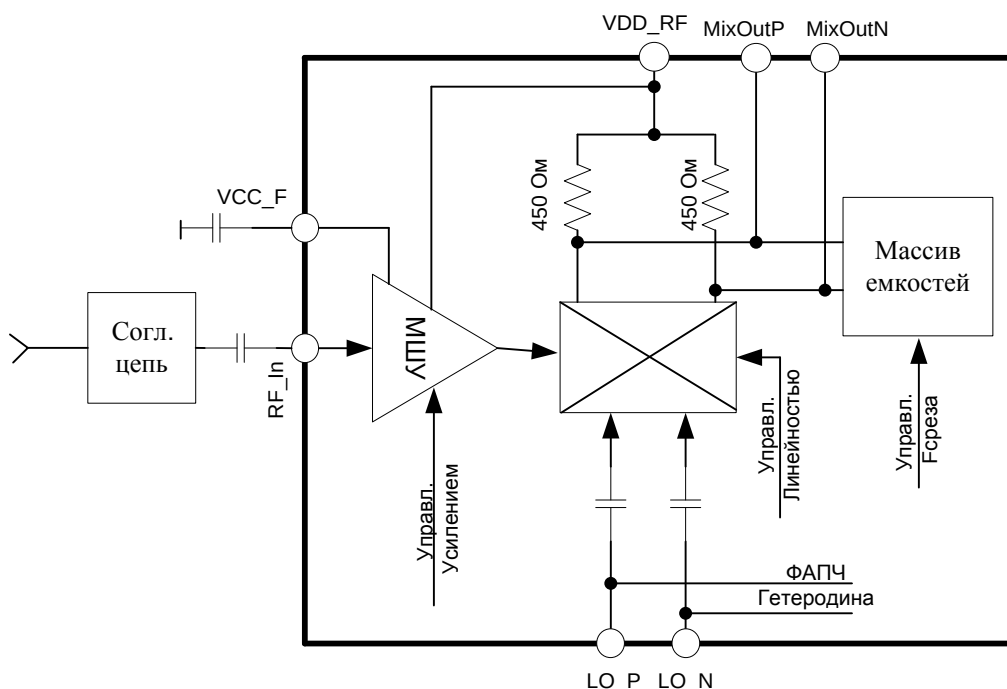


Рисунок 4 – Структура РЧ тракта 1321ХД1

Для управления параметрами РЧ тракта служат регистры:

Имя	Адрес	7	6	5	4	3	2	1	0
LNAAnMIX_CTRL1	0x26	-	-	-	Fc[4:0]				
LNAAnMIX_CTRL2	0x27	-	IP[2:0]			LNA_G[3:0]			

Регистр LNAAnMIX_CTRL1 управляет полосой среза ФНЧ. Значение '0' этого регистра соответствует минимальной частоте среза – 4 МГц, значение '31' – максимальной частоте среза равной 10 МГц. Значения максимальной и минимальной частот среза могут варьироваться от образца к образцу в диапазоне $\pm 20\%$.

Типовые значения полосы среза ФНЧ после аналогового смесителя представлены ниже в таблице:

Fc[4:0]	00000	00111	01111	10111	11111
Fc, MHz	4	5,5	7	8,5	10

Управление усилением МШУ позволяет уменьшать потребление микросхемы в условиях, когда не требуется большого усиления устройства.

Биты LNA_G[3:0] отвечают за усиление и ток потребления МШУ. Ниже приведены ориентировочные значения усиления РЧ тракта в зависимости от значений битов LNA_G[3:0] на установке максимальной линейности IP[2:0]='100'.

LNA_G[3:0]	Кп, дБ	Ипотр, мА
15	17	7,5
10	9	4,4
7	4	4,3
0	0	4,2

Биты IP[2:0] отвечают за линейность смесителя, за значение точки ИРЗ и потребление смесителя. В таблице указана зависимость потребления РЧ тракта при минимальном усилении МШУ от кода линейности смесителя.

IP[2:0]	ИРЗ, дБм	Ипотр, мА
100	1	4
010	-0,5	2,6
001	-2	2,5

Активная часть входного импеданса имеет зависимость от установок усиления МШУ и линейности смесителя. Ниже представлены значения активной части входного импеданса от установок МШУ на частоте 100 МГц. Входная емкость практически не зависит от этих установок.

LNA_G[3:0]	R, Ом	C, пФ
15	465	1,5
10	1050	1,5
7	1550	1,5
0	1750	1,5

4.7 Тракт ПЧ. Активный ФНЧ и $\Sigma\Delta$ АЦП

Тракт ПЧ включается установкой в состояние '1' бит IF_ON и BIAS_ON в регистре PWR_CTRL1.

На рисунке 5 представлена структура тракта ПЧ и блока формирования опорных напряжений. Тракт ПЧ состоит из активного фильтра с управляемой полосой среза и переключаемым коэффициентом усиления, полосового сигма-дельта АЦП и блоков формирования опорных напряжений и токов: источника опорного тока (ИОТ), источника опорного напряжения (ИОН), ЦАП, дифференциального усилителя (ДУ) и буфера синфазного напряжения.

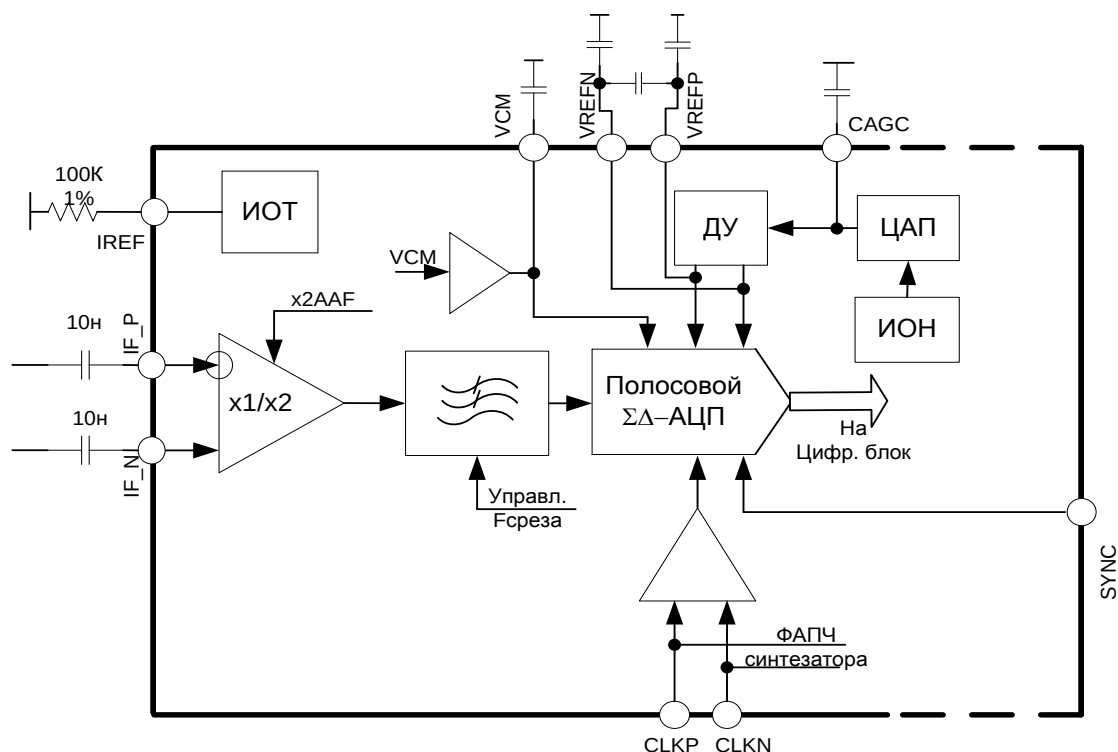


Рисунок 5 – ПЧ тракт

Возможно использование ПЧ тракта с внешним РЧ трактом, при этом необходимо помнить, что центральная частота АЦП (ПЧ в данном случае) определяется как $F_{clk}/8$. Где F_{clk} – тактовая частота АЦП, генерируемая внутренней ФАПЧ синтезатора или подаваемая снаружи на выводы CLK_P, CLK_N. Для вывода всех схем ПЧ тракта в правильный рабочий режим к выводу IREF должен быть присоединен резистор с номиналом $100\text{ кОм} \pm 1\%$. Емкости на выводах VCM, VREFN, VREFP необходимы для работы внутренних блоков формирования опорных и синфазного напряжений на АЦП. Емкость на выводе CAGC определяет полосу системы АРУ, о ней более подробно изложено в пункте, посвященном АРУ.

Имя	Адр	7	6	5	4	3	2	1	0
AAF_CTRL	0x1f	-	-	x2	Frj[4:0]				

Битами регистра AAF_CTRL происходит управление коэффициентом усиления и полосой активного противоотражающего ФНЧ. Установка бита x2 в '1' увеличивает коэффициент усиления ФНЧ в два раза, повышая чувствительность микросхемы (функционирует только в HS режиме при работе АРУ, в режиме без АРУ коэффициент усиления ФНЧ соответствует всегда $x2=0$).

Активный ФНЧ является ФНЧ 1-го порядка. Значение Frj[4:0] определяет полосу среза фильтра. Максимальная частота среза соответствует значению 0 и равна 8,31 МГц, минимальная частота среза при значении 31 – 1,9 МГц. Значения максимальной и минимальной частоты среза могут меняться от образца к образцу в диапазоне $\pm 20\%$.

Типовые значения частот среза активного ФНЧ представлены ниже в таблице:

Frj[4:0]	11111	10111	01111	00111	00000
Frj, MHz	1,9	3,5	5,1	6,7	8,31

Выходной сигнал ФНЧ поступает на вход полосового $\Delta\Sigma$ -АЦП, передаточная характеристика которого представлена на рисунке ниже.

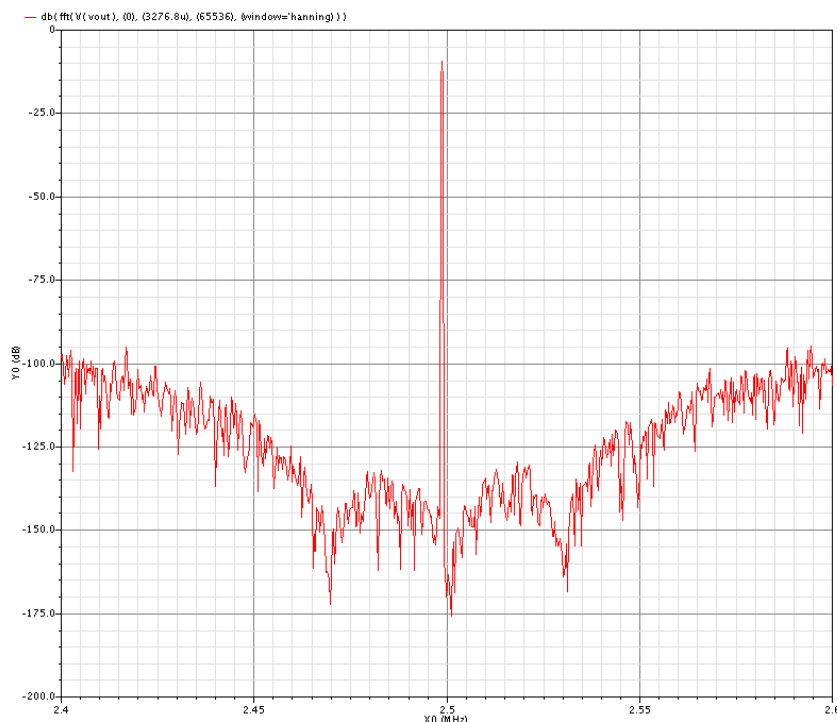


Рисунок 6 – Спектр на выходе полосового $\Delta\Sigma$ -АЦП при частоте тактового сигнала 20 МГц

Наименьший уровень шумов и, следовательно, наибольшая чувствительность будут наблюдаться в полосе $F_{clk}/8 \pm 10$ кГц. С ростом полосы сигнала, отношение сигнал/шум будет падать быстрее, чем в корень из значения ширины полосы раз из-за формы шумовой передаточной характеристики АЦП. Низким уровнем сигнала SYNC осуществляется сброс интеграторов АЦП в начальное состояние, АЦП не начнет выдавать отсчеты до тех пор, пока SYNC будет оставаться в низком уровне. Кроме интеграторов АЦП сигнал SYNC сбрасывает регистры цифровых фильтров, позволяя тем самым синхронизировать две микросхемы 1321ХД1. Это, в свою очередь, обеспечивает большой мгновенный динамический диапазон без системы АРУ.

4.8 Цифровой блок обработки сигнала

На Рисунок 7 показана структура цифрового блока обработки сигнала, который состоит из демодулятора и трех децимирующих фильтров.

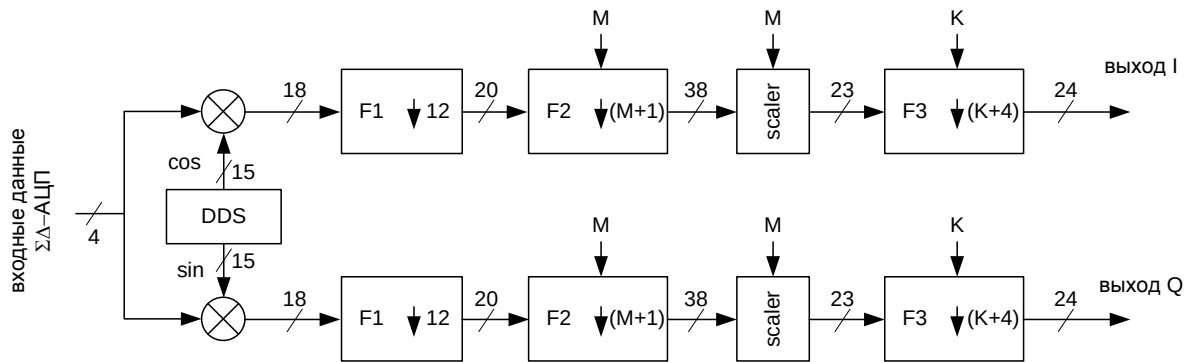


Рисунок 7 – Структура цифрового блока

Демодулятор представляет собой умножитель, умножающий входной сигнал на отсчеты синуса и косинуса частотой $F_{clk}/8$. Таким образом, демодулятор переносит входной сигнал в основную полосу частот и разлагает его на прямую и квадратурную составляющие.

Первый децимирующий фильтр имеет фиксированную степень децимации равную 12, коэффициент децимации второго фильтра определяется значением $DF_M(3:0)$ регистра DF_CTRL и равен DF_M+1 . Для компенсации ослабления вносимого двумя фильтрами производится умножение сигнала на величину, определяемую значением DF_M в блоке скалера. Третий децимирующий фильтр прореживает сигнал с коэффициентом DF_K+4 . Таким образом, общий коэффициент децимации получается равным $12 \cdot (DF_M+1) \cdot (DF_K+4)$ и может находиться в диапазоне 48 – 900.

На рисунке 8 представлена АЧХ системы децимирующих фильтров в полосе пропускания при коэффициенте децимации 48.

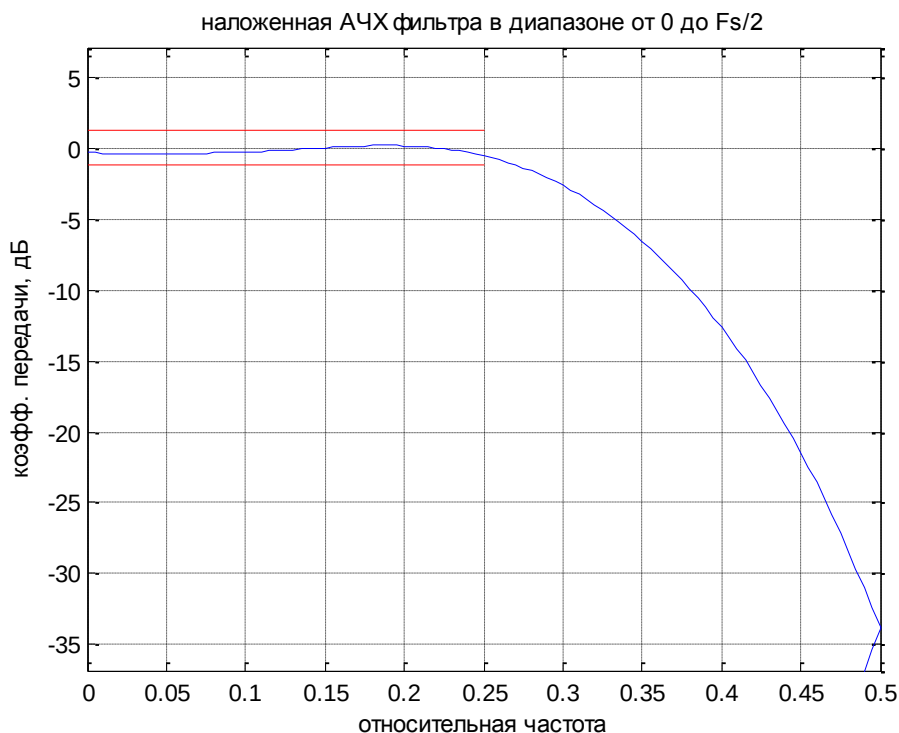


Рисунок 8 – АЧХ системы децимирующих фильтров при коэффициенте децимации 48

4.9 ФАПЧ гетеродина

На рисунке 9 представлена структура петли ФАПЧ гетеродина.

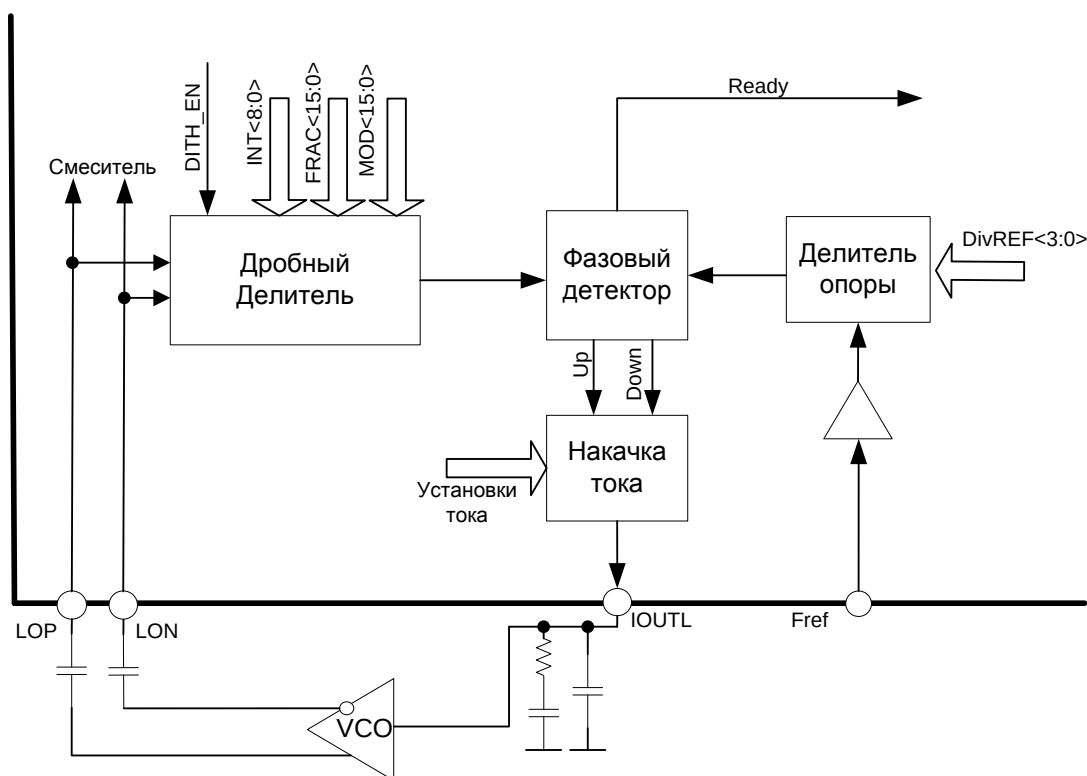


Рисунок 9 – Структура ФАПЧ гетеродина

Включение ФАПЧ гетеродина осуществляется установкой в состояние '1' бита LO_EN и Fbuf_EN.

Работа петли ФАПЧ управляется посредством следующих регистров:

PLL_LO_CTRL	0x10	swl_EN	swl	ICP[2:0]		LOI[2:0]
PLL_LO_REF	0x11	-	-	DITH	DRef_EN	Dref[3:0]
PLL_LO_INT1	0x12	Dint[15:8]				
PLL_LO_INT2	0x13	Dint[7:0]				
PLL_LO_FRAC1	0x14	Dfrct[15:8]				
PLL_LO_FRAC2	0x15	Dfrct[7:0]				
PLL_LO_MOD1	0x16	Mod[15:8]				
PLL_LO_MOD2	0x17	Mod[7:0]				

ФАПЧ гетеродина является петлей автоподстройки частоты с дробным коэффициентом деления выходной частоты. Формула выходной частоты приведена ниже:

$$F_{out} = \frac{F_{ref}}{DREF(3:0)} \cdot \left(INT(8:0) + \frac{FRAC(15:0)}{MOD(15:0)} \right)$$

Использование дробной (фрактальной) ФАПЧ позволяет получать малый шаг перестройки при относительно высокой полосе. Так, например, при опорной частоте 10 МГц и отключенном делителе или значении DREF[3:0]=1 и MOD[15:0]=65535 шаг перестройки будет составлять 152 Гц. При этом петля может иметь полосу 1/10 от частоты сравнения, в данном случае - 1 МГц.

Установка бита DRef_EN в состояние '1' позволяет использовать делитель опорной частоты, коэффициент деления которого задается битами Dref[3:0]. **При этом значение DREF[3:0] должно быть больше 2! Если нет необходимости делить опорную частоту – бит DRef_EN должен быть установлен в '0'.**

Значение INT[8:0] определяет целую часть коэффициента деления. **Минимальное значение INT[8:0] – 7, при значениях меньше 7 ФАПЧ обрабатывать, правильно не будет.** Также при значении FRAC/MOD >1 значение напряжения на выходе IOUT_L будет приближаться к U_{сс}, и петля ФАПЧ не будет обрабатывать изменение частоты.

Максимальное значение MOD[15:0] позволяет получить минимальный шаг перестройки, однако не позволяет точно установить выходную частоту на значения N*Fref/DREF[3:0]. Если это необходимо, возможно изменение значения MOD[15:0], позволяющее точно установить выходную частоту. Кроме того, использование фрактальной ФАПЧ приводит к появлению паразитных частот в фазовом спектре выходной частоты. Отношение FRAC/MOD определяет отстройку первого паразита и паразитов друг относительно друга. Изменение MOD позволяет изменить частоты паразитов в фазовом спектре сигнала.

Для устранения паразитных частот в дробный делитель выходной частоты введена возможность их «размытия». Установка в состояние '1' бита DITH «размывает» паразитные частоты фазового спектра в фазовый шум.

Для изменения параметров петли необходимо последовательно записать 6 регистров коэффициентов: INT, FRAC, MOD. **Если записать по SPI-интерфейсу неполный перечень этих регистров, не произойдет сбрасывание бита готовности ФАПЧ гетеродина.**

Регистр PLL_LO_CTRL регулирует параметры схемы накачки заряда: ток в состоянии перестройки, ток в установившемся состоянии и способ переключения между токами схемы накачки в установившемся состоянии и состоянии захвата.

Значение бита swl_EN определяет механизм управления током схемы накачки. Если бит swl_EN равен логическому '0' – током управляет автомат. При этом ток в состоянии перестройки определяется значением LOI[2:0] (880 мкА максимум, 110 мкА – минимум), а в установившемся состоянии – значением ICP[2:0] (90 мкА максимум, 10 мкА минимум). Если значение бита swl_EN равно логической '1' – ток, независимо от режима, определяет значение бита swl, при swl='1' ток определяется значением LOI[2:0], при swl='0' – значением ICP[2:0].

Ток накачки задается коэффициентами ICP, LOI и определяется по формулам:
 $I_{ср} = I_{ср\text{перестройка}} = 100 \text{ мкА} * (LOI + 1)$ – в состоянии перестройки частоты (LOI = 0...7);

$I_{ср} = I_{ср\text{захват}} = 10 \text{ мкА} * (ICP + 1)$ – в состоянии захвата частоты (ICP = 0...7).

Режимы работы схемы Charge Pump

sw_l_EN	sw_l	I _{ср}
0	x	Переключение с I _{ср} перестройка в I _{ср} захват осуществляет внутренний блок LD
1	0	I _{ср} = I _{ср} захват
1	1	I _{ср} = I _{ср} перестройка

Рекомендованные к использованию ГУНы – МАХ260х, МАХ2620.

На схеме включения фильтр рассчитан на ток в установившемся состоянии 30 мкА, полоса петли ФАПЧ – 10 кГц.

На рисунках 10 и 11 приведен фазовый шум на выходе синтезатора с включенным и выключенным размытием. Как видно из графиков, установка бита DITH в '1' помогает устранить внепетлевые паразитные частоты.

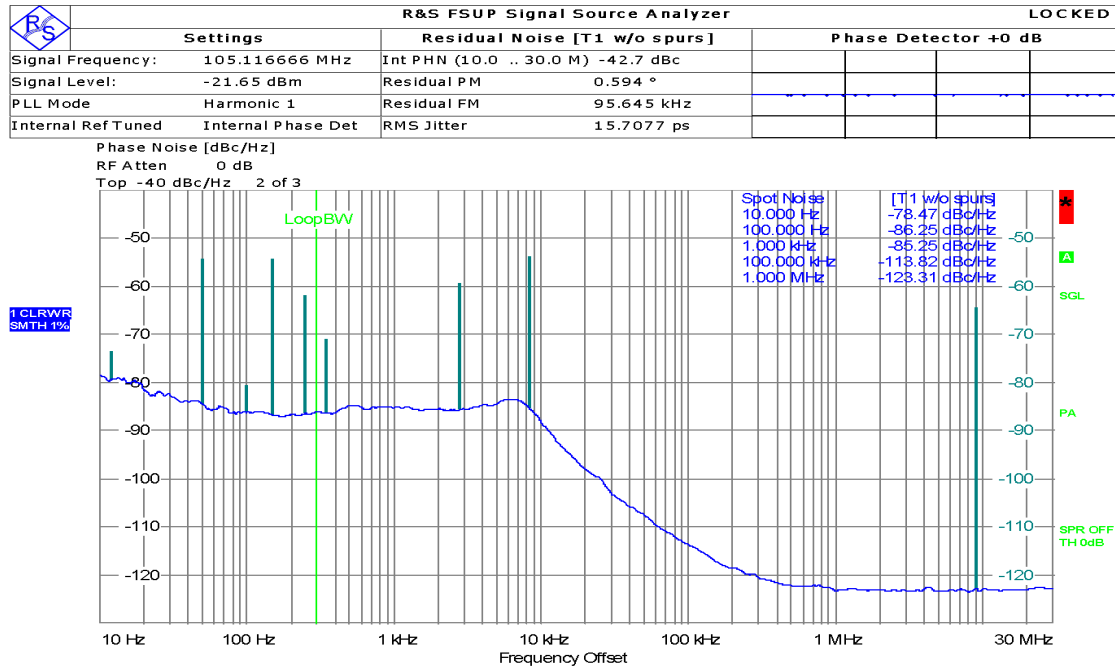


Рисунок 10 – Фазовый шум и помехи дробности. Dithering выключен.
MOD = 300, FRAC =7, Fpfd = 5 МГц, INT= 21

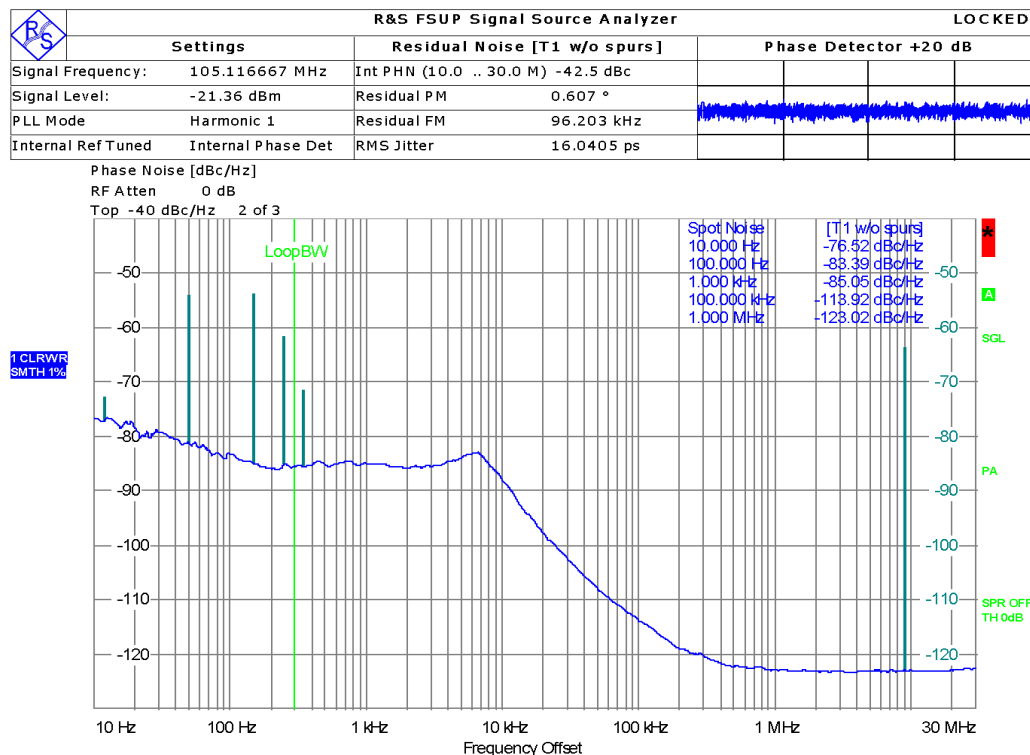


Рисунок 11 – Фазовый шум и помехи дробности. Dithering включен.
MOD = 300, FRAC =7, Fpfd = 5 МГц, INT= 21

4.10 ФАПЧ синтезатора тактовой частоты

На рисунке 12 приведены структура и включение ФАПЧ синтезатора в режиме работы с внутренним ГУН.

Для включения ФАПЧ в режиме с внутренним ГУН необходимо установить в состояние '1' следующие биты регистра PWR_CTRL2: VCO_EN, PLL_EN, SYNTH_EN, Fbuf_EN. Если необходимо использовать внешний ГУН (для уменьшения фазовых шумов), то бит VCO_EN должен быть установлен в состояние '0'. Если работа микросхемы будет производиться от внешней тактовой частоты, то биты VCO_EN, PLL_EN и Fbuf_EN должны быть установлены в состояние '0'.

Ниже представлены регистры, посредством которых производится управление петлей ФАПЧ синтезатора тактового сигнала.

Выходная частота определяется по формуле:

$$F_{out} = F_{ref} \cdot \frac{OUT_DIV(12:0)}{REF_DIV(13:0)}$$

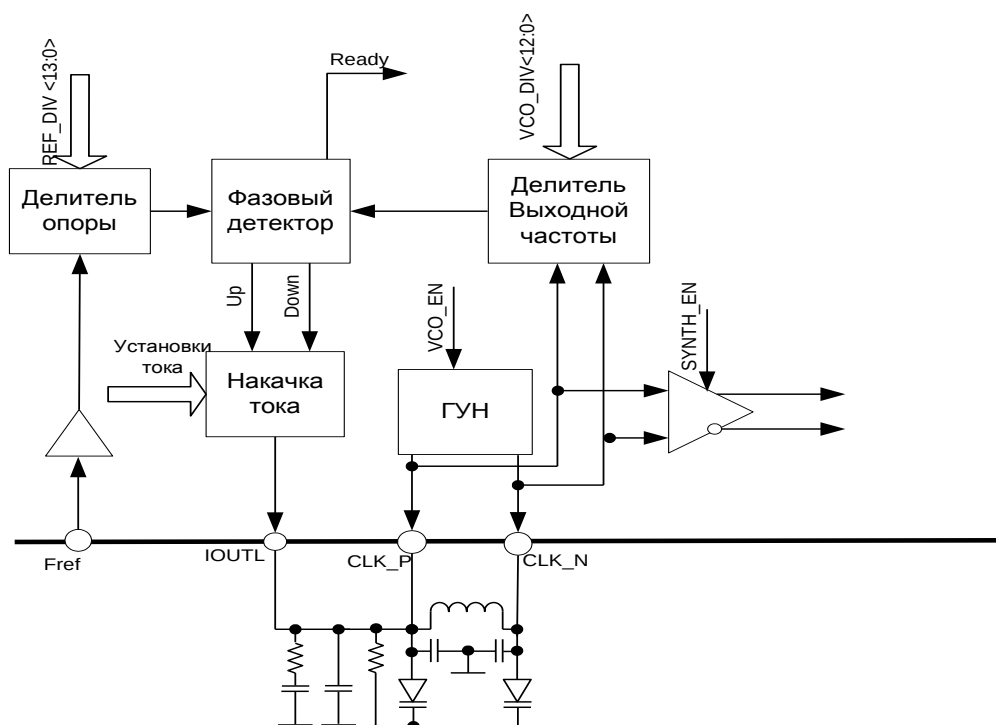


Рисунок 12 – Структура ФАПЧ синтезатора тактовой частоты

Имя	Адрес	7	6	5	4	3	2	1	0
PLL_CLK_REF1	0x18	-	-	REF_DIV[13:8]					
PLL_CLK_REF2	0x19	REF_DIV[7:0]							
PLL_CLK_VCO1	0x1a	-	-	-	VCO_DIV[12:8]				
PLL_CLK_VCO2	0x1b	VCO_DIV[7:0]							
PLL_CLK_CTRL1	0x1c	-						Auto1	Auto2
PLL_CLK_CTRL2	0x1d	-	-	I_CP[1:0]		IREF_CP[3:0]			

Для обновления выходной частоты ФАПЧ синтезатора необходимо записать друг за другом регистры PLL_CLK_REF1, PLL_CLK_REF2, PLL_CLK_VCO1, PLL_CLK_VCO2.

Регистры PLL_CLK_CTRL1 и PLL_CLK_CTRL2 управляют токами схемы накачки заряда в режиме перестройки и установившемся режиме, а также способом переключения тока при переходе ФАПЧ из одного режима в другой.

Значение IREF_CP[3:0] устанавливает величину опорного тока схемы накачки заряда согласно следующей таблице:

IREF_CP[3:0]	IrefCP, мкА
0000	11
0001	33
0010	55
0011	78
0100	78
0101	100
0110	122
0111	144
1000	167
1001	190
1010	212
1011	234
1100	234
1101	256
1110	279
1111	300

Значение I_CP[1:0] грубо задает величину тока, которая суммируется с током, задаваемым значением IREF_CP[3:0]. Таким образом, суммарный ток схемы накачки заряда будет равен IrefCP при I_CP=0, (IrefCP+150) мкА – при I_CP=1=2, и (IrefCP+300) мкА – при I_CP=3.

I_CP[1:0]	Суммарный ток CLK Charge Pump, мкА
00	IrefCP
01 10	IrefCP + 150
11	IrefCP + 300

Биты Auto1 и Auto2 управляют поведением тока схемы накачки заряда при переходе из режима перестройки в установившийся режим.

Если бит Auto1='0', то при переходе ФАПЧ в установившийся режим происходит сбрасывание коэффициента I_CP в 0. При Auto1='1' сбрасывания коэффициента I_CP в 0 не произойдёт после перехода в установившийся режим, ток останется прежним.

Если бит Auto2='0', то ток схемы накачки в установившемся режиме будет равен 11 мкА±10%. Если Auto2='1', то ток будет определяться значением IrefCP (IREF_CP[3:0]).

4.11 Мониторинг систем ФАПЧ

Отслеживание установки частот системами фазовой автоподстройки частоты (ФАПЧ) осуществляется в регистре 0x3E ANLG_STAT (регистр только на чтение).

Имя	Адрес	7	6	5	4	3	2	1	0
ANLG_STAT	0x3e	-	-	-	-	-	-	CLK_RDY	LO_RDY

Бит CLK_RDY устанавливается микросхемой 1321ХД1У в «1» после установки заданной частоты синтезатором CLK (отработки тактовой системы ФАПЧ). Аналогично, бит LO_RDY устанавливается в «1», когда устанавливается необходимая частота гетеродина LO.

4.12 Система АРУ

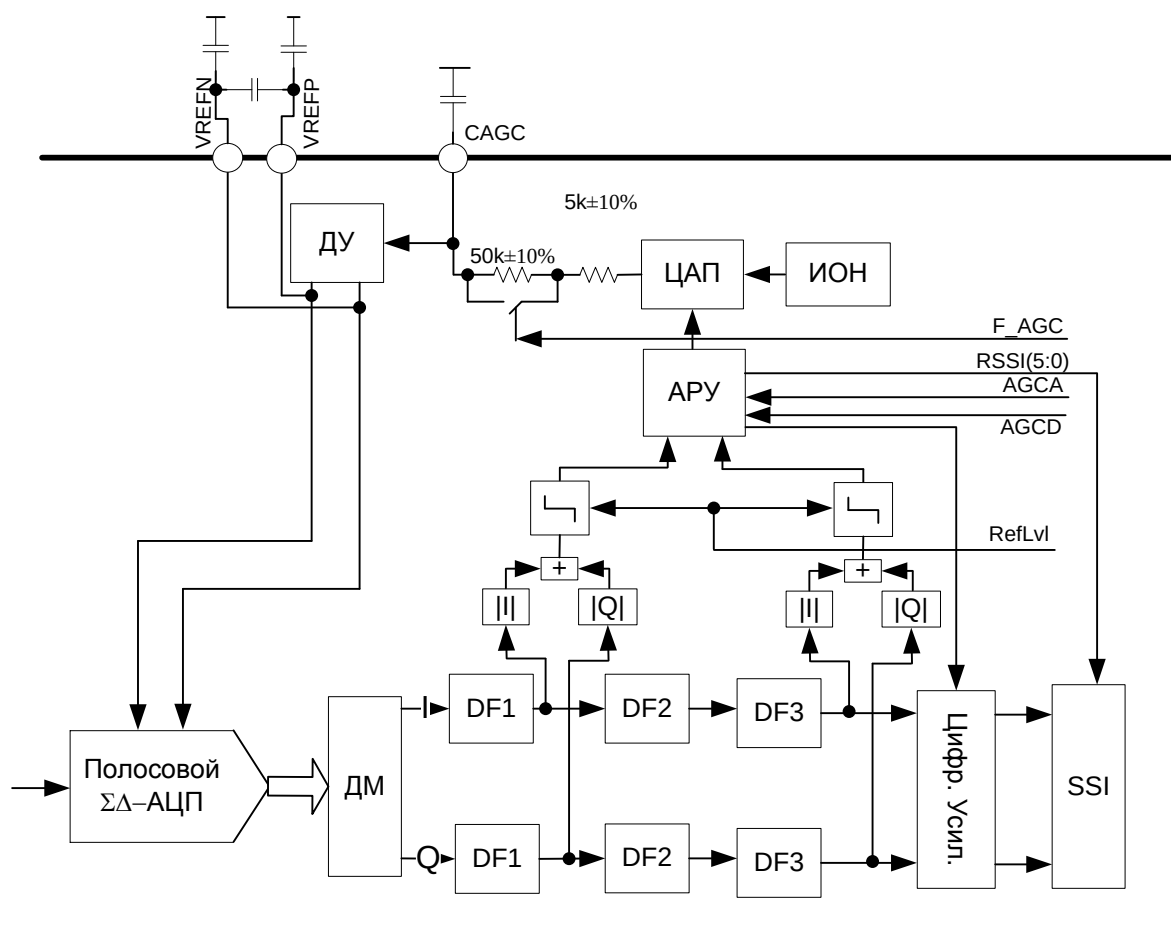


Рисунок 13 – Система АРУ

Для оценки мощности сигнала берутся абсолютные значения прямого и квадратурного канала с выхода первого и третьего децимирующих фильтров и сравниваются со значением опорного уровня. Обработка сигнала с выхода первого фильтра позволяет принимать во внимание амплитуду блокера, который отфильтруется на выходе третьего фильтра, однако будет вводить в насыщение полосовой Σ - Δ АЦП. Оценка мощности сигнала с выхода первого фильтра позволит АРУ вывести АЦП из насыщения, вызванного внеполосным блокером.

APY регулирует цифровое усиление в диапазоне 12 дБ и аналоговое ослабление в диапазоне 12 дБ.

Предусмотрено два режима системы APY:

- 1) Пассивный – производится цифровое усиление и оценивается мощность сигнала.
- 2) Активный – производится регулировка усиления системы блоком APY.

Для работы APY в пассивном режиме необходимо подать на блоки APY тактовую частоту. Для этого биты AGC_EN и DF_EN регистра PWR_CTRL2 (регистр 0x07) должны быть установлены в состояние '1'. Для перехода в активный режим необходимо установить в состояние '1' бит AGC_ON регистра AGC_CTRL1 (регистр 0x22).

Ниже приведены регистры, определяющие работу APY:

Имя	Адр	7	6	5	4	3	2	1	0
AGC_A_GAIN	0x20	AGAIN[7:0]							
AGC_D_GAIN	0x21	DGAIN[7:0]							
AGC_CTRL1	0x22	N_AGCF	SIZE24	AGC_ON	DGC_EN	-			
AGC_CTRL2	0x23	AGCA[3:0]				AGCD[3:0]			
AGC_REF	0x24	-					REFV2:0]		
HS_CTRL	0x25	-	-	HS_EN	HIST[4:0]				

Бит AGC_EN регистра при установке в "1" подключает подачу тактового сигнала на логические элементы системы APY, в которую так же входит механизм математического округления сигнала и цифрового усиления. Таким образом, при установке бита AGC_EN в "0" никакие другие настройки APY, кроме регистра AGC_A_GAIN, не работают и не имеют влияния на работу схемы.

Регулировка аналогового усиления (регистр 0x20 AGC_A_GAIN) доступна как в режиме AGC_EN="0", так и при AGC_EN="1". Однако, соответствие кода в данном регистре и значения усиления диаметрально противоположно в этих двух режимах.

AGC_EN="1". Значение "00" в регистре 0x20 означает минимальное усиление, код 192 – максимальное усиление (при этом коды выше 255 трактуются блоком APY как 192). Кроме того, коды зависят от значения бита HS в регистре 0x25 (HS_CTRL). При HS="1" максимальное усиление будет при коде 128.

AGC_EN="0". Тогда код "00" в регистре 0x20 значит максимальное усиление, код 255 – минимальное усиление. При этом код "00" приводит к неработоспособности схемы.

Бит AGC_EN был введен для уменьшения потребления цифровой схемы (по результатам измерений незначительное) и перехода в тестовый режим для прямого управления ЦАП аналоговой части APY.

Таким образом, во избежание некорректных режимов работы **необходимо всегда работать с битом AGC_EN = "1"**.

Бит AGC_ON влияет на систему APY только при бите AGC_EN="1".

Установленный в “1” бит AGC_ON разрешает работу системы АРУ. Усиления цифровое и аналоговое меняются автоматически системой АРУ в соответствии с установками скорости атаки/ослабления и уровнем сравнения.

При AGC_ON=“0” все биты регистра AGC_CTRL1 действуют, доступно ручное регулирование аналогового и цифрового усиления (перепрограммированием регистров). Бит AGC_EN регистра 0x07 должен быть установлен в “1”.

Регистр AGC_D_GAIN определяет коэффициент цифрового усиления: значение коэффициента усиления равно значению AGC_D_GAIN/4 (все значения AGC_D_GAIN<64 рассматриваются как 64).

Значение разрядов регистра AGC_CTRL1:

N_AGCF – установленный в состояние ‘0’ бит позволяет скачком изменить полосу системы АРУ. Полоса АРУ определяется, в том числе, постоянной времени RC-цепочки (С – внешний конденсатор, подключающийся к выводу CAGC), включенной между выходом ЦАП и входом дифференциального усилителя. Сопротивление определяется внутренними резисторами ИС. При N_AGCF=‘1’ сопротивление равно 55 кОм±15%, с установкой N_AGCF в состояние ‘0’ – закорачивается резистор 50 кОм и сопротивление R становится равным 5 кОм±10%, таким образом, полоса петли ФАПЧ скачком уменьшается.

На вход блока SSI интерфейса данные подаются 24-х битными. При этом при бите AGC_EN=“1” данные проходят через блок АРУ, и соответственно на них воздействует значение бита SIZE24 регистра 0x22 (AGC_CTRL1) и установки цифрового усиления.

Бит SIZE24 регистра 0x22 (AGC_CTRL1) при AGC_EN=1 определяет, как данные обрабатываются блоком АРУ в независимости от значения бита AGC_ON.

Если SIZE24=“1” и включено цифровое усиление (DGC_EN=“1”), то округление получившегося значения в блоке цифрового усиления происходит не отбрасыванием дробной части, а математическим правилом. Тогда даже при передаче 16 битных данных не будет потери точности при округлении, а также ухудшения соотношения сигнал/шум.

При установке SIZE24=“0”, младшие 8 бит данных, поступающих с фильтров-дециматоров, обнуляются в блоке АРУ, после этого данные подвергаются цифровому усилению, если оно разрешено, и передаются в блок SSI интерфейса. Режим SIZE24=“0” следует рассматривать как тестовый, **в рабочих режимах рекомендуется устанавливать SIZE24=“1”**. При бите SIZE24=“0”, даже при передаче по SSI 24-х битных данных чувствительность будет потеряна.

DGC_EN – включено цифровое усиление (возможность цифрового усиления в 4 раза, т.е. на 2 разряда).

AGC_ON – переключение блока АРУ в активное состояние.

В регистре AGC_CTRL2 определяются значения атаки (увеличения ослабления) AGCA[3:0] и спада (уменьшения ослабления) AGCD[3:0]. Скорость атаки определяется значением AGCA[3:0], а скорость спада - AGCA[3:0]- AGCD[3:0].

AGCA – скорость ослабления АРУ при возникновении на входе мощного сигнала, AGCD – время восстановления системы АРУ от минимума усиления до максимума после исчезновения на входе мощного сигнала (определяется как AGCA-AGCD), т.е. при AGCD=0 спад равен атаке.

В регистре AGC_REF указывается значение опорного уровня, с которым происходит сравнение оценочной мощности сигналов с первого и третьего фильтров. Допустимы следующие значения REFV[2:0]: 1, 2, 3, 4, 5.

Регистр 0x25 HS_CTRL устанавливает режим чувствительности микросхемы 1321ХД1У.

Режим HS (High Sensitivity) – высокая чувствительность – используется для получения низкого коэффициента шума.

В 1321ХД1 реализовано два режима увеличения чувствительности. HS_EN="1" – через усиление усилителя, HS_EN="0" – через опорное напряжение АЦП. Первый режим дает лучшие результаты по чувствительности (рекомендуется для применения).

Бит HS_EN="1" включает дополнительное усиление (если это необходимо по результатам АРУ или прописано в регистре AGAIN) в ПЧ усилителе. Полное усиление в ПЧ тракте формируется из усиления усилителя ПЧ и регулировки опорного напряжения АЦП. Есть момент (при рабочем АРУ), когда сбрасывается усиление усилителя и уменьшается одновременно опоры АЦП. Если амплитуда сигнала попадет в эту точку, начнутся возбуждения, для предотвращения этого вводится гистерезис, определяемый битами HIST[4:0]. Обычно небольшого значения порядка "10" достаточно (HIST[4:0] = "01010"), чтобы исключить возбуждения.

5 Предельно-допустимые характеристики микросхемы

Таблица 3 – Предельно-допустимые и предельные режимы эксплуатации микросхем

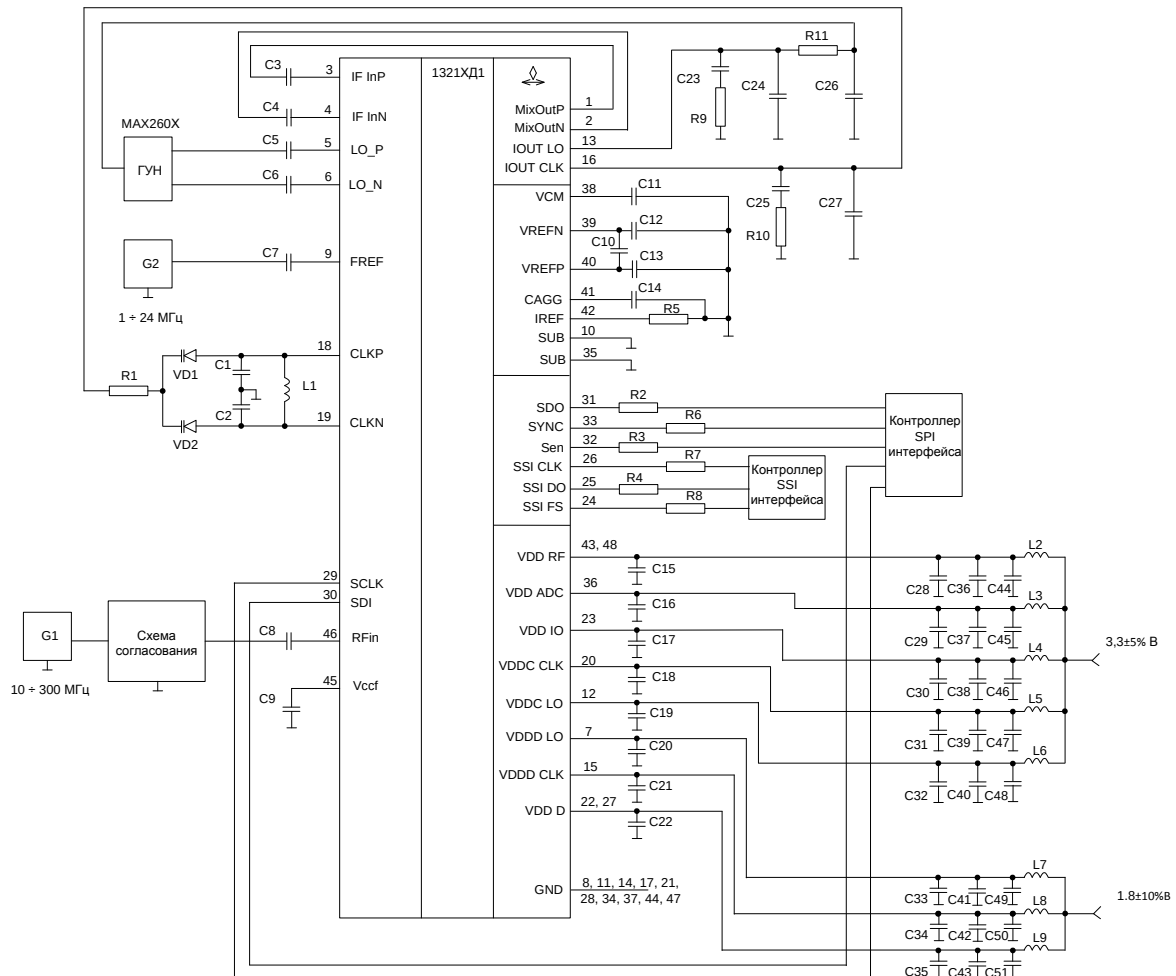
Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение источника питания, В, на выводах: 12, 20, 23, 36, 43, 48	U _{CC}	3,14	3,46	–	4,0
Напряжение источника питания, В, на выводах: 7, 15, 22, 27	U _{CC1}	1,62	1,98	–	2,5
Входное напряжение высокого уровня на цифровых входах, В	U _{IH}	0,8 • U _{CC}	U _{CC}	–	U _{CC} + 0,3
Входное напряжение низкого уровня на цифровых входах, В	U _{IL}	0	0,2 • U _{CC}	минус 0,3	–
Напряжение низкого уровня, прикладываемое к выходу в состоянии «выключено», В	U _{OLZ}	0	–	минус 0,3	–
Напряжение высокого уровня, прикладываемое к выходу в состоянии «выключено», В	U _{OZH}	–	U _{CC}	–	U _{CC} + 0,3
Амплитуда напряжения опорного сигнала, на выводе 9, В	U _{REF}	0,35	U _{CC}	–	–
Выходной ток, мА, на выводах: 24, 25, 26, 30, 31	I _{OH} I _{OL}	минус 2	2	минус 8	8
Частота опорного сигнала, МГц	f _{REF}	1	26	–	–
Скорость обмена информации по каналу SPI, Мбит/с	f _{DR_SPI}	–	1	–	–
Скорость обмена информации по каналу SSI, Мбит/с	f _{DR_SSI}	–	10	–	–
Частота следования импульсов тактовых сигналов АЦП, МГц	f _{C_ADC}	13	25	–	–
Частота гетеродина, МГц	f _{LO}	13	300	–	–
Диапазон радиочастоты, МГц	f _{RF}	10	300	–	–
Диапазон частот ПЧ канала, МГц	F _{IF}	1,625	3,125	–	–
Емкость нагрузки на цифровых выходах, пФ	C _L	–	10	–	–
Примечание – Не допускается одновременное задание двух и более предельных режимов.					

6 Электрические параметры микросхемы

Таблица 4 – Электрические параметры микросхемы при приёмке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное напряжение низкого уровня цифровых выходов, В, при: $I_{OL} = 2 \text{ мА}$	U_{OL}	–	$0,1 \cdot U_{CC}$	25, 85, минус 60
Выходное напряжение высокого уровня цифровых выходов, В, при: $I_{OH} = \text{минус } 2 \text{ мА}$	U_{OH}	$0,9 \cdot U_{CC}$	–	25, 85, минус 60
Динамический ток потребления, мА, при: $f_{RF} = 300 \text{ МГц}$, $f_{C_ADC} = 25 \text{ МГц}$	I_{OCC}	–	55	25, 85, минус 60
Статический ток потребления в состоянии «выключено», мкА	I_{CCZ}	–	10	25, 85, минус 60
Входной ток по цифровым входам, мкА	I_I	минус 1	1	25, 85, минус 60
РЧ канал				
Динамический диапазон по входной мощности, дБ	ΔP_{DIN_RF}	82	–	25, 85, минус 60
Коэффициент ослабления входного сигнала, дБ	K_{P_RF}	9	15	25, 85, минус 60
ПЧ канал				
Динамический диапазон по входной мощности, дБ	ΔP_{DIN_IF}	82	–	25, 85, минус 60
Коэффициент ослабления входного сигнала, дБ	K_{P_IF}	11	13	25, 85, минус 60

7 Схема включения с использованием внутренних ФАПЧ гетеродина и синтезатора тактовой частоты



C1...C51 – конденсаторы:

C1 = C2 = 47 пФ; C3 = C4 = 10 нФ; C5 = C6 = 1 нФ; C7 = 1 нФ; C8 = 10 нФ; C9 = 10 нФ; C10 = 2,2 нФ; C11 = 10 нФ; C12 = C13 = 2,2 нФ; C14 = 11 нФ; C15 – C22 = 100 пФ; C23 = 1 мкФ; C24 = 20 нФ; C25 = 820 нФ; C26 = 15 пФ; C27 = 1 нФ; C28 – C35 = 2,2 нФ; C36 – C43 = 0,1 мкФ; C44 – C51 = 1,0 мкФ;

L1...L9 – индуктивности:

L1 = 1,5 мкГн; L2 – L9 = 220 нГн;

R1...R11 – резисторы:

R1 = 1 кОм; R2 – R4 = 100 Ом; R5 = 100 кОм; R6 – R8 = 100 Ом; R9 = 500 Ом; R10 = 2,2 кОм; R11 = 1 кОм;

VD1, VD2 – диоды:

VD1 = VD2 = BBY57-05W.

Рисунок 14 – Схема включения с использованием внутренних ФАПЧ гетеродина и синтезатора тактовой частоты

8 Справочные данные

Таблица 5 – Справочные данные при T = 25 °C

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра	
		не менее	не более
Амплитуда дифференциального напряжения сигнала гетеродина на выводах 5, 6, В	U _{DLO}	0,2	U _{CC} /2
Амплитуда дифференциального напряжения тактового сигнала на выводах 18, 19, В	U _{DCLK}	0,2	U _{CC}
Коэффициент шума, дБ	F _N	–	16
Входной импеданс РЧ канала, Ом/пФ	R _{I_RF}	450/-	550/2
Интермодуляционные искажения (точка IIP3), дБм	A _D	минус 5	0
Разрешающая способность разрядов АЦП, бит	E _{N_ADC}	14	–
Полоса пропускания, кГц	BW	8	200
Входная мощность (максимальная), дБм	P _{IN}	минус 13	минус 15
Диапазон регулировки АРУ, дБ ²	K _A	24	–
Дискретность перестройки частоты гетеродина, кГц	f _{INT}	0,15	26000
Входное сопротивление по входам 5,6, кОм	R _{DLO}	65	95
Дифференциальное сопротивление между входами 1 и 2, кОм	R _{DIF}	1	4
Период тактовой частоты SPI, мкс	T _{CLK}	–	1
Время установления сигнала Sen перед фронтом SCLK, нс	t _s	15	–
Время установления сигнала SDI перед фронтом SCLK, нс	t _{DS}	10	–
Время удержания сигнала SDI после фронта SCLK, нс	t _{DH}	10	–
Время удержания сигнала Sen после фронта SCLK, нс	t _H	15	–

9 Зависимости

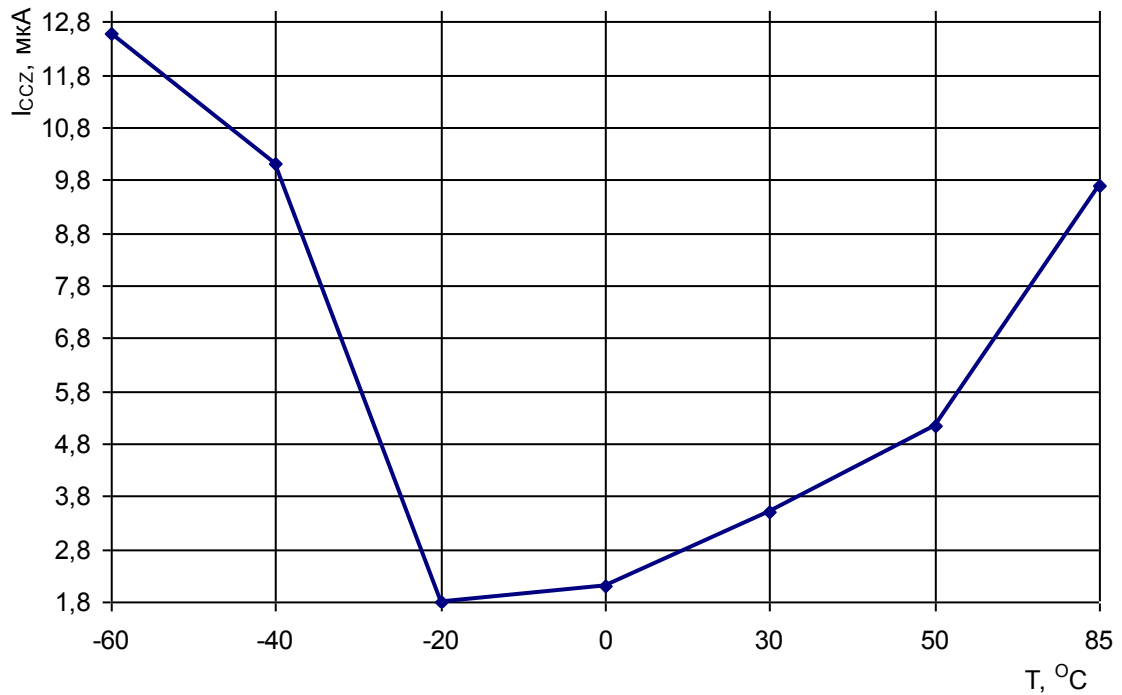


Рисунок 15 – Зависимость статического тока потребления в состоянии «выключено» от температуры, при: $U_{CC} = 3,6$ В, $U_{CC1} = 1,98$ В

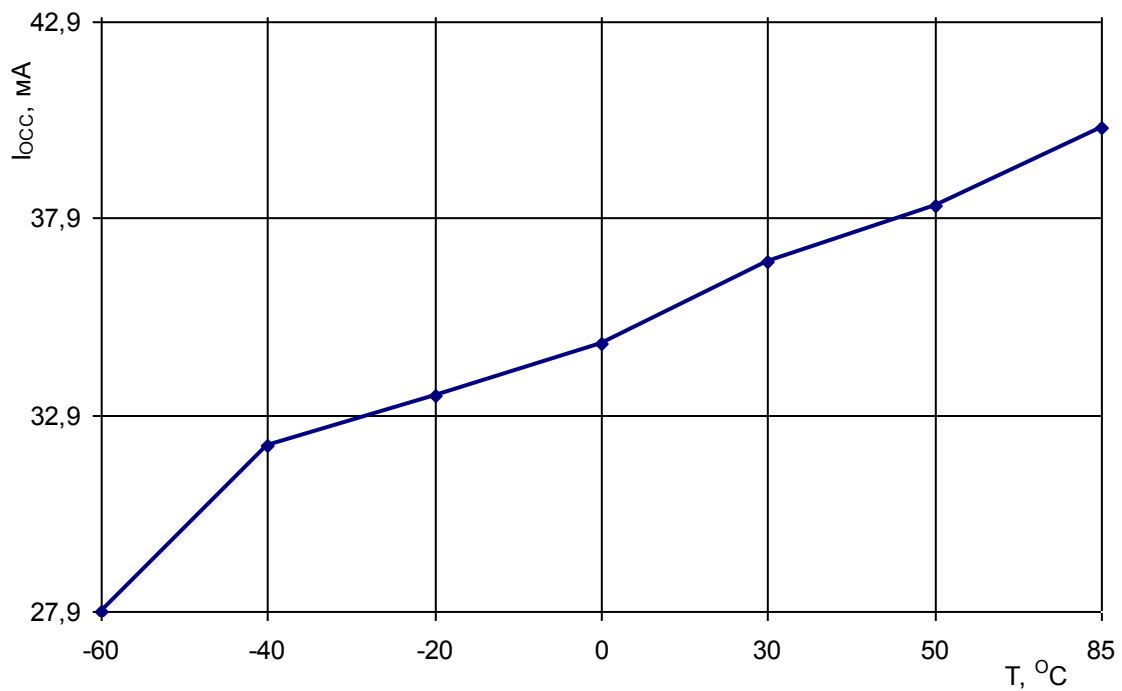


Рисунок 16 – Зависимость динамического тока потребления от температуры, при: $U_{CC} = 3,6$ В, $U_{CC1} = 1,98$ В, $f_{LO} = 300$ МГц, $f_{C_ADC} = 24$ МГц

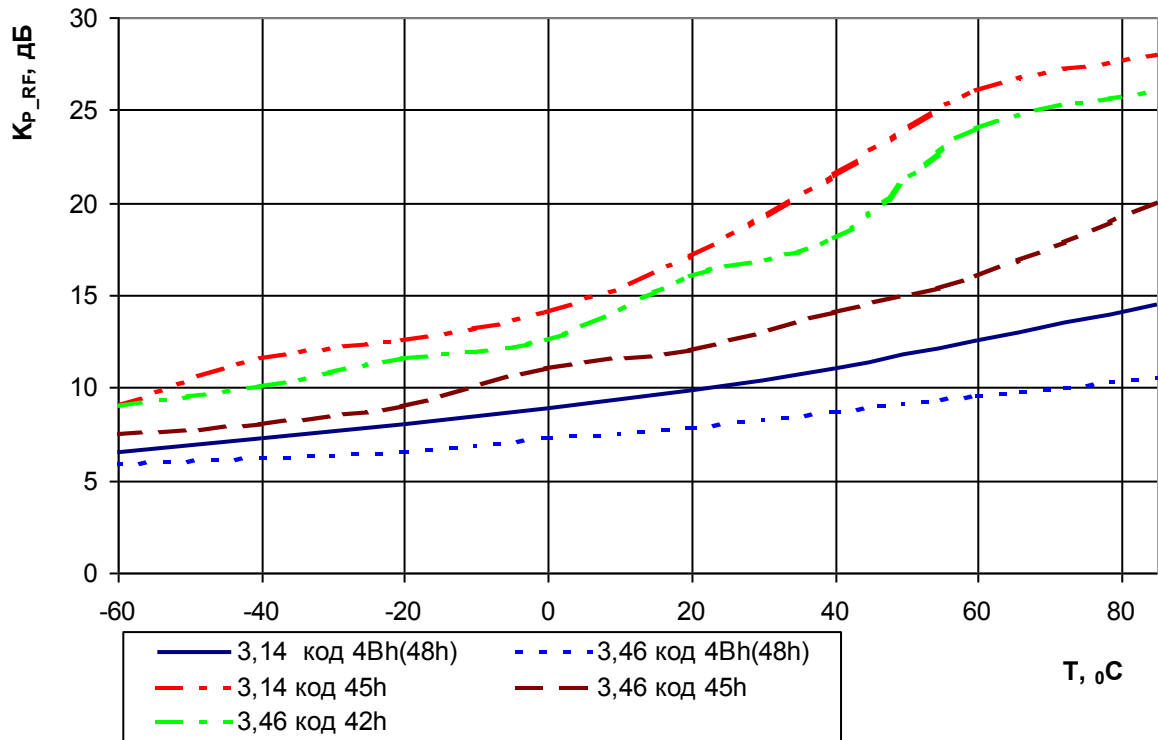


Рисунок 17 – Зависимость коэффициента ослабления входного сигнала от температуры, при: $U_{CC1} = 1,98 \text{ В}$, $f_{RF} = 300 \text{ МГц}$

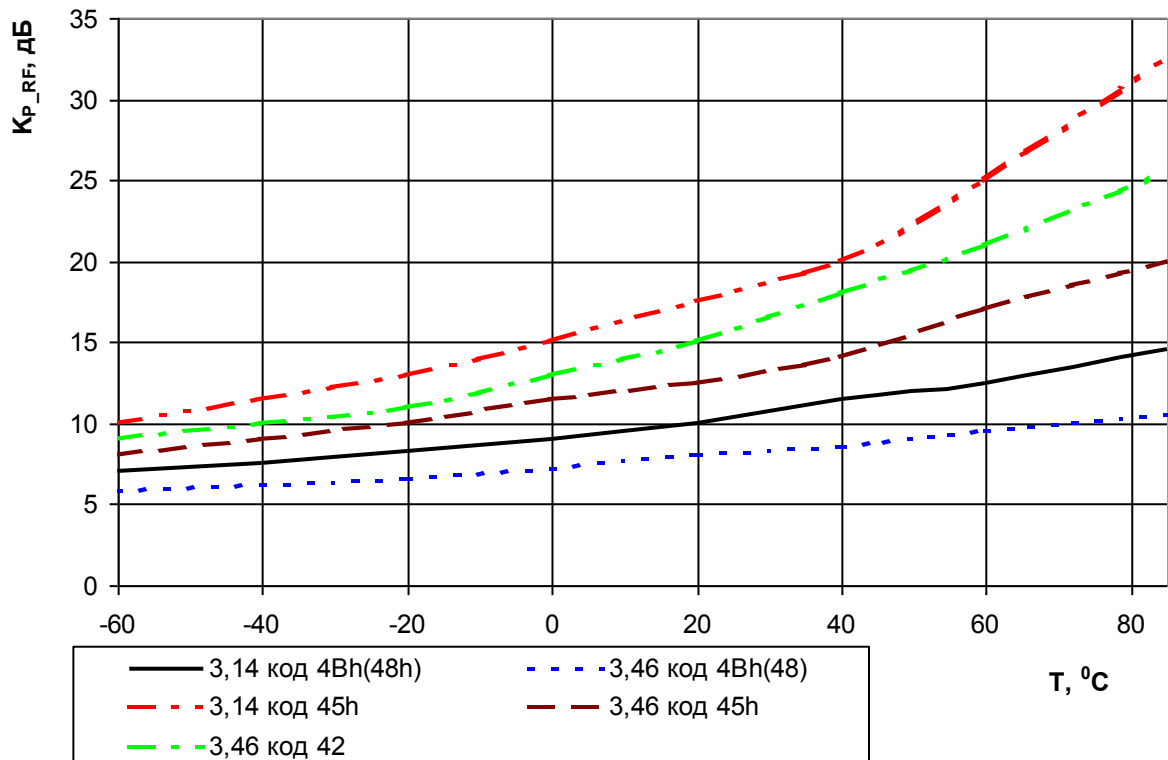


Рисунок 18 – Зависимость коэффициента ослабления входного сигнала от температуры, при: $U_{CC1} = 1,98 \text{ В}$, $f_{RF} = 10 \text{ МГц}$

11 Информация для заказа

Обозначение микросхемы	Маркировка	Тип корпуса	Температурный диапазон
1321ХД1У	1321ХД1У	5142.48-А	минус 60 – 85 °С
К1321ХД1У	К1321ХД1У	5142.48-А	минус 60 – 85 °С
К1321ХД1УК	К1321ХД1У●	5142.48-А	0 – 70 °С

Микросхемы с приемкой «ВП» маркируются ромбом.

Микросхемы с приемкой «ОТК» маркируются буквой «К».

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	30.03.2011	1.0	-	
2	19.05.2011	1.1	Уточнение формулировок	По тексту
3	05.07.2011	2.0	Уточнение по результатам сдачи ОКР	По тексту
4	05.12.2011	2.0.1	Редактирование текста	По тексту
5	28.02.2012	2.1.0	Документ заменен. Изменены УГО и параметры	-
6	04.04.2013	2.1.1	Редактирование текста	-
7	18.07.2014	2.2.1	Внесены дополнения и изменения конструктора. Добавлены перекрестные ссылки на рисунки и таблицы.	По тексту
8	19.01.2017	2.3.0	Исправлены назначения выводов 5 и 6 на схеме включения	29