

МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ
1867ВЦ4Т

Руководство пользователя №1
ОПИСАНИЕ АРХИТЕКТУРЫ

2006

Содержание

1	Характеристики процессора цифровой обработки сигналов 1867ВЦ4Т	4
2	Краткое описание ИМС 1867ВЦ4Т	5
3	Схема расположения выводов на корпусе ИМС 1867ВЦ4Т и контактных площадок на кристалле	6
4	Условное графическое обозначение микросхем	7
5	Назначение выводов микросхем	8
6	Описание сигналов ИМС 1867ВЦ4Т	13
7	Описание архитектуры ИМС 1867ВЦ4Т	20
7.1	Центральное процессорное устройство (CPU) ИМС 1867ВЦ4Т	21
7.2	Арифметико-логическое устройство (ALU) ИМС 1867ВЦ4Т	22
7.3	Аккумуляторы	22
7.4	Циклический сдвигатель	22
7.5	Умножитель/сумматор	22
7.6	Устройство сравнения, выборки и хранения (CSSU)	23
8	Программное управление ИМС 1867ВЦ4Т	23
9	Режимы пониженного энергопотребления ИМС 1867ВЦ4Т	23
10	Структура шин ИМС 1867ВЦ4Т	24
11	Память ИМС 1867ВЦ4Т	25
12	Внутрикристалльное ПЗУ (ROM)	25
13	Внутрикристалльное ОЗУ с двойным доступом (DARAM)	25
14	Защита встроенной памяти	26
15	Память программ	26
16	Карта адресов памяти программ	27
17	Память данных	27
18	Встроенные периферийные устройства	28
19	Программно-управляемый генератор состояний ожидания	28
20	Программируемый модуль переключения банков памяти	28
21	Параллельные порты ввода/вывода	29
22	Интерфейс host-порта (HPI)	29
23	Последовательные порты	30
24	Аппаратный таймер	31
25	Тактовый генератор	31
26	Регистры, картированные в памяти данных	32
26.1	Регистры состояния (ST0, ST1)	33
26.2	Аккумуляторы (AL, AH, AG, и BL, BH, BG)	34
26.3	Вспомогательные регистры (AR0–AR7)	34
26.4	Временный регистр (T)	34
26.5	Регистр перехода (TRN)	34
26.6	Регистр указателя стека (SP)	34
26.7	Регистр размера циклического буфера (BK)	34
26.8	Регистры организации циклов (BRC, RSA, REA)	35
26.9	Регистры организации прерываний (IMR, IFR)	35
26.10	Регистр режимов работы процессора (PMST)	35
27	Электрические характеристики и условия работы	35
27.1	Абсолютные максимальные значения напряжений и температуры	35
28	Измерение параметров	37
28.1	Символика временных параметров	37
29	Внутренний, деленный на два, тактовый генератор с внешним кварцевым резонатором	38
30	Внешний, деленный на два, тактовый генератор	39

31 Внешний, умноженный на N, тактовый генератор	40
32 Временные характеристики памяти и интерфейса параллельного ввода/вывода.....	42
33 Изменение временных параметров с емкостной нагрузкой: результат SPICE-моделирования.....	48
34 Временные характеристики чтения для внешних сгенерированных состояний ожидания.....	50
35 Временные характеристики HOLD# и HOLDA#.....	53
36 Временные характеристики сигналов сброса, ВЮ#, прерываний и МР/МС#	55
37 Временные характеристики сигналов выполнения команды (IAQ#), подтверждения прерывания (IACK#), внешний флаг (XF) и TOUT.....	57
38 Временные характеристики приема последовательного порта	59
39 Временные характеристики передачи последовательного порта.....	60
40 Временные характеристики приема буферизованного последовательного порта.....	62
41 Временные характеристики передачи буферизованного последовательного порта с внешней кадровой синхронизацией.....	64
42 Временные характеристики приема последовательного порта в TDM режиме.....	67
43 Временные характеристики передачи последовательного порта в TDM режиме	68
44 Временные характеристики интерфейса host-порта	70
45 Проработка вопросов отладки, отладочные средства для ИМС.....	74
45.1 Программные средства поддержки разработок, среда разработчика Code Composer Studio.....	74
45.2 Аппаратные средства поддержки разработок	75
46 Указания по применению и эксплуатации	76
47 Типовые характеристики электрических параметров.....	76
48 Расчетно-экспериментальное прогнозирование ИС, расчет прогнозируемой зависимости показателей надежности от температуры кристалла	85
49 Заключение.....	89
Лист регистрации изменений	90

1 Характеристики процессора цифровой обработки сигналов 1867ВЦ4Т

- 1 Улучшенная многшинная архитектура с тремя отдельными 16-битными шинами памяти данных и одной шиной памяти программ.
- 2 40-битное арифметико-логическое устройство (ALU), включающее 40-битный циклический сдвигатель и два независимых 40-битных аккумулятора.
- 3 17×17-битный параллельный умножитель, соединенный с 40-битным выделенным сумматором для неконвейеризованной одноцикловой операции умножения с накоплением (MAC).
- 4 Устройство сравнения, выборки и хранения (CSSU) для реализации операций сложения/сравнения алгоритма Виттерби.
- 5 Экспоненциальный кодировщик для вычисления значения экспоненты 40-битного аккумулятора в одном цикле.
- 6 Два генератора адреса с восемью вспомогательными регистрами и два арифметических устройства вспомогательных регистров (ARAU).
- 7 Шина данных с возможностью удержания состояния шины.
- 8 Максимальное доступное адресное пространство (192К×16) бит ((64К×16) бит программное, (64К×16) бит данных, (64К×16) бит пространства портов ввода/вывода).
- 9 Внутрикристалльное ПЗУ (ROM).
- 10 Внутрикристалльное ОЗУ двойного доступа (DARAM) (10К×16) бит.
- 11 Повтор одиночной инструкции и операции блочных повторов для программного кода.
- 12 Инструкции перемещения блоков памяти для улучшения управления памятью программ и данных.
- 13 Инструкции для работы с длинными (32-бита) операндами.
- 14 Инструкции с чтением двух или трех операндов.
- 15 Арифметические инструкции с параллельным сохранением и параллельной загрузкой.
- 16 Инструкции условного сохранения.
- 17 Быстрый возврат из прерываний.
- 18 Внутрикристалльное периферийное оборудование:
 - Программируемый генератор циклов ожидания и программируемый переключатель банков памяти.
 - Внутрикристалльный генератор тактовых импульсов с ФАПЧ и внутренним осциллятором или внешним источником тактовых импульсов (PLL).
 - Мультиплексированный последовательный порт с разделением по времени (TDM).
 - Буферизированный последовательный порт (BSP).
 - 8-битный параллельный host-порт интерфейс (HPI).
 - 16-битный таймер (TIM).
 - Внешнее управление выключением входов/выходов для запрещения внешних шин данных, адреса и управляющих сигналов.
- 19 Управление потребляемой мощностью с помощью инструкций IDLE1, IDLE2 и IDLE3 в режиме пониженного энергопотребления.
- 20 Управление отключением внешнего мастер-клока CLKOUT.
- 21 Внутрикристалльный эмулятор, реализующий стандарт IEEE Std 1149.1 (JTAG) и регистр граничного сканирования выводов (Boundary Scan Register).
- 22 Время выполнения одноцикловой инструкции с фиксированной запятой 25 нс (40 миллионов операций в секунду (MIPS)).

2 Краткое описание ИМС 1867ВЦ4Т

1867ВЦ4Т представляет собой цифровой сигнальный процессор с фиксированной запятой, в котором используется модифицированная Гарвардская архитектура, с одной шиной памяти программ и тремя шинами памяти данных. Процессор содержит арифметико-логическое устройство (ALU) с высокой степенью параллельности выполнения команд и аппаратно-ориентированной логикой, встроенную память и дополнительные периферийные устройства. 1867ВЦ4Т обеспечивает также набор высокоспециализированных инструкций, который является основой эксплуатационной гибкости и производительности этого устройства для решения задач цифровой обработки сигналов.

Разделение памяти программ и памяти данных позволяет производить одновременное обращение как к программному коду, так и к данным, обеспечивая тем самым высокую степень параллельности выполнения инструкций. Две операции чтения и одна операция записи могут быть выполнены в одном машинном цикле. Инструкции с параллельным сохранением и загрузкой и специализированные инструкции позволяют полностью использовать архитектуру устройства. Кроме того, данные могут быть перемещены между памятью программ и памятью данных. Такой параллелизм поддерживает мощный набор арифметики, логики, а также операции с отдельными битами, которые могут быть выполнены в одном машинном цикле. Дополнительно, 1867ВЦ4Т включает механизмы управления прерываниями, операции управления циклами и вызовами подпрограмм.

Таблица 1 показывает наиболее важные технические характеристики 1867ВЦ4Т, включая объем ОЗУ и ПЗУ, состав периферийных устройств, время выполнения машинного цикла, тип корпуса с полным числом контактов.

Таблица 1

Напряжение питания	5 В
Внутрикристальное ОЗУ (RAM)	10К
Внутрикристальное ПЗУ (ROM)	2К
Период тактового генератора	25 нс
Тип корпуса	4234.156-2
Последовательные порты	TDB, BSP
Таймер	1
Host-порт интерфейс	1

3 Схема расположения выводов на корпусе ИМС 1867ВЦ4Т и контактных площадок на кристалле

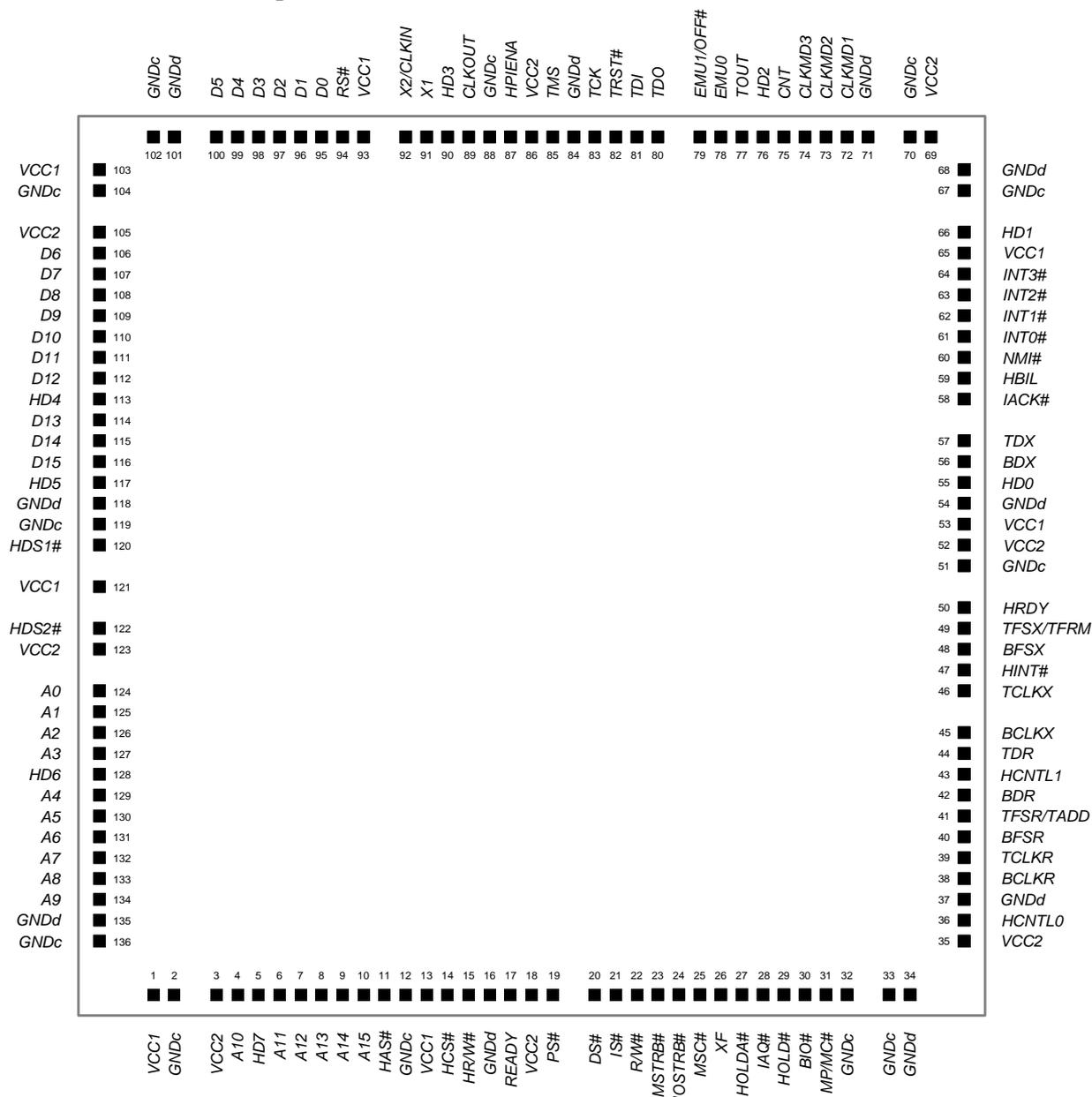


Рисунок 1 – Схема расположения выводов на корпусе ИМС 1867ВЦ4Т и контактных площадок на кристалле

3.1 Не задействованы выводы (NC): 2, 3, 12, 28, 38, 49, 51, 67, 75, 77, 80, 82, 90, 104, 116, 119, 122, 145, 147, 154.

3.2 В основании корпуса электрически соединены:

- одноименные выводы и контактные площадки;
- выводы 58, 117, 136, 156, ободок, монтажная площадка, теплорасиекатель электрически соединены между собой и образуют шину "Земля-1";
- выводы 19, 39, 78, 97 электрически соединены между собой и образуют шину "Земля-2";
- выводы 1, 60, 118, 138 электрически соединены между собой и образуют шину "Питание-1";
- выводы 21, 40, 79, 99 электрически соединены между собой и образуют шину "Питание-2".

4 Условное графическое обозначение микросхем

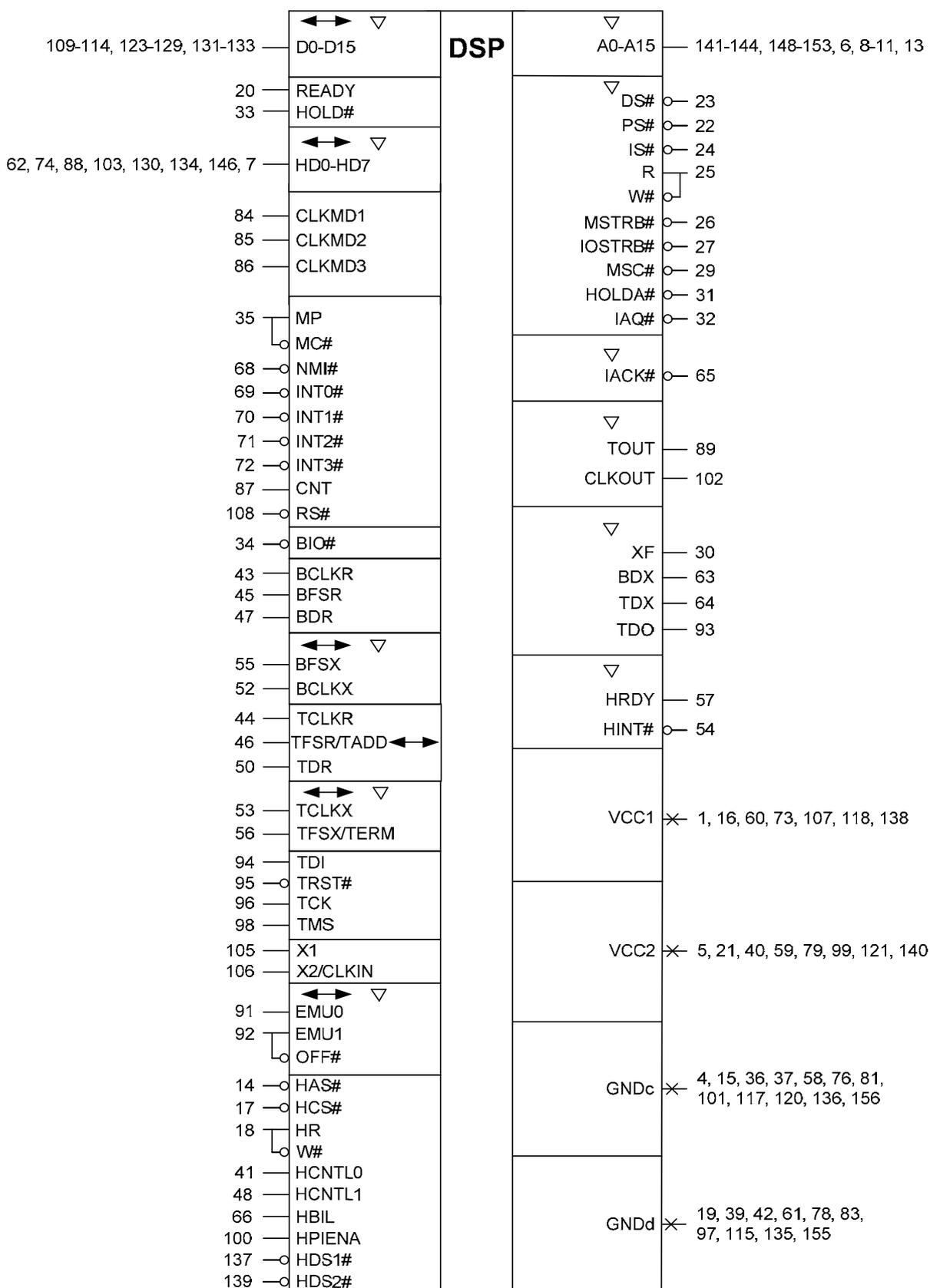


Рисунок 2 – Условное графическое обозначение ИМС 1867ВЦ4Т в корпусе 4234.156-2

5 Назначение выводов микросхем

Таблица 2

Обозначение вывода на УГО	Тип вывода ИС	Номер вывода корпуса	Функциональное назначение вывода
VCC1	-	1	Вывод питания ядра процессора
NC	-	2	Не задействован
NC	-	3	Не задействован
GNDc	-	4	Общий вывод ядра процессора
VCC2	-	5	Вывод питания буферов ввода/вывода
A10	O/Z	6	Вывод 10 разряда шины адреса
HD7	I/O/Z	7	Вывод 7 разряда двунаправленной шины данных параллельного порта (HPI)
A11	O/Z	8	Вывод 11 разряда шины адреса
A12	O/Z	9	Вывод 12 разряда шины адреса
A13	O/Z	10	Вывод 13 разряда шины адреса
A14	O/Z	11	Вывод 14 разряда шины адреса
NC	-	12	Не задействован
A15	O/Z	13	Вывод 15 разряда шины адреса
HAS#	I	14	Вывод стробирования адреса параллельного порта (HPI)
GNDc	-	15	Общий вывод ядра процессора
VCC1	-	16	Вывод питания ядра процессора
HCS#	I	17	Вывод выбора блока параллельного порта (HPI)
HR/W#	I	18	Вывод сигнала чтение/запись параллельного порта (HPI)
GNDd	-	19	Общий вывод буферов ввода/вывода
READY	I	20	Вывод сигнала готовности внешнего устройства к обмену данными в пространстве адресов ввода/вывода процессора
VCC2	-	21	Вывод питания буферов ввода/вывода
PS#	O/Z	22	Вывод сигнала выбора внешней памяти команд
DS#	O/Z	23	Вывод сигнала выбора внешней памяти данных
IS#	O/Z	24	Вывод сигнала выбора данных в пространстве внешних адресов ввода/вывода
R/W#	O/Z	25	Вывод сигнала чтение/запись по шине данных
MSTRB#	O/Z	26	Вывод сигнала стробирования внешней памяти
IOSTRB#	O/Z	27	Вывод сигнала стробирования в пространстве адресов ввода/вывода
NC	-	28	Не задействован
MSC#	O/Z	29	Вывод сигнала завершения режима ожидания в режиме микрокомпьютера
XF	O/Z	30	Вывод программно управляемого флага
HOLDA#	O/Z	31	Вывод сигнала подтверждения запроса прямого доступа к внешней памяти и к пространству ввода/вывода. Переводит шины адреса, данных и сигналы управления памятью в третье состояние
IAQ#	O/Z	32	Вывод сигнала "адрес инструкции на шине адреса"

Продолжение таблицы 2

Обозначение вывода на УГО	Тип вывода ИС	Номер вывода корпуса	Функциональное назначение вывода
HOLD#	I	33	Вывод запроса прямого доступа к внешней памяти и к пространству адресов ввода/вывода
BIO#	I	34	Вывод управления условным переходом в программе
MP/MC#	I	35	Вывод выбора режима "микропроцессор/микрокомпьютер"
GNDc	-	36	Общий вывод ядра процессора
GNDc	-	37	Общий вывод ядра процессора
NC	-	38	Не задействован
GNDd	-	39	Общий вывод буферов ввода/вывода
VCC2	-	40	Вывод питания буферов ввода/вывода
HCNTL0	I	41	Вывод сигнала 0 управления доступом к регистрам параллельного порта (HPI)
GNDd	-	42	Общий вывод буферов ввода/вывода
BCLKR	I	43	Вывод сигнала тактирования данных, принимаемых по выводу BDR буферизированного последовательного порта (BSP)
TCLKR	I	44	Вывод сигнала тактирования приема данных, принимаемых по выводу TDR последовательного порта с временным разделением (TDM)
BFSR	I	45	Вывод кадрового синхроимпульса приема данных, принимаемых по выводу BDR буферизированного последовательного порта (BSP)
TFSR/TADD	I/O	46	Вывод кадрового синхроимпульса приема данных/ TDM адреса, принимаемых по выводу BDR последовательного порта с временным разделением (TDM)
BDR	I	47	Вывод приема данных буферизированного последовательного порта (BSP)
HCNTL1	I	48	Вывод сигнала 1 управления доступом к регистрам параллельного порта (HPI)
NC	-	49	Не задействован
TDR	I	50	Вывод приема данных последовательного порта с временным разделением (TDM)
NC	-	51	Не задействован
BCLKX	I/O/Z	52	Вывод сигнала тактирования передаваемых данных на выводе BDX буферизированного последовательного порта (BSP)
TCLKX	I/O/Z	53	Вывод сигнала тактирования передаваемых данных на выводе TDX последовательного порта с временным разделением (TDM)
HINT#	O/Z	54	Вывод сигнала прерывания от параллельного порта (HPI)
BFSX	I/O/Z	55	Вывод кадровых синхроимпульсов передаваемых данных на выводе BDX буферизированного последовательного порта (BSP)

Продолжение таблицы 2

Обозначение вывода на УГО	Тип вывода ИС	Номер вывода корпуса	Функциональное назначение вывода
TFSX/TFRM	I/O/Z	56	Вывод кадровых синхроимпульсов передаваемых данных на выводе TDХ последовательного порта с временным разделением (TDM)
HRDY	O/Z	57	Вывод сигнала готовности параллельного порта (HPI)
GNDc	-	58	Общий вывод ядра процессора
VCC2	-	59	Вывод питания буферов ввода/вывода
VCC1	-	60	Вывод питания ядра процессора
GNDd	-	61	Общий вывод буферов ввода/вывода
HD0	I/O/Z	62	Вывод 0 разряда двунаправленной шины данных параллельного порта (HPI)
BDX	O/Z	63	Вывод передаваемых данных буферизированного последовательного порта (BSP)
TDХ	O/Z	64	Вывод передаваемых данных последовательного порта с временным разделением (TDM)
IACK#	O/Z	65	Вывод сигнала подтверждения внешнего прерывания
HBIL	I	66	Вывод идентификации принимаемых байтов по параллельному порту (HPI)
NC	-	67	Не задействован
NMI#	I	68	Вывод немаскируемого внешнего прерывания
INT0#	I	69	Вывод маскируемого внешнего прерывания 0
INT1#	I	70	Вывод маскируемого внешнего прерывания 1
INT2#	I	71	Вывод маскируемого внешнего прерывания 2
INT3#	I	72	Вывод маскируемого внешнего прерывания 3
VCC1	-	73	Вывод питания ядра процессора
HD1	I/O/Z	74	Вывод 1 разряда двунаправленной шины данных параллельного порта (HPI)
NC	-	75	Не задействован
GNDc	-	76	Общий вывод ядра процессора
NC	-	77	Не задействован
GNDd	-	78	Общий вывод буферов ввода/вывода
VCC2	-	79	Вывод питания буферов ввода/вывода
NC	-	80	Не задействован
GNDc	-	81	Общий вывод ядра процессора
NC	-	82	Не задействован
GNDd	-	83	Общий вывод буферов ввода/вывода
CLKMD1	I	84	Вывод сигнала 1 выбора режима тактирования процессора
CLKMD2	I	85	Вывод сигнала 2 выбора режима тактирования процессора
CLKMD3	I	86	Вывод сигнала 3 выбора режима тактирования процессора
CNT	I	87	Вывод сигнала выбора уровня совместимости входов/выходов ТТЛ и КМОП-логики

Продолжение таблицы 2

Обозначение вывода на УГО	Тип вывода ИС	Номер вывода корпуса	Функциональное назначение вывода
HD2	I/O/Z	88	Вывод 2 разряда двунаправленной шины данных параллельного порта (HPI)
TOUT	O/Z	89	Вывод сигнала таймера
NC	-	90	Не задействован
EMU0	I/O/Z	91	Вывод сигнала 0 прерывания эмулятора
EMU1/OFF#	I/O/Z	92	Вывод сигнала 1 прерывания эмулятора/ переводит выходные буферы выводов в третье состояние
TDO	O/Z	93	Вывод выходных данных из тестового порта (стандарт IEEE1149.1)
TDI	I	94	Вывод входных данных в тестовый порт (стандарт IEEE1149.1)
TRST#	I	95	Вывод сигнала сброса тестового режима (стандарт IEEE1149.1)
TCK	I	96	Вывод сигнала тактирования тестового порта (стандарт IEEE1149.1)
GNDd	-	97	Общий вывод буферов ввода/вывода
TMS	I	98	Вывод сигнала выбора состояния тестового порта (стандарт IEEE1149.1)
VCC2	-	99	Вывод питания буферов ввода/вывода
HPIENA	I	100	Вывод разрешения выбора параллельного порта (HPI)
GNDc	-	101	Общий вывод ядра процессора
CLKOUT	O/Z	102	Вывод сигнала машинного цикла CPU
HD3	I/O/Z	103	Вывод 3 разряда двунаправленной шины данных параллельного порта (HPI)
NC	-	104	Не задействован
X1	-	105	Вывод для подключения кварцевого резонатора
X2/ CLKIN	- I	106	Вывод для подключения кварцевого резонатора/ вход тактового сигнала
VCC1	-	107	Вывод питания ядра процессора
RS#	I	108	Вывод сигнала общего сброса
D0	I/O/Z	109	Вывод 0 разряда шины данных
D1	I/O/Z	110	Вывод 1 разряда шины данных
D2	I/O/Z	111	Вывод 2 разряда шины данных
D3	I/O/Z	112	Вывод 3 разряда шины данных
D4	I/O/Z	113	Вывод 4 разряда шины данных
D5	I/O/Z	114	Вывод 5 разряда шины данных
GNDd	-	115	Общий вывод буферов ввода/вывода
NC	-	116	Не задействован
GNDc	-	117	Общий вывод ядра процессора
VCC1	-	118	Вывод питания ядра процессора
NC	-	119	Не задействован
GNDc	-	120	Общий вывод ядра процессора

Окончание таблицы 2

Обозначение вывода на УГО	Тип вывода ИС	Номер вывода корпуса	Функциональное назначение вывода
VCC2	-	121	Вывод питания буферов ввода/вывода
NC	-	122	Не задействован
D6	I/O/Z	123	Вывод 6 разряда шины данных
D7	I/O/Z	124	Вывод 7 разряда шины данных
D8	I/O/Z	125	Вывод 8 разряда шины данных
D9	I/O/Z	126	Вывод 9 разряда шины данных
D10	I/O/Z	127	Вывод 10 разряда шины данных
D11	I/O/Z	128	Вывод 11 разряда шины данных
D12	I/O/Z	129	Вывод 12 разряда шины данных
HD4	I/O/Z	130	Вывод 4 разряда двунаправленной шины данных параллельного порта (HPI)
D13	I/O/Z	131	Вывод 13 разряда шины данных
D14	I/O/Z	132	Вывод 14 разряда шины данных
D15	I/O/Z	133	Вывод 15 разряда шины данных
HD5	I/O/Z	134	Вывод 5 разряда двунаправленной шины данных параллельного порта (HPI)
GNDd	-	135	Общий вывод буферов ввода/вывода
GNDc	-	136	Общий вывод ядра процессора
HDS1#	I	137	Вывод сигнала 1 стробирования данных параллельного порта (HPI)
VCC1	-	138	Вывод питания ядра процессора
HDS2#	I	139	Вывод сигнала 2 стробирования данных параллельного порта (HPI)
VCC2	-	140	Вывод питания буферов ввода/вывода
A0	O/Z	141	Вывод 0 разряда шины адреса
A1	O/Z	142	Вывод 1 разряда шины адреса
A2	O/Z	143	Вывод 2 разряда шины адреса
A3	O/Z	144	Вывод 3 разряда шины адреса
NC	-	145	Не задействован
HD6	I/O/Z	146	Вывод 6 разряда двунаправленной шины данных параллельного порта (HPI)
NC	-	147	Не задействован
A4	O/Z	148	Вывод 4 разряда шины адреса
A5	O/Z	149	Вывод 5 разряда шины адреса
A6	O/Z	150	Вывод 6 разряда шины адреса
A7	O/Z	151	Вывод 7 разряда шины адреса
A8	O/Z	152	Вывод 8 разряда шины адреса
A9	O/Z	153	Вывод 9 разряда шины адреса
NC	-	154	Не задействован
GNDd	-	155	Общий вывод буферов ввода/вывода
GNDc	-	156	Общий вывод ядра процессора
Примечание – В графе "Тип вывода": I – вход, O – выход, I/O – вход/выход, O/Z - выход/третье состояние, I/O/Z – вход/выход/третье состояние.			

6 Описание сигналов ИМС 1867ВЦ4Т

Таблица 3

Обозначение вывода	Тип вывода	Описание
Информационные сигналы		
A15 (MSB)	O/Z	Параллельная шина адреса с A15 [старший разряд (MSB)] по A0 [младший разряд (LSB)]. A15-A0 мультиплексируются для адресации внешней памяти данных/программ или ввода/вывода (I/O). A15-A0 устанавливаются в высокоимпедансное состояние в режиме удержания (hold mode) или когда уровень EMU1/OFF# в низком состоянии
A14		
A13		
A12		
A11		
A10		
A9		
A8		
A7		
A6		
A5		
A4		
A3		
A2		
A1		
A0 (LSB)		
D15 (MSB)	I/O/Z	Параллельная шина данных с D15 (MSB) по D0 (LSB). D15-D0 мультиплексируются для обмена данными между ядром процессора 1867ВЦ4Т и внешней памятью данных/программ или устройствами ввода/вывода (I/O). D15-D0 устанавливаются в третье состояние в том случае, если они не находятся в состоянии выхода или процессор находится в состоянии HOLD#, когда произведен сброс (RS#) или когда уровень сигнала EMU1/OFF# низкий. Шина данных имеет свойство защелкивания и удержания (bus holder), которое устраняет пассивные компоненты и дополнительное рассеивание мощности, связанное с ними. При активизации этого свойства на выводах D15-D0 удерживается предыдущее логическое состояние, когда шина переходит в высокоимпедансное состояние
D14		
D13		
D12		
D11		
D10		
D9		
D8		
D7		
D6		
D5		
D4		
D3		
D2		
D1		
D0 (LSB)		
Сигналы инициализации, прерываний и начального сброса		
IACK#	O/Z	Сигнал подтверждения внешнего прерывания. IACK# подтверждает получение прерывания и загрузку счетчика команд адресом вектора прерывания, который при низком уровне этого сигнала параллельно выдается на A15-A0. IACK# также переходит в высокоимпедансное состояние, когда EMU/OFF# в низком уровне

Продолжение таблицы 3

Обозначение вывода	Тип вывода	Описание
INT0# INT1# INT2# INT3#	I	Входы внешних пользовательских прерываний. INT0#-INT3# имеют приоритет и могут маскироваться регистром маски прерывания и битом режима прерываний. INT0#-INT3# фиксируются в регистре флага прерываний и могут быть деактивированы сбросом этого регистра (общим или побитным)
NMI#	I	Немаскируемое прерывание. NMI# – внешнее прерывание, которое не может быть маскировано установкой бита INTM или с помощью IMR. Когда NMI# активирован, процессор обрабатывает переход по адресу соответствующего вектора прерывания
RS#	I	Вход сброса. Появление сигнала RS# вызывает останов работы процессора и переход счетчика программ на адрес FF80h. Когда RS# переходит на высокий уровень, выполнение программы начинается с адреса FF80h памяти программ. Сигнал RS# влияет на многие регистры и биты состояния
MP/MC#	I	Сигнал выбора режима "микропроцессор/микроконтроллер". Если MP/MC# в низком уровне, выбирается внутренняя память программ. В микропроцессорном режиме выбирается внешняя память программ
CNT	I	Выбор уровня сигналов ввода/вывода. Для 5-вольтового режима (на CNT низкий уровень) все уровни напряжений входов и выходов TTL-совместимы. Для 3-вольтового режима (на CNT высокий уровень) – КМОП-совместимы
Мультипроцессорные сигналы		
BIO#	I	Вход управления инструкцией перехода. Переход может быть выполнен по условию, когда сигнал BIO# активен. При низком уровне BIO# процессор выполняет условные инструкции. BIO# – условие выбирается во время фазы декодирования конвейера для инструкции XC; остальные инструкции опрашивают BIO# в течение фазы чтения конвейера
XF	O/Z	Выход внешнего флага общего назначения (программно устанавливаемый сигнал). XF устанавливается в высокий уровень инструкцией SSBX XF, низкий уровень – инструкцией RSBX XF или загрузкой в соответствующий бит регистра состояний ST1. XF используется для сигнализации другим процессорам в многопроцессорной конфигурации или как выходной контакт общего назначения. XF переходит в высокоимпедансное состояние, когда сигнал OFF# в низком уровне и устанавливается в высокое состояние при сбросе
Сигналы управления памятью		
DS# PS# IS#	O/Z	Сигналы выбора области данных, программ и ввода/вывода. На DS#, PS#, IS# всегда высокий уровень, кроме случаев выставления низкого уровня для доступа к соответствующим внешним областям памяти. Устанавливаются в третье состояние в режиме удержания. Эти сигналы переходят в высокоимпедансное состояние, когда на EMU1/OFF# низкий уровень

Продолжение таблицы 3

Обозначение вывода	Тип вывода	Описание
MSTRB#	O/Z	Сигнал стробирования памяти. MSTRB# всегда в высоком уровне. Низкий уровень указывает на то, что происходит обращение по внешней шине к памяти программ или данных. Устанавливается в третье состояние в режиме удержания. MSTRB# переходит в высокоимпедансное состояние, когда на OFF# низкий уровень
READY	I	Сигнал готовности данных. READY указывает на то, что внешнее устройство готово для шинного обмена данными. Если устройство не готово (низкий уровень READY), процессор ждет один цикл и вновь проверяет READY. Процессор производит обнаружение готовности только в случае, если запрограммировано не меньше двух циклов ожидания. Сигнал READY не опрашивается до окончания программных циклов ожидания
R/W#	O/Z	Сигнал чтения/записи. R/W# отображает направление передачи данных в период обмена с внешним устройством и обычно находится в режиме чтения (высокий уровень), за исключением тех случаев, когда процессор выполняет операцию записи (низкий уровень). Устанавливается в высокоимпедансное состояние в режиме удержания или когда на EMU1/OFF# низкий уровень
IOSTRB#	O/Z	Сигнал стробирования портов ввода/вывода. IOSTRB# всегда в высоком состоянии за исключением установления низкого уровня для индикации доступа к устройству ввода/вывода по внешней шине. Сигнал устанавливается в высокоимпедансное состояние в режиме удержания или когда на EMU1/OFF# низкий уровень
HOLD#	I	Вход сигнала состояния удержания. HOLD# предназначен для запроса управления адресными и управляющими шинами и шинами данных. Когда процессор получает подтверждение, эти линии переходят в высокоимпедансное состояние
HOLDA#	O/Z	Сигнал подтверждения состояния удержания. HOLDA# указывает внешним устройствам, что процессор находится в состоянии ожидания (hold), и что адресные и управляющие шины и шины данных находятся в высокоимпедансном состоянии и, следовательно, могут быть доступны для внешней схемы. Сигнал HOLDA# находится в высокоимпедансном состоянии, когда уровень EMU1/OFF# низкий
MSC#	O/Z	Сигнал завершения микросостояния. Уровень MSC# переходит в низкое состояние, когда последнее из двух или более внутренних программных состояний ожидания выполнено. При подключении к линии READY MSC# вызывает один внешний цикл состояния ожидания после того, как выполнится последний внутренний цикл ожидания. Сигнал MSC# переходит в высокоимпедансное состояние, когда уровень EMU1/OFF# низкий

Продолжение таблицы 3

Обозначение вывода	Тип вывода	Описание
IAQ#	O/Z	Сигнал строба выполнения инструкции. Низкий уровень IAQ# устанавливается тогда, когда адрес инструкции выставляется на шине адреса. Вывод переходит в высокоимпедансное состояние при низком уровне EMU1/OFF#
Сигналы таймера и тактового генератора		
CLKOUT	O/Z	Главный выходной тактовый сигнал. Цикл CLKOUT соответствует внутреннему циклу процессора. Внутренний машинный цикл начинается с передним фронтом сигнала. Сигнал CLKOUT переходит в высокоимпедансное состояние при низком уровне EMU1/OFF#
CLKMD1 CLKMD2 CLKMD3	I	Входные сигналы выбора режима тактового генератора. CLKMD1, CLKMD2 и CLKMD3 позволяют выбрать и конфигурировать разные режимы синхронизации, такие как кварцевый резонатор, внешний генератор тактовых импульсов и различные функции PLL
X2/CLKIN	I	Вывод для подключения кварцевого резонатора к внутреннему генератору. Если внутренний генератор не используется, этот контакт может быть входом для внешнего тактового сигнала. Период внутреннего машинного цикла определяется сигналами режима тактового генератора CLKMD1, CLKMD2 и CLKMD3
X1	-	Вывод для подключения внутреннего кварцевого резонатора к внутреннему генератору. Если внутренний генератор не используется, то X1 должен остаться неподключенным. Вывод X1 не имеет высокоимпедансного состояния и низким уровнем EMU1/OFF# не управляется
TOUT	O/Z	Выход таймера. TOUT генерирует импульс, когда встроенный таймер обнуляется. Длина импульса равна ширине цикла CLKOUT. Сигнал TOUT устанавливается в высокоимпедансное состояние, когда на EMU1/OFF# низкий уровень
Сигналы буферизированного последовательного порта (BSP)		
BCLKR	I	Тактовый сигнал приема данных. Внешний тактовый сигнал для синхронизации данных с входа приема данных (DR) в приемный сдвиговый регистр буферизированного последовательного порта (BSR) должен появляться в течение передачи данных буферизированного последовательного порта. Если буферизированный последовательный порт не используется, то BCLKR может быть установлен как вход для бита IN0 регистра SPC

Продолжение таблицы 3

Обозначение вывода	Тип вывода	Описание
BCLKX	I/O/Z	Тактовый сигнал передачи данных. Тактовый сигнал для синхронизации данных из передающего сдвигового регистра последовательного порта (XSR) на выход передачи данных (DX). BCLKX может быть входом, если бит MCM в регистре управления последовательным портом установлен в 0. Когда бит MCM установлен в 1, то частота BCLKX может быть установлена устройством как $1/(CLKDV+1)$, где CLKDV находится в диапазоне 0-31 частоты CLKOUT. Если буферизированный последовательный порт не используется, BCLKX может быть установлен как вход для бита IN1 регистра SPC. BCLKX переходит в высокоимпедансное состояние, когда уровень на OFF# низкий
BDR	I	Вход приема данных буферизированного последовательного порта. Последовательные данные принимаются в RSR с BDR.
BDX	O/Z	Выход данных буферизированного последовательного порта. Последовательные данные передаются из XSR в BDX. BDX устанавливается в высокоимпедансное состояние, когда нет передачи или уровень EMU1/OFF# низкий
BFSR	I	Кадровый синхронизирующий импульс для приема данных. Задний фронт импульса BFSR инициирует процесс принятия данных с началом тактирования RSR
BFSX	I/O/Z	Вывод кадровых синхроимпульсов передаваемых данных. Задний фронт импульса BFSX инициирует процесс передачи данных с началом тактирования XSR. После сброса BFSX по умолчанию конфигурируется как вход. BFSX может быть выбран программно как выход, если бит TXM в регистре управления последовательным портом установлен в 1. BFSX переходит в высокоимпедансное состояние, когда уровень EMU1/OFF# низкий
Сигналы мультиплексного последовательного порта с разделением по времени TDM		
TCLKR	I	TDM вход синхронизации приема данных
TDR	I	TDM вход приема последовательных данных
TFSR/TADD	I/O	TDM кадровый импульс синхронизации приема данных или адрес TDM порта в режиме разделения времени
TCLKX	I/O/Z	TDM синхронизация передачи данных
TDX	O/Z	TDM выход передачи последовательных данных
TFSX/TFRM	I/O/Z	TDM кадровый импульс синхронизации передачи данных
Разные сигналы		
NC		Вывод не подключен
Сигналы интерфейса host-порта (HPI)		
HD0-HD7	I/O/Z	Параллельная двунаправленная шина данных. HD0-HD7 находится в высокоимпедансном состоянии, когда нет данных для передачи. HD0-HD7 переходит в высокоимпедансное состояние, когда уровень EMU1/OFF# низкий
HCNTL0 HCNTL1	I	Входы управления
HBIL	I	Вход идентификации байта

Продолжение таблицы 3

Обозначение вывода	Тип вывода	Описание
HCS#	I	Вход сигнала выбора кристалла
HDS1# HDS2#	I	Входы стробирования данных
HAS#	I	Вход стробирования адреса
HR/W#	I	Вход чтения/записи
HRDY	O/Z	Выход чтения. HRDY переходит в высокоимпедансное состояние, когда уровень EMU1/OFF# низкий
HINT#	O/Z	Выход прерывания. После сброса, на HINT# – высокий уровень.
HPIENA	I	Вход выбора модуля HPI. Для выбора модуля HPI сигнал HPIENA должен находиться в состоянии логической 1. Если этот сигнал не подключен или подсоединен к земле, то модуль HPI не может быть выбран; для входов HPI разрешаются внутренние резисторы подкачки к единице и шина данных HPI переходит в состояние хранения (keepers set). Этот вход имеет внутренний резистор подкачки нуля, который становится активным, когда на RS# низкий уровень. HPIENA проверяется, когда RS# переходит в 1, и игнорируется до тех пор, пока на RS# низкий уровень
Контакты земли и питания		
VCC1		Питание для ядра процессора 1867ВЦ4Т
VCC2		Питание буферов ввода/вывода
GNDc		Общий вывод ядра процессора
GNDd		Общий вывод буферов ввода/вывода
Тестовые контакты IEEE1149.1		
TCK	I	Тестовый тактовый сигнал стандарта IEEE1149.1. Изменения на входах (TMS и TDI) тестового порта (TAP) защелкиваются в TAP-контроллере, регистре инструкций или в выбранном регистре тестовых данных по переднему фронту TCK. Выходные сигналы TAP (TDO) изменяются по заднему фронту TCK
TDI	I	Вход тестовых данных стандарта IEEE1149.1. Вход имеет внутренний резистор подкачки к единице. TDI синхронизирован с выбранным регистром (команд или данных) по переднему фронту TCK
TDO	O/Z	Выход тестовых данных стандарта IEEE1149.1. Содержимое выбранного регистра (команд или данных) сдвигается на TDO по заднему фронту TCK. По умолчанию TDO находится в высокоимпедансном состоянии за исключением моментов времени, когда производится сканирование данных. TDO переходит в третье состояние, когда уровень EMU1/OFF# низкий
TMS	I	Сигнал выбора тестового режима стандарта IEEE1149.1. Вход имеет внутренний резистор подкачки к 1. Этот последовательный вход управления синхронизирован с TAP-контроллером по переднему фронту TCK

Окончание таблицы 3

Обозначение вывода	Тип вывода	Описание
TRST#	I	Сигнал тестового сброса стандарта IEEE1149.1. Высокий уровень TRST# позволяет, в соответствии со стандартом IEEE1149.1, управлять операциями системы сканирования устройства. Если этот сигнал не подсоединен или на нем низкий уровень, то устройство работает в функциональном режиме и сигналы стандарта IEEE1149.1 игнорируются. Вход имеет внутренний резистор подкачки к нулю
EMU0	I/O/Z	Вывод сигнала 0 прерывания эмулятора. Когда на TRST# низкий уровень, уровень EMU0 должен быть высоким для активации условия EMU1/OFF#. Когда на TRST# высокий уровень, EMU0 используется как прерывание в или из системы эмулятора и определяется как вход/выход для системы сканирования стандарта IEEE1149.1
EMU1/OFF#	I/O/Z	Вывод сигнала 1 прерывания эмулятора / перевод выводов в третье состояние. Когда на TRST# высокий уровень, EMU1/OFF# используется как прерывание в или из системы эмулятора и определяется как вход/выход для системы сканирования стандарта IEEE1149.1. Когда на TRST# низкий уровень, EMU1/OFF# сконфигурирован как OFF#. Когда уровень EMU1/OFF# низкий, он переводит все выходы в высокоимпедансное состояние. Сигнал OFF# используется исключительно с целью тестирования или эмуляции (не для мультипроцессорного применения). Таким образом, состояние OFF# активизируется при следующих условиях: TRST# = низкий уровень; EMU0 = высокий уровень; EMU1/OFF# = низкий уровень
Примечание – В графе "Тип вывода": I – вход, O – выход, I/O – вход/выход, O/Z – выход/третье состояние, I/O/Z – вход/выход/третье состояние.		

7 Описание архитектуры ИМС 1867ВЦ4Т

Процессор цифровой обработки сигналов 1867ВЦ4Т использует модифицированную Гарвардскую архитектуру, которая увеличивает производительность процессора с помощью разделения структуры шин на три отдельные шины для обслуживания памяти данных и одну для памяти программ. Разделение памяти программ и памяти данных позволяет осуществлять одновременный доступ, как к программному коду, так и к данным, обеспечивая высокую степень параллельности вычислений. Например, две операции чтения и одна операция записи могут быть выполнены за один машинный цикл. Инструкции с параллельным сохранением и загрузкой и специализированные инструкции позволяют полностью использовать архитектуру устройства. Кроме того, данные могут быть перемещены между памятью программ и памятью данных. Такой параллелизм поддерживает мощный набор арифметики, логики, а также операции с отдельными битами, которые могут быть выполнены в одном машинном цикле. В устройстве 1867ВЦ4Т имеется также механизм управления прерываниями, операции управления циклами и вызовами подпрограмм.

Функциональная блок-схема представленная на рисунке 3, включает основные блоки и структуру шин в данном устройстве.

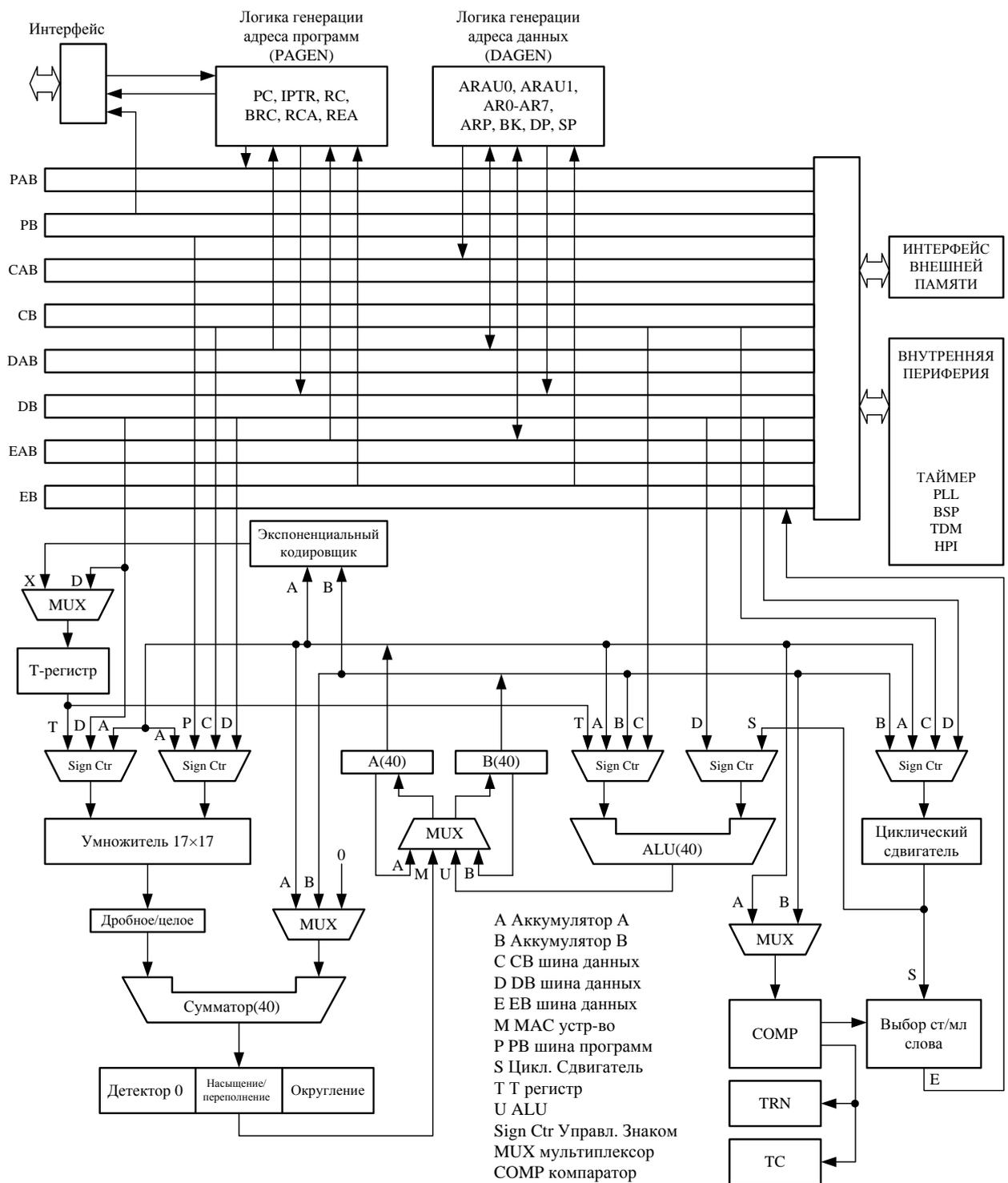


Рисунок 3 – Функциональная блок-схема процессора 1867ВЦ4Т

7.1 Центральное процессорное устройство (CPU) ИМС 1867ВЦ4Т

Центральное процессорное устройство (CPU) 1867ВЦ4Т включает в себя:

- 40-битное арифметико-логическое устройство (ALU).
- Два 40-битных аккумулятора.
- Циклический сдвигатель.
- 17×17-бит умножитель/сумматор.
- Устройство сравнения, выборки и хранения (CSSU).

7.2 Арифметико-логическое устройство (ALU) ИМС 1867ВЦ4Т

1867ВЦ4Т выполняет арифметические действия в двоичном дополнительном коде, используя 40-разрядное ALU и два 40-разрядных аккумулятора (АССА и АССВ). ALU может также выполнять логические операции.

Когда бит С16 регистра состояния (ST1) установлен в 1, то ALU может функционировать как два независимых 16-разрядных ALU и выполнять две 16-битные операции одновременно.

7.3 Аккумуляторы

Аккумуляторы АССА и АССВ сохраняют результат операции ALU или блока умножитель/сумматор. Аккумулятор также может служить дополнительным входом для ALU или блока умножитель/сумматор. Аккумуляторы разделены на три части:

- Биты безопасности (биты от 32 до 39).
- Старшее слово (биты от 16 до 31).
- Младшее слово (биты от 0 до 15).

Инструкции обеспечивают сохранение битов безопасности, старших и младших слов аккумулятора в памяти данных и возможность для обмена 32-разрядными словами аккумулятора с памятью данных. Любой из аккумуляторов может быть использован для временного хранения содержимого другого аккумулятора.

7.4 Циклический сдвигатель

Циклический сдвигатель имеет 40-битный вход, подключенный к аккумулятору или к памяти данных (через шины СВ, DB) и 40-битный выход, подключенный к ALU или памяти данных (шина ЕВ). Циклический сдвигатель производит сдвиг входных данных влево на величину от 0 до 31 бит и сдвиг вправо на величину от 0 до 16 бит. Величина сдвига определяется в поле счета сдвига (ASM) регистра состояния ST1 или во временном регистре (Т-регистр), которые описываются как регистр счета сдвига. Сдвигатель и экспоненциальный детектор нормализуют значение аккумулятора за один машинный цикл. Младшие значащие биты (LSBs) выхода заполняются нулями. Старшие значащие биты (MSBs) могут быть заполнены либо нулями, либо расширением знака в зависимости от значения бита режима знакового расширения (SXM) регистра состояния ST1. Возможности сдвигателя позволяют процессору выполнять цифровое масштабирование, операции извлечения отдельных битов, операции расширенной арифметики и операции предотвращения переполнения.

7.5 Умножитель/сумматор

Умножитель/сумматор выполняет 17×17 -разрядное умножение в дополнительном коде с 40-разрядным накоплением за один машинный цикл. Блок умножителя/сумматора состоит из нескольких элементов: умножитель, сумматор, схема управления знаком, логика управления дробной частью, детектор нуля, устройство округления (двоичное дополнение), логика переполнения/насыщения и временный регистр Т. Умножитель имеет два входа: на один вход подается содержимое Т-регистра, операнд памяти данных или выход аккумулятора; на другой поступают операнды из памяти программ, памяти данных, аккумулятора или непосредственное значение. Быстродействие встроенного умножителя

позволяет 1867ВЦ4Т эффективно выполнять такие операции как свертка, корреляция и фильтрация.

Кроме того, умножитель и ALU совместно выполняют вычисления умножения с накоплением (MAC) и операции ALU параллельно в одном машинном цикле. Эти функции могут использоваться в определении Евклидова расстояния и в LMS-фильтрах (алгоритм минимальной среднеквадратичной ошибки), которые необходимы для алгоритмов обработки комплексных чисел.

7.6 Устройство сравнения, выборки и хранения (CSSU)

Устройство сравнения, выборки и хранения (CSSU) выполняет сравнение старшего и младшего слов аккумулятора, позволяет биту флага теста/управления (ТС) регистра состояния (ST0) и регистру перехода (TRN) хранить истории их изменений и выбирать большее слово в аккумуляторе для сохранения в памяти данных. CSSU также позволяет ускорить вычисление алгоритма Виттерби (“бабочка”) посредством оптимизированного аппаратного обеспечения.

8 Программное управление ИМС 1867ВЦ4Т

Программное управление обеспечивается несколькими аппаратными и программными механизмами:

- Контроллер программ декодирует команды, управляет конвейером, сохраняет состояние операций и декодирует условные операции. В контроллер программ включены некоторые аппаратные элементы: счетчик программ, регистр состояния и управления, стек и логика генерации адреса.

- Для контроллера программ используются несколько программных механизмов, включающие в себя ветвления, вызовы подпрограмм, условные инструкции, инструкции организации циклов, сброс и прерывания.

9 Режимы пониженного энергопотребления ИМС 1867ВЦ4Т

Существуют три режима пониженного энергопотребления, активируемые инструкциями IDLE1, IDLE2 и IDLE3. В этих режимах 1867ВЦ4Т переводится в "спящий" режим, при котором потребляется значительно меньшая мощность, чем в нормальном режиме. Инструкция IDLE1 используется для перевода в неактивное состояние ядра процессора 1867ВЦ4Т. Инструкция IDLE2 используется для отключения ядра процессора и периферийных устройств 1867ВЦ4Т. Для полного выключения 1867ВЦ4Т используется инструкция IDLE3. Эта инструкция останавливает схему ФАПЧ (PLL), как источник тактовых сигналов для CPU и периферийных устройств.

10 Структура шин ИМС 1867ВЦ4Т

Архитектура 1867ВЦ4Т построена на основе восьми 16-битных шин:

- Одна шина чтения памяти программ (РВ), по которой передаются коды команд и непосредственные операнды из памяти программ.
- Две шины для чтения данных (СВ, ДВ) и одна шина для записи данных (ЕВ), которые соединены с различными элементами, такими как CPU, логикой генерации адреса данных и адреса программ, внутрикристалльными периферийными устройствами и памятью данных.
 - СВ и ДВ передают операнды при чтении из памяти данных.
 - ЕВ используется для записи данных в память.
- Четыре адресные шины (РАВ, САВ, ДАВ, и ЕАВ), необходимы для исполнения инструкций.

1867ВЦ4Т может генерировать до двух адресов памяти данных в одном машинном цикле, которые сохраняются в двух арифметических устройствах вспомогательных регистров (АРАU0 и АРАU1).

Шина РВ может передавать операнды данных, сохраненные в памяти программ (например, таблицы коэффициентов) в умножитель для выполнения операций умножения с накоплением или для адресации памяти данных для команд перемещения данных. Эта способность позволяет выполнять в одном цикле трехоперандные инструкции, такие как FIRS.

Процессор 1867ВЦ4Т также имеет встроенную двунаправленную шину для доступа к внутрикристалльным периферийным устройствам; эта шина подсоединена к ДВ через устройство шинного обмена в интерфейсе CPU. Доступ с использованием этой шины может требовать более чем двух циклов для чтения и записи в зависимости от структуры периферийных устройств.

Таблица 4 суммирует возможности использования шин для различных типов доступа.

Таблица 4

Тип доступа	Шина адреса				Шина программ	Шина данных		
	РАВ	САВ	ДАВ	ЕАВ	РВ	СВ	ДВ	ЕВ
Программное чтение	√				√			
Программная запись	√							√
Одиночное чтение данных			√				√	
Двойное чтение данных		√	√			√	√	
Чтение 32-битных данных		√ ст. сл.	√ мл. сл.			√ ст. сл.	√ мл. сл.	
Одиночная запись данных				√				√
Чтение данных/запись данных			√	√			√	√
Двойное чтение/ Чтение коэффициентов	√	√	√		√	√	√	
Периферийное чтение			√				√	
Периферийная запись				√				√
Сокращения: ст. сл – старшее 16-разрядное слово; мл. сл.– младшее 16-разрядное слово.								

11 Память ИМС 1867ВЦ4Т

Полный адресный диапазон памяти устройства 1867ВЦ4Т составляет (192К×16) бит. Пространство памяти разделено на три отдельных сегмента памяти: (64К×16) бит памяти программ, (64К×16) бит в памяти данных и (64К×16) бит пространства памяти ввода/вывода.

Пространство памяти программ содержит инструкции для выполнения, а также исполняемые таблицы. Пространство памяти данных хранит данные, используемые командами. Пространство памяти ввода/вывода служит интерфейсом к внешним, отображаемым в памяти, периферийным устройствам и также может служить дополнительным пространством для хранения данных.

Свойство параллельности архитектуры ядра процессора 1867ВЦ4Т позволяет выполнять четыре происходящих одновременно операции с памятью в любом данном машинном цикле: выборка команды, чтение двух операндов и запись операнда. Для этого используются четыре параллельные шины: шина чтения программ (PB), шина записи данных (EB) и две шины чтения данных (CB и DB). Каждая шина обращается к различным пространствам памяти для обеспечения разных видов операций 1867ВЦ4Т. Такая архитектура позволяет выполнять чтение двух операндов, чтение с параллельным сохранением и осуществлять доступ к длинным 32-разрядным словам.

12 Внутрикристалльное ПЗУ (ROM)

1867ВЦ4Т имеет (2К×16) бит внутрикристалльного масочного ПЗУ, в котором расположена программа начальной загрузки (boot loader). Эта программа начальной загрузки может быть использована для конфигурирования сегмента DARAM в память программ и передачи в этот сегмент пользовательского кода из внешнего источника при включении питания. Если в течение аппаратного сброса на входе MP/МС# устройства выбран низкий уровень, то исполнение команд начинается с адреса FF80h встроенного ПЗУ. Это адрес содержит команду перехода на начало программы начальной загрузки. Процессор 1867ВЦ4Т обеспечивает различные пути загрузки кода в соответствии с различными системными требованиями:

- Параллельная загрузка из 8-битного или 16-битного ППЗУ (EPROM).
- Параллельная загрузка из портов ввода/вывода в режиме 8-бит или 16-бит.
- Последовательная загрузка по последовательному порту в режиме 8-бит или 16-бит.
- Загрузка с через host-порт интерфейс (HPI).
- "Теплый" старт (warm boot).

13 Внутрикристалльное ОЗУ с двойным доступом (DARAM)

1867ВЦ4Т имеет (10К×16) бит внутрикристалльного ОЗУ двойного доступа (DARAM) – 5 блоков по 2К каждый.

К каждому из этих блоков ОЗУ можно обратиться дважды за один машинный цикл. Эта память предназначена, прежде всего, для хранения данных, однако она также может использоваться для хранения программ. При сбросе DARAM картируется в пространство памяти данных. DARAM может отображаться и в пространство памяти программ установкой бита OVLY в регистре PMST.

14 Защита встроенной памяти

Устройство 1867ВЦ4Т имеет маскируемую опцию для защиты содержимого внутрикристалльной памяти. Когда соответствующий бит установлен, никакая внешняя инструкция не может получить доступ к внутрикристалльной памяти.

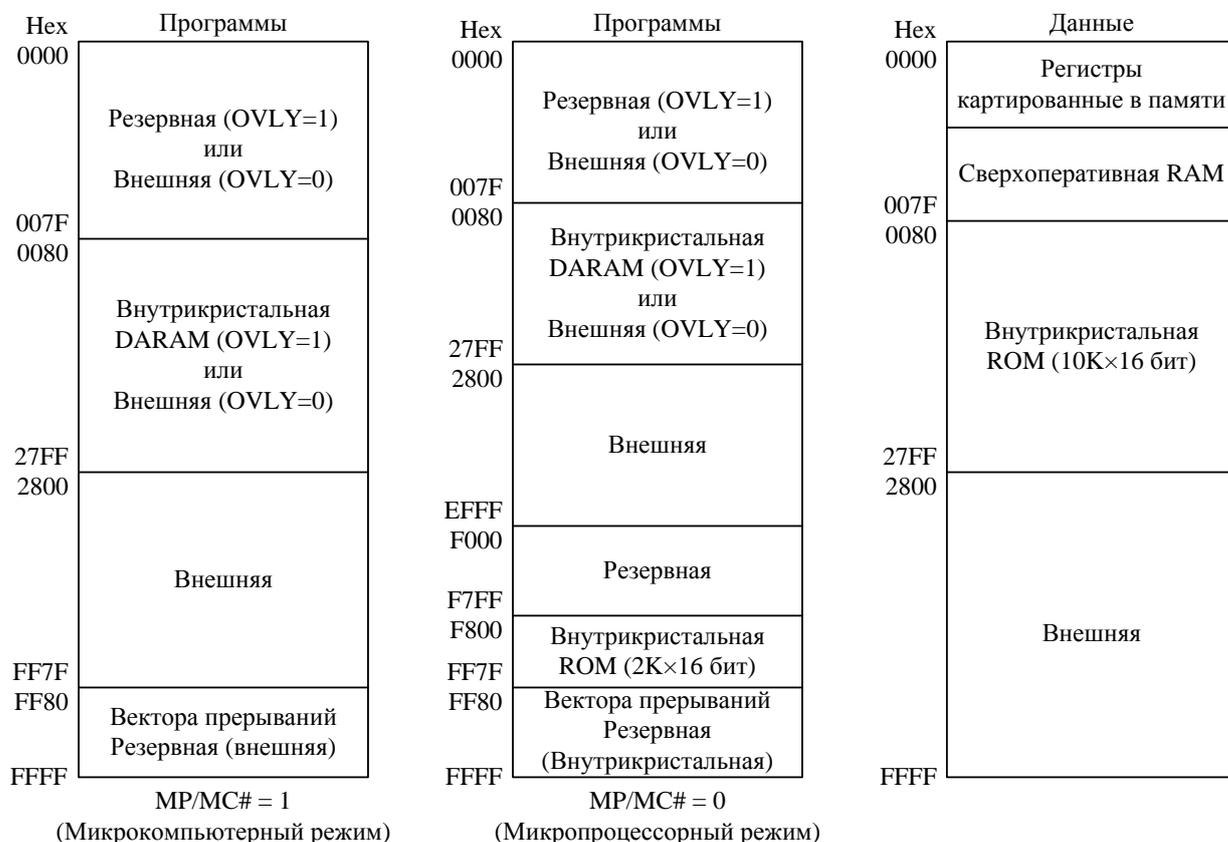


Рисунок 4 – Карта памяти 1867ВЦ4Т

15 Память программ

Пространство внешней памяти программ 1867ВЦ4Т может составлять максимально до (64K×16) бит. Кроме варианта MP/MS# = 0, когда из (64K×16) бит общего пространства памяти программ (2K×16) бит занимает внутрикристалльное ПЗУ (ROM), существует возможность программным способом сконфигурировать ячейки внутренней оперативной памяти процессора (DARAM) в карту программных адресов (см. рисунок 4). Для этого необходимо установить в 1 бит OVLY регистра состояния и режимов процессора PMST. Надо заметить, что при этом нулевая страница памяти (0h-7Fh), содержащая картированные в память регистры (0h-5Fh) и сверхоперативную память (60h-7Fh) не картируется в программную область. При OVLY = 1 процессор автоматически получает доступ к DARAM, если программный адрес находится в диапазоне 0080h-27FFh. Когда блок генерации адреса программ (PAGEN) формирует адрес, выходящий за границы этого диапазона, то процессор автоматически генерирует доступ к внешней памяти программ. Преимущества использования внутрикристалльной памяти следующие:

- Высокая производительность из-за отсутствия циклов ожидания.
- Меньшие аппаратные затраты по организации внешнего интерфейса.

– Меньшая потребляемая мощность, чем с внешней памятью.

Преимущества использования внешней памяти заключаются в возможности доступа к большему адресному пространству.

16 Карта адресов памяти программ

Векторы сброса и прерываний расположены в пространстве памяти программ. Эти векторы являются программными – это означает, что процессор, когда происходит прерывание, загружает счетчик команд (PC) адресом вектора прерывания и исполняет код, расположенный по этому адресу. Четыре слова в каждом векторе зарезервировано для размещения задержанных команд перехода и любых двух однословных команд или одной двухсловной команды, которые позволяют осуществлять переход на соответствующую подпрограмму обработки прерывания без перекрытия с векторами других прерываний.

При сбросе процессора вектора сброса и прерываний отображаются, начиная с адреса FF80h в области памяти программ. Однако после сброса, эти векторы могут быть перекартированы в начало любой 128-словной страницы в области программ. Это делается загрузкой битов указателя страницы векторов прерываний (IPTR) в регистре PMST соответствующим адресом 128-словной страницы. После загрузки IPTR любое пользовательское прерывание или вектор системного прерывания отображаются в новую 128-словную страницу. Например:

STM #05800h, PMST ; Область векторов прерываний начинается с адреса 5800h.

Этот пример перемещает векторы прерываний в программной памяти, начиная с адреса 5800h. Любое последующее прерывание (за исключением сброса устройства) выбирает свой вектор из этого нового места расположения. Для примера, если после загрузки IPTR появляется внешнее прерывание INT2#, вектор подпрограммы обработки прерывания выбирается с адреса 5848h памяти программ, в отличие от FFC8h. Эта особенность облегчает перемещение нужных векторов из загрузочного ПЗУ, с последующим удалением ПЗУ из карты памяти.

После загрузки под управлением boot loader системного программного кода в процессор, приложение перегружает IPTR значением указателя для новых векторов. Необходимо отметить, что инструкция STM, использованная в приведенном примере для изменения IPTR, модифицирует и другие биты управления и состояния в регистре PMST.

Вектор аппаратного сброса RS# не может быть перекартирован, потому что аппаратный сброс загружает в IPTR 1FFh. Поэтому вектор сброса всегда отрабатывается по адресу FF80h памяти программ. В процессоре 1867ВЦ4Т дополнительно зарезервировано 128 слов во встроенном ПЗУ для целей тестирования устройства. При реализации прошивки внутрикристального масочного ПЗУ пользовательским кодом, эти 128 слов в диапазоне адресов FF00h-FF7Fh резервируются и не могут быть использованы заказчиком прошивки.

17 Память данных

Общее пространство адресов памяти данных в 1867ВЦ4Т составляет 64К 16-разрядных слов. Диапазон адресов от 0h до 27FFh занят внутренней оперативной памятью процессора, включая картированные в память регистры (0h-5Fh), сверхоперативную память (60h-7Fh) и остальное ОЗУ (0080h-27FFh) (см. рисунок 4).

Необходимо отметить, что карта памяти данных не зависит от бита OVLY регистра состояния и режимов процессора PMST. При $OVLY = 1$ DARAM картируется в программную память, но при этом остается и в карте памяти данных. При выходе за границу диапазона 0080h-27FFh процессор автоматически генерирует доступ к внешней памяти данных.

Преимущества работы с внутрикристальной памятью следующие:

- Высокая производительность из-за отсутствия циклов ожидания
- Меньшие аппаратные затраты по организации внешнего интерфейса.
- Меньшая потребляемая мощность, чем с внешней памятью.

Преимущество работы с внешней памятью состоит в возможности доступа к большему адресному пространству.

18 Встроенные периферийные устройства

1867ВЦ4Т содержит ряд внутрикристальных периферийных устройств:

- Программно управляемый генератор состояний ожидания.
- Программируемый модуль переключения банков памяти.
- Параллельные порты ввода/вывода.
- Последовательные порты (TDM и BSP).
- Аппаратный таймер.
- Тактовый генератор.

19 Программно-управляемый генератор состояний ожидания

Программно-управляемый генератор состояний ожидания может быть использован для увеличения длительности цикла внешней шины до семи машинных тактов при организации интерфейса с медленной внешней памятью или устройствами ввода/вывода. Программно-управляемый генератор состояний ожидания функционирует без какого бы то ни было внешнего аппаратного обеспечения. Для доступа к внешней памяти число состояний ожидания может быть установлено отдельно для каждого 32К-словного блока пространств памяти программ и памяти данных, и для одного 64К-словного блока пространства адресов ввода/вывода через программирование регистра состояний ожидания (SWWSR).

20 Программируемый модуль переключения банков памяти

Программируемый модуль переключения банков памяти может быть использован для вставки одного цикла при пересечении границы банков памяти из области памяти программ в пространство памяти данных. Этот дополнительный цикл позволяет устройствам памяти освобождать шину, прежде чем другие устройства начнут использовать эту шину, избегая, таким образом, конфликтов на шине (шинных коллизий). Размер банка памяти определяется регистром управления переключения банков памяти (BSCR).

21 Параллельные порты ввода/вывода

1867ВЦ4Т имеет 64К портов ввода/вывода. Доступ к этим портам реализуется инструкциями PORTR или PORTW. Сигнал IS# служит признаком операции чтения/записи через порт ввода/вывода (I/O). IS# позволяет легко налаживать интерфейсные связи с внешними устройствами посредством портов ввода/вывода, требуя при этом минимального количества внешних схем декодирования адреса.

22 Интерфейс host-порта (HPI)

Host-порт интерфейс (HPI) – это 8-битный параллельный порт, используемый для связи главного процессора (host-процессор) с устройством 1867ВЦ4Т. Обмен данными между 1867ВЦ4Т и главным процессором осуществляется через внутрикристальную память, которая доступна для обоих устройств. 1867ВЦ4Т имеет доступ к регистру управления HPI (HPIС) и host-процессор может адресоваться к памяти HPI через регистр адреса HPI (HPIА). Память HPI представляет собой блок (2К×16) бит DARAM, который постоянно находится в диапазоне адресов с 1000h по 17FFh в памяти данных и может быть также использован как внутрикристальная, общего назначения DARAM.

Передача 16-разрядных слов данных происходит двумя последовательными байтами при участии вывода HBIL, указывающего какой: старший или младший байт слова, передается в данный момент. Два вывода HCNTL1 и HCNTL0 управляют доступом host-процессора к HPIА, HPI данным (с возможностью автоматического инкремента адреса) или к HPIС. Host-процессор может прерывать 1867ВЦ4Т запись в HPIС. Процессор может инициировать прерывание host-процессора с помощью предназначенного для этого вывода HINT#, которое host-процессор может подтвердить и очистить.

HPI имеет два режима работы: режим распределенного доступа (SAM) и режим только главного процессора (НОМ). В режиме SAM (нормальный режим работы) оба устройства имеют доступ к памяти HPI. В этом режиме асинхронный доступ host-процессора повторно синхронизируется внутри и, в случае конфликта, host-процессор имеет приоритет, а процессор ожидает один такт. В режиме НОМ только главный процессор может обращаться к HPI памяти, в то время как процессор находится в сбросе или в режиме IDLE2 с остановленными внутренними и внешними тактовыми генераторами. Следовательно, host-процессор может обращаться к HPI RAM, в то время как 1867ВЦ4Т находится в режиме минимального потребления мощности.

Регистр управления HPI имеет два stroba данных, HDS1# и HDS2#, strob чтения/запись HR/W# и адресный strob HAS#, которые позволяют связать HPI с различными, соответствующими промышленному стандарту, главными устройствами с использованием минимального количества дополнительной логики или без неё. HPI легко адаптируется к мультиплексной шине адреса/данных главного процессора вследствие наличия отдельных шин адреса и данных и двух управляющих strobov (stroby данных и чтения/записи или два отдельных stroba для чтения и записи).

HPI поддерживает высокую скорость обмена в обоих направлениях. В режиме распределенного доступа HPI может передать один байт каждые пять циклов CLKOUT (то есть 64 Мбит/с) при частоте тактового генератора 40 МГц. HPI позволяет host-процессору обмениваться данными на частотах до $(F_d \times n)/5$, где F_d – частота CLKOUT, а n – число ведущих циклов для внешнего доступа. В режиме НОМ HPI поддерживает даже более высокую скорость обмена в обе стороны порядка одного байта на каждые 50 нс (т. е. 160 Мбит/с), независимо от тактовой частоты 1867ВЦ4Т.

23 Последовательные порты

Процессор 1867ВЦ4Т содержит высокоскоростные полнодуплексные последовательные порты, которые позволяют напрямую связываться с другими процессорами 1867ВЦ4Т, кодами или другими устройствами в системе. Это – один последовательный порт с передачей данных в режиме разделения времени (TDM-порт) и один буферизированный последовательный порт (BSP-порт), каждый из которых может работать в режиме стандартного последовательного порта.

TDM-порт позволяет обмениваться информацией, используя мультиплексирование с разделением по времени, с другими процессорами 1867ВЦ4Т (до семи устройств). Мультиплексирование с разделением времени подразумевает разделение интервала времени на несколько подинтервалов, каждый из которых отводится под определённый канал связи. TDM-порт последовательно передает 16-разрядные слова по одиночной линии данных (TDAT) и адрес приемника по одиночной линии адреса (TADD). Каждое устройство может передать данные по одному каналу и получать данные от одного или более восьми каналов, предоставляя простой и эффективный интерфейс для мультипроцессорных приложений. Импульс кадровой синхронизации появляется каждые 128 тактовых циклов, соответствуя передаче одного 16-битного слова на каждом из этих восьми каналов. Подобно последовательному порту общего назначения, TDM-порт – это порт с двойной буферизацией для входных и выходных данных. TDM-порт может также программно конфигурироваться для функционирования в режиме последовательного порта общего назначения. Оба типа портов способны работать на частоте до одной четвертой от частоты машинного цикла (CLKOUT).

Буферизированный последовательный порт (BSP) содержит полнодуплексный с двойной буферизацией интерфейс последовательного порта (SPI) и устройство автоматической буферизации (ABU). Блок SPI буферизованного последовательного порта является расширенной версией стандартного последовательного порта. Блок ABU позволяет SPI читать и записывать данные непосредственно во внутреннюю память, используя соответствующую шину независимо от CPU. Этот результат в минимальной степени влияет на транзакции SPI и скорость передачи данных.

Когда авто-буферизация запрещена (стандартный режим), передача данных с SPI выполняется соответственно программному управлению через прерывания. В этом режиме базовые прерывания (WXINT и WRINT) выполняют те же функции, что и прерывание по передаче (XINT) и прерывание по приему (RINT) каждого слова. Когда авто-буферизация разрешена, передача слова проводится напрямую между SPI и внутренней памятью 1867ВЦ4Т, используя встроенный в ABU генератор адреса.

ABU имеет свой собственный набор регистров с циклической адресацией с соответствующими устройствами генерации адреса. Буферная память размещается в 2К×16 бит внутренней памяти 1867ВЦ4Т. Длина и стартовый адрес буфера устанавливается программно. При опустошении/переполнении буфера генерируется запрос на соответствующее прерывание процессора. Авто-буферизация может быть разрешена отдельно для секции передачи и для секции приема. Когда авто-буферизация запрещена, последовательный порт функционирует аналогично последовательному порту общего назначения.

SPI позволяет передавать 8-, 10-, 12-, или 16-разрядные пакеты данных. В пакетном режиме потоки данных передаются с импульсами кадровой синхронизации для каждого пакета. В непрерывном режиме передачи пакетов кадровые синхроимпульсы FSX/FSR не нужны, за исключением первого импульса. Частота и полярность сигнала кадровой синхронизации и тактовых импульсов может изменяться программно. SPI полностью статичен и может работать на любых произвольно низких частотах. Максимальная частота работы SPI соответствует CLKOUT и составляет 40 Мбайт/с. Буферизированный последовательный порт работает с памятью данных в диапазоне адресов 0800h-0FFFh.

24 Аппаратный таймер

Таймер обеспечивает удобный и эффективный способ генерации системного времени для аналогового интерфейса. Процессор 1867ВЦ4Т содержит 16-битный счетчик таймера с программируемым 4-битным предварительным делителем. Счетчик таймера уменьшается на 1 на каждом цикле CLKOUT. Если счетчик таймера уменьшается до нуля, то генерируется прерывание таймера. Таймер может быть остановлен, сброшен или запрещен установкой соответствующих битов состояния.

25 Тактовый генератор

В качестве источника тактовой синхронизации могут быть использованы следующие устройства:

- внутренний генератор с подключенным к его выводам X1 и X2/CLKIN внешним кварцевым резонатором;
- внешний генератор, подключенный непосредственно к выводу X2/CLKIN, при этом вывод X1 остается не задействованным.

Задающий генератор в устройстве 1867ВЦ4Т состоит из собственного генератора, делителя частоты и умножителя частоты на основе регенератора с подстройкой фазы колебаний под частоту входного сигнала (Phase-Locked Loop – PLL).

Процессор 1867ВЦ4Т имеет аппаратно конфигурируемую систему PLL. Схема PLL может запускаться от источника внешних колебаний, период которых больше машинного цикла CPU. Этот вариант позволяет уменьшить высокочастотный шум, возникающий в результате работы высокоскоростных схем. Сигнал с выхода внутреннего или внешнего генератора подается в PLL, который умножает его частоту на константу N ($PLL \times N$). При использовании внутреннего генератора тактовая частота CPU равна частоте генератора, поделенной на два. При использовании внешнего генератора тактовая частота CPU равна частоте входного сигнала умноженной на N.

Максимальная частота сигнала, подаваемого на входе PLL не должна превышать 40 МГц. После сброса или восстановления из режима IDLE3 схема PLL требует блокировки в течение 50 мкс. Режим PLL определяется состоянием выводов CLKMD1, CLKMD2 и CLKMD3. В таблице 5 представлены все режимы PLL в зависимости от состояния выводов CLKMD1, CLKMD2 и CLKMD3. В том случае, когда PLL не используется, тактовая частота CPU равна половине частоты кварца или частоты внешнего генератора. Переконфигурирование PLL изменением кода на внешних выводах возможно лишь в режиме IDLE3 после того, как CLKOUT перейдет в состояние с высоким уровнем.

Таблица 5 – Режимы задающего генератора

Входы выбора режима			Режим задающего генератора
CLKMD1	CLKMD2	CLKMD3	
0	0	0	$PLL \times 3$ от внешнего генератора
1	1	0	$PLL \times 2$ от внешнего генератора
1	0	0	$PLL \times 3$ от внутреннего генератора
0	1	0	$PLL \times 1,5$ от внешнего генератора
0	0	1	От внешнего генератора, делённая пополам

Окончание таблицы 5

Входы выбора режима			Режим задающего генератора
CLKMD1	CLKMD2	CLKMD3	
1	1	1	От внутреннего генератора, делённая пополам
1	0	1	PLL×1 от внешнего генератора
0	1	1	Режим останова ¹⁾

¹⁾ PLL заблокирован. Сигнал тактовой частоты не подается на CPU и внешние устройства. Этот режим эквивалентен режиму пониженного потребления IDLE3, однако режим IDLE3 предпочтительнее, т. к. из него можно выйти по прерыванию.

26 Регистры, картированные в памяти данных

1867ВЦ4Т имеет 26 картированных в памяти регистров CPU, которые отображаются в памяти данных в диапазоне адресов от 0 до 1Fh. Кроме того, 1867ВЦ4Т имеет набор картированных в памяти регистров, функционально связанных с соответствующими периферийными устройствами. В таблице 6 представлен список отображаемых на память регистров (MMR) 1867ВЦ4Т. Таблица 7 показывает дополнительные картированные в память регистры, связанные с периферийными устройствами.

Таблица 6 – Картированные в память регистры ядра процессора ИМС 1867ВЦ4Т

Имя	Адрес		Описание
	DEC	HEX	
IMR	0	0	Регистр маски прерывания
IFR	1	1	Регистр флага прерывания
—	2-5	2-5	Зарезервировано для тестовых целей
ST0	6	6	Регистр состояния 0
ST1	7	7	Регистр состояния 1
AL	8	8	Аккумулятор А, младшее слово (15-0)
AH	9	9	Аккумулятор А, старшее слово (31-16)
AG	10	A	Аккумулятор А, биты безопасности (39-32)
BL	11	B	Аккумулятор В, младшее слово (15-0)
BH	12	C	Аккумулятор В, старшее слово (31-16)
BG	13	D	Аккумулятор В, биты безопасности (39-32)
TREG	14	E	Временный регистр
TRN	15	F	Регистр перехода
AR0	16	10	Вспомогательный регистр 0
AR1	17	11	Вспомогательный регистр 1
AR2	18	12	Вспомогательный регистр 2
AR3	19	13	Вспомогательный регистр 3
AR4	20	14	Вспомогательный регистр 4
AR5	21	15	Вспомогательный регистр 5
AR6	22	16	Вспомогательный регистр 6
AR7	23	17	Вспомогательный регистр 7
SP	24	18	Регистр указателя стека
BK	25	19	Регистр размера циклического буфера
BRC	26	1A	Счетчик повторения блока

Окончание таблицы 6

Имя	Адрес		Описание
	DEC	HEX	
RSA	27	1B	Регистр стартового адреса повторения блока
REA	28	1C	Регистр конечного адреса повторения блока
PMST	29	1D	Регистр состояния режима процессора
—	30	1E	Не используется
—	31	1F	Зарезервировано

Таблица 7 – Картированные в памяти регистры периферийных устройств ИМС 1867ВЦ4Т

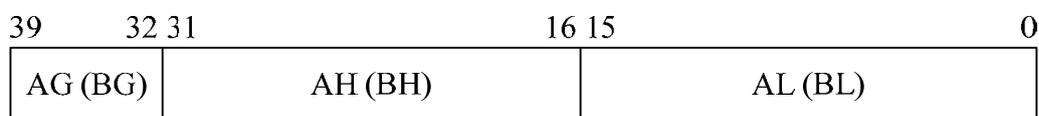
Имя	Адрес		Описание
	DEC	HEX	
BDRR	32	20	Регистр приема данных BSP
BDXR	33	21	Регистр передачи данных BSP
BSPC	34	22	Регистр управления BSP
BSPCE	35	23	Расширенный регистр управления BSP
TIM	36	24	Регистр таймера
PRD	37	25	Регистр периода таймера
TCR	38	26	Регистр управления таймером
—	39	27	Зарезервировано
SWWSR	40	28	Регистр программируемых состояний ожидания
BSCR	41	29	Регистр управления переключением внешних банков памяти
—	42-43	2A-2B	Зарезервировано
HPIC	44	2C	Регистр управления HPI
—	45-47	2D-2F	Зарезервировано
TRCV	48	30	Регистр приема данных TDM
TDXR	49	31	Регистр передачи данных TDM
TSPC	50	32	Регистр управления TDM
TCSR	51	33	Регистр выбора каналов TDM
TRTA	52	34	Регистр приема/передачи TDM
TRAD	53	35	Регистр адреса приема TDM
—	54-55	36-37	Зарезервировано
AXR	56	38	Регистр адреса передачи ABU BSP
BKX	57	39	Регистр размера буфера передачи ABU
ARR	58	3A	Регистр адреса приема ABU BSP
BKR	59	3B	Регистр размера буфера приема ABU BSP
—		3C-5F	Зарезервировано

26.1 Регистры состояния (ST0, ST1)

Регистры состояния ST0 и ST1 содержат состояние различных условий и режимов 1867ВЦ4Т. ST0 содержит флаги (OV, C и TC), выставляемые арифметическими и поразрядными операциями; указатель страницы памяти (DP) и указатель вспомогательных регистров (ARP). ST1 содержит различные режимы и условия, которые процессор обрабатывает и выполняет.

26.2 Аккумуляторы (AL, AH, AG, и BL, BH, BG)

1867ВЦ4Т имеет два 40-битных аккумулятора: аккумулятор А и аккумулятор В. Каждый аккумулятор отображается в памяти и разделен на младшее слово аккумулятора (AL, BL), старшее слово аккумулятора (AH, BH) и биты безопасности аккумулятора (AG, BG).



26.3 Вспомогательные регистры (AR0–AR7)

Восемь (AR0-AR7) могут быть доступны CALU и модифицированы арифметическими устройствами вспомогательных регистров (ARAU0 и ARAU1). Основная функция вспомогательных регистров – это генерация 16-разрядных адресов для области данных. Однако эти регистры могут также использоваться как регистры общего назначения.

26.4 Временный регистр (T)

T-регистр используется для хранения одного из сомножителей в операциях умножения и умножения с накоплением, динамического (программируемого) сдвига операнда в инструкциях типа ADD, LD и SUB для определения динамического номера бита для инструкции BITT. Инструкция EXP сохраняет вычисленную величину порядка в T-регистре, после чего инструкция NORM использует переменную T-регистра для нормализации результата. Для операции ACS декодирования по Виттерби T-регистр хранит метрику перехода, используемую инструкциями DADST и DSADT.

26.5 Регистр перехода (TRN)

TRN – 16-разрядный регистр перехода сохраняет решение перехода для пути к новой метрике, чтобы выполнить алгоритм Viterbi. Инструкция CMPS (сравнение, выбор максимума и сохранение) модифицирует содержимое регистра TRN на основании сравнения старшего и младшего слов аккумулятора.

26.6 Регистр указателя стека (SP)

SP – 16-разрядный регистр указателя стека (stack pointer) содержит адрес вершины стека системы. SP всегда указывает на последний элемент, помещенный в стек. Стек управляется прерываниями, вызовами, возвратами, а инструкции PSHD, PSHM, POPD и POPM вталкивают и выталкивают данные из стека, а также наращивают и уменьшают указатель стека.

26.7 Регистр размера циклического буфера (BK)

16-разрядный BK используется в арифметических устройствах ARAU0 и ARAU1 при циклической адресации для определения размера блока данных.

26.8 Регистры организации циклов (BRC, RSA, REA)

Счетчик повторения блока (BRC) представляет собой 16-разрядный регистр, который определяет, сколько раз должен повториться организованный в программе блок. 16-разрядный регистр стартового адреса (RSA) содержит начальный адрес блока повторений в памяти программы. 16-разрядный регистр конца блока повторения (REA) содержит адрес последней команды блока повторений в памяти программы.

26.9 Регистры организации прерываний (IMR, IFR)

Регистр маски прерываний (IMR) используется для индивидуального маскирования нужных прерываний в требуемое время. Регистр флага прерывания (IFR) показывает текущее состояние прерываний.

26.10 Регистр режимов работы процессора (PMST)

Регистр состояния режимов процессора (PMST) управляет конфигурацией памяти 1867ВЦ4Т.

27 Электрические характеристики и условия работы

27.1 Абсолютные максимальные значения напряжений и температуры

Диапазон напряжения питания, U_{dd}	-0,3 В ... 7 В
Диапазон входного напряжения.....	-0,3 В ... 7 В
Диапазон выходного напряжения.....	-0,3 В ... 7 В
Диапазон допустимой температуры T_c	-40 °С ... 100 °С
Диапазон допустимой температуры хранения T_{stg}	-55 °С ... 150 °С

Превышение напряжения над максимальными оценками может вызвать повреждение микросхемы. Это только оценки максимального и минимального значений, не подразумевающие функционирования устройства вне рекомендуемых диапазонов. Долгое нахождение устройства вне рекомендованных диапазонов может привести к снижению надежности устройства.

Таблица 8 – Предельно-допустимые и предельные режимы эксплуатации микросхем в диапазоне рабочих температур от минус 60 до плюс 85 °С

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура, °С
		не менее	не более	
1	2	3	4	5
1 Выходное напряжение низкого уровня, В $I_{OL} = 2 \text{ мА}; U_{VCC} = 4,5 \text{ В}$	U_{OL}	-	0,6	-60 ± 3 25 ± 10 85 ± 3
2 Выходное напряжение высокого уровня, В $I_{OH} = -0,3 \text{ мА}; U_{VCC} = 4,5 \text{ В}$	U_{OH}	2,4	-	

Окончание таблицы 8

1		2	3	4	5
3 Входной ток, мкА $U_{IH} = U_{VCC}$; $U_{IL} = 0$ В; $U_{VCC} = 5,5$ В	Вход TRST#	I_I	-10	800	25 ± 10 85 ± 3
	Входы TMS, TCK, TDI		-500	10	
	Вход X2/CLKIN		-50	50	
	Все остальные входы		-10	10	
4 Выходной ток в состоянии "Выключено", мкА $U_{VCC} = 5,5$ В	$U_{OL} = 0$ В	I_{OZL}	-20	-	
	$U_{OH} = U_{VCC}$	I_{OZH}	-	20	
5 Динамический ток потребления, мА $U_{VCC} = 5,5$ В; $f_{CI} = 10$ МГц	ядра процессора	I_{OCC1}	-	65	-60 ± 3 25 ± 10 85 ± 3
	буферов ввода/ вывода	I_{OCC2}	-	25	
6 Функциональный контроль $f_{CI} = 40$ МГц; $U_{VCC} = (4,5 \div 5,5)$ В		ФК	-	-	
7 Время переключения сигнала на выходе CLKOUT, нс	время нарастания	t_r	-	4	
	время спада	t_f	-	4	
<p>Примечания</p> <p>1 Параметры I_I, I_{OZL}, I_{OZH} при температуре минус 60 °С не измеряются, а гарантируются нормами при температуре (25 ± 10) °С.</p> <p>2 $U_{VCC} = U_{VCC1} = U_{VCC2}$, где U_{VCC1} – напряжение питания ядра процессора, U_{VCC2} – напряжение питания буферов ввода/вывода.</p>					

Таблица 9 – Электрические параметры микросхем при приемке и поставке

Наименование параметра режима, единица измерения	Буквенное обозначе- ние	Предельно- допустимый режим		Предельный режим		
		не менее	не более	не менее	не более	
1	2	3	4	5	6	
1 Напряжение питания, В	U_{VCC}	4,5	5,5	-	6	
2 Входное напряжение низкого уровня, В	U_{IL}	-0,3	0,8	-0,5	-	
3 Входное напряжение высокого уровня, В	RS#, INT0# - INT3#, NMI#, CNT, CLKMD1-CLKMD3, X2/CLKIN	U_{IH}	3	$U_{VCC} + 0,3$	-	$U_{VCC} + 0,5$
	все остальные выводы	U_{IH}	2	$U_{VCC} + 0,3$	-	$U_{VCC} + 0,5$
4 Напряжение, подаваемое на выход микросхемы в состоянии "Выключено", В	U_{OZ}	-0,3	$U_{VCC} + 0,3$	-	$U_{VCC} + 0,5$	

Окончание таблицы 9

1	2	3	4	5	6
5 Выходной ток низкого уровня, мА	I_{OL}	-	2	-	4
6 Выходной ток высокого уровня, мА	I_{OH}	-0,3	-	-0,6	-
7 Частота следования импульсов тактового сигнала, МГц	f_{Cl}	-	40	-	-
8 Емкость нагрузки, пФ	C_L	-	50	-	100
9 Длительность фронтов входного тактового сигнала X2/CLKIN, нс	t_{LH} t_{HL}	-	4	-	-
Примечания 1 Знак "минус" для тока I_{OH} обозначает направление тока. 2 $U_{VCC} = U_{VCC1} = U_{VCC2}$, где U_{VCC1} – напряжение питания ядра процессора, U_{VCC2} – напряжение питания буферов ввода/вывода.					

28 Измерение параметров

28.1 Символика временных параметров

Сокращения названий, используемых в этом разделе:

Нижний индекс описания и его значение:

a	время доступа
c	время цикла (период)
d	время задержки
dis	время запрещения
en	время разрешения
f	длительность падающего фронта
h	время удержания
r	длительность возрастающего фронта
su	время установки
t	время переноса
v	время истинности
w	продолжительность импульса (ширина)
X	Неизвестное состояние.

Литера, символ и его значение:

H	Высокий
L	Низкий
V	Истинный
Z	Высокоимпендансный

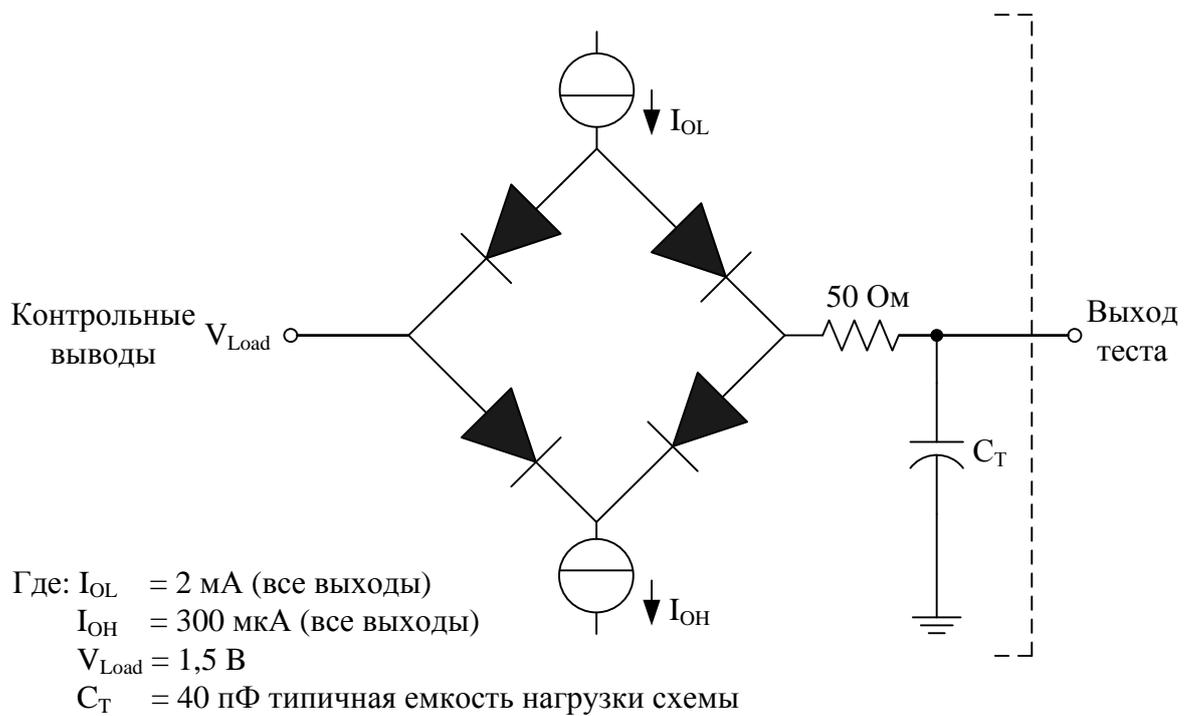


Рисунок 5 – Схема тестовой нагрузки 5 В

29 Внутренний, деленный на два, тактовый генератор с внешним кварцевым резонатором

Внутренний генератор доступен при подключении кварцевого резонатора между X1 и X2/CLKIN. Частота CLKOUT – половина осцилирующей частоты резонатора. Кристалл должен резонировать на своей основной частоте или на одном из обертонов с эффективным сопротивлением ряда 30 Ом и рассеиваемой мощностью до 1 мВт. Должна быть определена емкость нагрузки 20 пФ. Схема, показанная на рисунке 6, представляет резонанс на основной частоте. Использование резонанса на обертонах основной частоты требует установки дополнительных компонентов. В таблице 10 приведены рекомендованные эксплуатационные режимы.

Таблица 10 – Рекомендованные эксплуатационные режимы

Условное обозначение, параметр	1867ВЦ4Т			Ед. изм.
	MIN	NOM	MAX	
f_x Частота входных тактовых сигналов	0		80	МГц
C1,C2		10		пФ

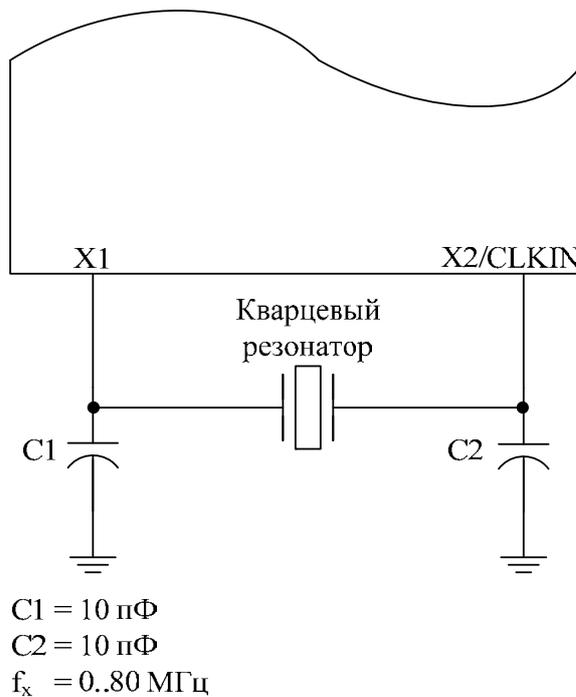


Рисунок 6 – Использование внутреннего генератора

30 Внешний, деленный на два, тактовый генератор

Внешний источник частоты может быть использован непосредственно при подключении вывода X2/CLKIN, оставляя X1 неподключенным. CLKMD1 и CLKMD2 устанавливаются в низкий уровень, а CLKMD3 в высокий. Эта внешняя частота делится на два для генерации внутренних машинных тактов. Внешний тактовый сигнал должен соответствовать спецификациям, перечисленным в таблице 12 рекомендованных параметров внешнего тактового сигнала, в таблице 11 представлены характеристики переключений при рекомендованных эксплуатационных режимах. На рисунке 7 приведены временные характеристики внешнего деленного на два тактового сигнала.

Таблица 11 – Характеристики переключений при рекомендованных эксплуатационных режимах [$H = 0,5t_{c(CO)}$]

Условное обозначение, параметр	Миним	Типовое	Максимум	Ед. изм.
$t_c(CO)$ Тактовая частота, CLKOUT	25	$2t_{c(CI)}$ ¹⁾		нс
$t_d(CIN-CO)$ Время задержки, X2/CLKIN высокий в CLKOUT высокий/низкий	6	12	18	нс
$t_f(CO)$ Время спада, CLKOUT		2		нс
$t_r(CO)$ Время нарастания, CLKOUT		2		нс
$t_w(COL)$ Продолжительность импульса, CLKOUT низкий	H-4	H-2	H	нс
$t_w(COH)$ Продолжительность импульса, CLKOUT высокий	H-4	H-2	H	нс

¹⁾ Может варьироваться для каждого устройства индивидуально. Устройство разработано как полностью статичное и поэтому может работать с $2t_c(CI)$ приближающимся к ∞ . Устройство тестировалось в частотах, приближающихся к 0 Гц, однако для выполнения временных требований к сигналам минимальная частота должна быть более 3,25 МГц.

Таблица 12 – Временные требования по рекомендованным эксплуатационным режимам

Условное обозначение, параметр		Минимум	Максимум	Ед. изм.
$t_{c(CI)}$	Время цикла, X2/CLKIN	12,5	¹⁾	нс
$t_{f(CI)}$	Время спада, X2/CLKIN	4	4	нс
$t_{r(CI)}$	Время нарастания, X2/CLKIN	4	4	нс
$t_{w(CIL)}$	Длительность импульса, X2/CLKIN низкий	3	¹⁾	нс
$t_{w(CIH)}$	Длительность импульса, X2/CLKIN высокий	3	¹⁾	нс

¹⁾ Может варьироваться для каждого устройства индивидуально. Устройство разработано как полностью статичное и поэтому может работать с $2t_{c(CI)}$ приближающимся к ∞ . Устройство тестировалось в частотах, приближающихся к 0 Гц, однако для выполнения временных требований к сигналам минимальная частота должна быть более 6,7 МГц.

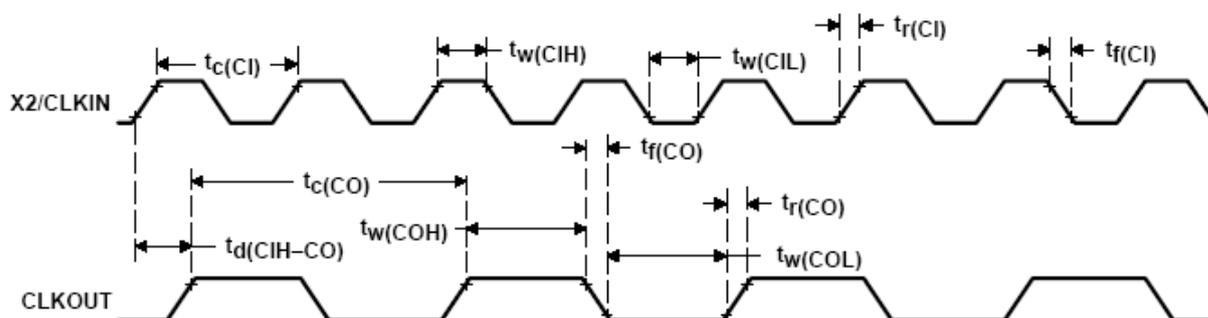


Рисунок 7 – Временные характеристики внешнего деленного на два тактового сигнала

31 Внешний, умноженный на N, тактовый генератор

Внешний тактовый сигнал может использоваться, введением его непосредственно в X2/CLKIN, с X1 оставляя неподключенным, биты CLKMD1, CLKMD2, и CLKMD3 устанавливаются согласно таблице конфигурации режима тактового генератора (таблица 5). Эта внешняя тактовая частота умножена на N, чтобы генерировать внутренний машинный цикл.

Внешний тактовый сигнал должен соответствовать спецификациям, перечисленным в таблице 14 требований к внешнему тактовому сигналу ALU. В таблице 13 приведены характеристики переключений при рекомендованных эксплуатационных режимах.

На рисунке 8 приведены временные характеристики умноженного на единицу внешнего тактового генератора.

Таблица 13 – Характеристики переключений при рекомендованных эксплуатационных режимах [$N = 0,5t_{c(CO)}$]

Условное обозначение, параметр		Минимум	Типовое	Максимум	Ед. изм.
$t_{c(CO)}$	Время цикла, CLKOUT	25	$t_{c(CI)}/N$		нс
$t_{d(CIH-CO)}$	Время задержки X2/CLKIN низкий в CLKOUT высокий	N = 1, 2, 3, 4, 5, 9	12	18	нс
$t_{d(CIH-CO)}$	Время задержки, X2/CLKIN высокий к CLKOUT высокий/низкий	N = 1,5; 2,5; 4,5	12	18	нс

Окончание таблицы 13

Условное обозначение, параметр		Мини-мум	Типовое	Макси-мум	Ед. изм.
$t_{f(CO)}$	Время падения, CLKOUT		2		нс
$t_{r(CO)}$	Время нарастания, CLKOUT		2		нс
$t_{w(COL)}$	Длительность импульса, CLKOUT низкий	H-4	H-2	H	нс
$t_{w(COH)}$	Длительность импульса, CLKOUT высокий	H-4	H-2	H	нс
t_p	Время блокировки фазы			50 ¹⁾	нс
¹⁾ Значение получается расчетным методом и не тестируется.					

Таблица 14 – Временные требования по рекомендованным эксплуатационным режимам

Условное обозначение, параметр		Мини-мум	Макси-мум	Ед. изм.	
$t_c(CI)$	Время цикла, X2/CLKIN ¹⁾	целый PLL умноженный на N	25N	400N	нс
		PLL умноженный на N = x5	25N	200N	
		PLL умноженный на N = x25, x75	25N	100N	
$t_f(CI)$	Время падения, X2/CLKIN ¹⁾		4	нс	
$t_r(CI)$	Время нарастания, X2/CLKIN ¹⁾		4	нс	
$t_w(CIL)$	Длительность импульса, X2/CLKIN низкий	8		нс	
$t_w(CIH)$	Длительность импульса, X2/CLKIN высокий	8		нс	
¹⁾ Значение получается расчетным методом и не тестируется.					

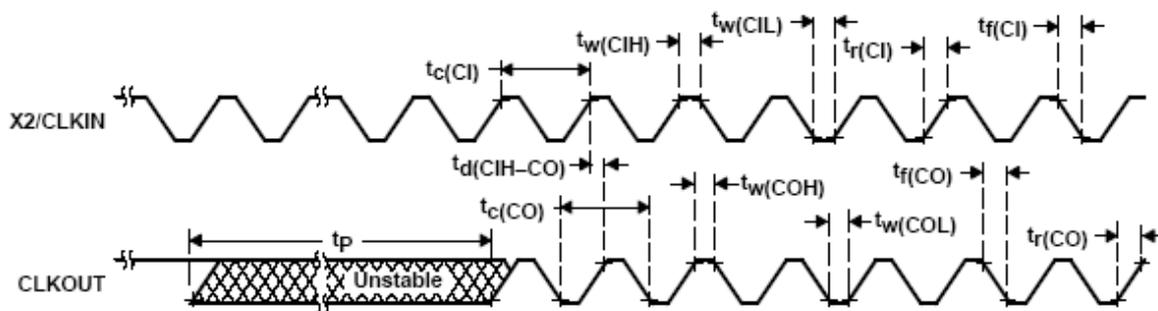


Рисунок 8 – Временные характеристики умноженного на единицу внешнего тактового генератора

32 Временные характеристики памяти и интерфейса параллельного ввода/вывода

В таблице 16 приведены временные характеристики рекомендованным эксплуатационным режимам для чтения из памяти, а в таблице 15 приведены характеристики переключений при рекомендованных эксплуатационных режимах.

На рисунке 9 приведены диаграммы чтения из памяти.

Таблица 15 – Характеристики переключения по рекомендованным эксплуатационным режимам для чтения из памяти (MSTRB# = 0) [H = 0,5 t_{c(CO)}] ^{1), 2)}

Условное обозначение, параметр		Мини-мум	Макси-мум	Ед. изм.
t _{d(CLKL-A)}	Время задержки, адрес действителен при переходе CLKOUT в низкий уровень ³⁾	0	5	нс
t _{d(CLKH-A)}	Время задержки, адрес действителен при переходе CLKOUT в высокий уровень (переход) ⁴⁾	0	5	нс
t _{d(CLKL-MSL)}	Время задержки, MSTRB# низкий из CLKOUT низкий	0	5	нс
t _{d(CLKL-MSH)}	Время задержки, MSTRB# высокий из CLKOUT низкий	2	3	нс
t _{h(CLKL-A)R}	Время удержания, адрес установлен после перехода CLKOUT в низкий уровень	0	5	нс
t _{h(CLKH-A)R}	Время удержания, адрес действителен после перехода CLKOUT в высокий уровень	0	5	нс

¹⁾ Сигналы A15-A0, PS# и DS# имеют все временные характеристики, определяемые как адресные сигналы.
²⁾ Смотри таблицу 23, 24 и 25 для изменений временных характеристики шины адреса для различной емкости нагрузки.
³⁾ В случае чтения памяти, предшествовавшего чтению памяти.
⁴⁾ В случае чтения памяти, предшествовавшего записи памяти.

Таблица 16 – Временные характеристики по рекомендованным эксплуатационным режимам для чтения из памяти (MSTRB# = 0) [H = 0,5 t_{c(CO)}] ^{1), 2)}

Условное обозначение, параметр		Мини-мум	Макси-мум	Ед. изм.
t _{a(A)M}	Время доступа, чтение данных после установления адреса		2H-10	нс
t _{a(MSTRBL)}	Время доступа, чтение данных после перехода MSTRB# в низкий уровень		2H-10	нс
t _{su(D)R}	Время установлений, чтение данных перед переходом CLKOUT в низкий уровень	5		нс
t _{h(D)R}	Время удержания, чтение данных после перехода CLKOUT в низкий уровень	0		нс
t _{h(A-D)R}	Время удержания, чтение данных после того, как адрес стал недействительным	0		нс
t _{h(D)MSTRBH}	Время удержания, чтение данных после перехода MSTRB# в высокий уровень	0		нс

¹⁾ Сигналы A15-A0, PS# и DS# имеют все временные характеристики, определяемые как адресные сигналы.
²⁾ Смотри таблицу 23, 24 и 25 для изменений временных характеристики шины адреса для различной емкости нагрузки.

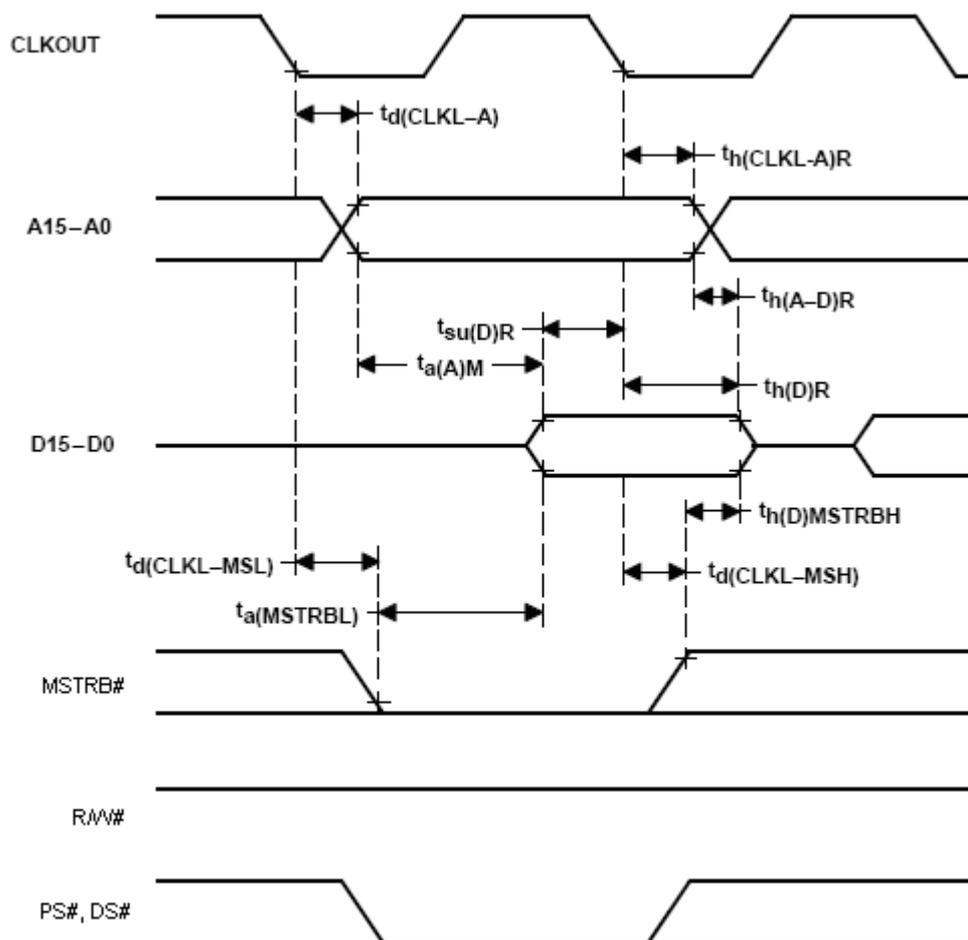


Рисунок 9 – Чтение памяти (MSTRB# = 0)

В таблице 18 приведены временные характеристики по рекомендованным эксплуатационным режимам для записи в память, а в таблице 17 приведены характеристики переключений при рекомендованных эксплуатационных режимах.

На рисунке 10 приведены диаграммы записи в память.

Таблица 17 – Характеристики переключения по рекомендованным эксплуатационным режимам для записи в память (MSTRB# = 0) [H = 0,5 t_{c(CO)}]^{1), 2)}

Условное обозначение, параметр		Минимум	Максимум	Ед. изм.
t _{d(CLK-H-A)}	Время задержки, адрес действителен после перехода CLKOUT в высокий уровень ³⁾	0 ^{4), 5)}	5	нс
t _{d(CLK-L-A)}	Время задержки, адрес действителен после перехода CLKOUT в низкий уровень	0 ^{4), 5)}	5	нс
t _{d(CLK-L-MSL)}	Время задержки, MSTRB# в низкий после CLKOUT в низкий	0	5	нс
t _{d(CLK-L-D)W}	Время задержки, данные установлены после перехода CLKOUT в низкий		10	нс
t _{d(CLK-L-MSH)}	Время задержки, MSTRB# в высокий после CLKOUT в низкий	-2	3	нс

Окончание таблицы 17

Условное обозначение, параметр		Минимум	Максимум	Ед. изм.
$t_{d(CLKH-RWL)}$	Время задержки, R/W# в низкий после CLKOUT в высокий	0	5	нс
$t_{d(CLKH-RWH)}$	Время задержки, R/W# в высокий после CLKOUT в высокий	- 2	3	нс
$t_{d(RWL-MSTRBL)}$	Время задержки, MSTRB# в низкий после R/W# в низкий	- 2	3	нс
$t_{h(A)W}$	Время удержания, адрес доступен после перехода CLKOUT в высокий	0	5 ^{4), 5)}	нс
<p>¹⁾ Сигналы A15-A0, PS# и DS# имеют все временные характеристики, определяемые как адресные сигналы.</p> <p>²⁾ Смотри таблицу 23, 24 и 25 для изменений временных характеристики шины адреса для различной емкости нагрузки.</p> <p>³⁾ В случае чтения из памяти, предшествовавшее записи в память.</p> <p>⁴⁾ В случае записи памяти, предшествовавшего записи в порты ввода/вывода.</p> <p>⁵⁾ Значение определяется расчетным методом и не тестируется.</p>				

Таблица 18 – Временные характеристики по рекомендованным эксплуатационным режимам для записи в память. (MSTRB# = 0) [H = 0,5 $t_{c(CO)}$]^{1), 2)}

Условное обозначение, параметр		Минимум	Максимум	Ед. изм.
$t_{h(D)MSH}$	Время удержания, допустимые записываемые данные после перехода MSTRB# в высокий уровень	H-5	H+5 ^{3), 4)}	нс
$t_{w(SL)MS}$	Длительность импульса, MSTRB# низкий	2H - 5		нс
$t_{su(A)W}$	Время установления, эффективный адрес перед переходом MSTRB# в низкий уровень	2H - 5		нс
$t_{su(D)MSH}$	Время установления, записываемые данные действительны перед переходом MSTRB# в высокий уровень	2H - 10	2H+10 ^{3), 4)}	нс
<p>¹⁾ Сигналы A15-A0, PS# и DS# имеют все временные характеристики, определяемые как адресные сигналы.</p> <p>²⁾ Смотри таблицу 23, 24 и 25 для изменений временных характеристики шины адреса для различной емкости нагрузки.</p> <p>³⁾ В случае записи в память, предшествовавшее записи в порты ввода/вывода.</p> <p>⁴⁾ Значение определяется расчетным методом и не тестируется.</p>				

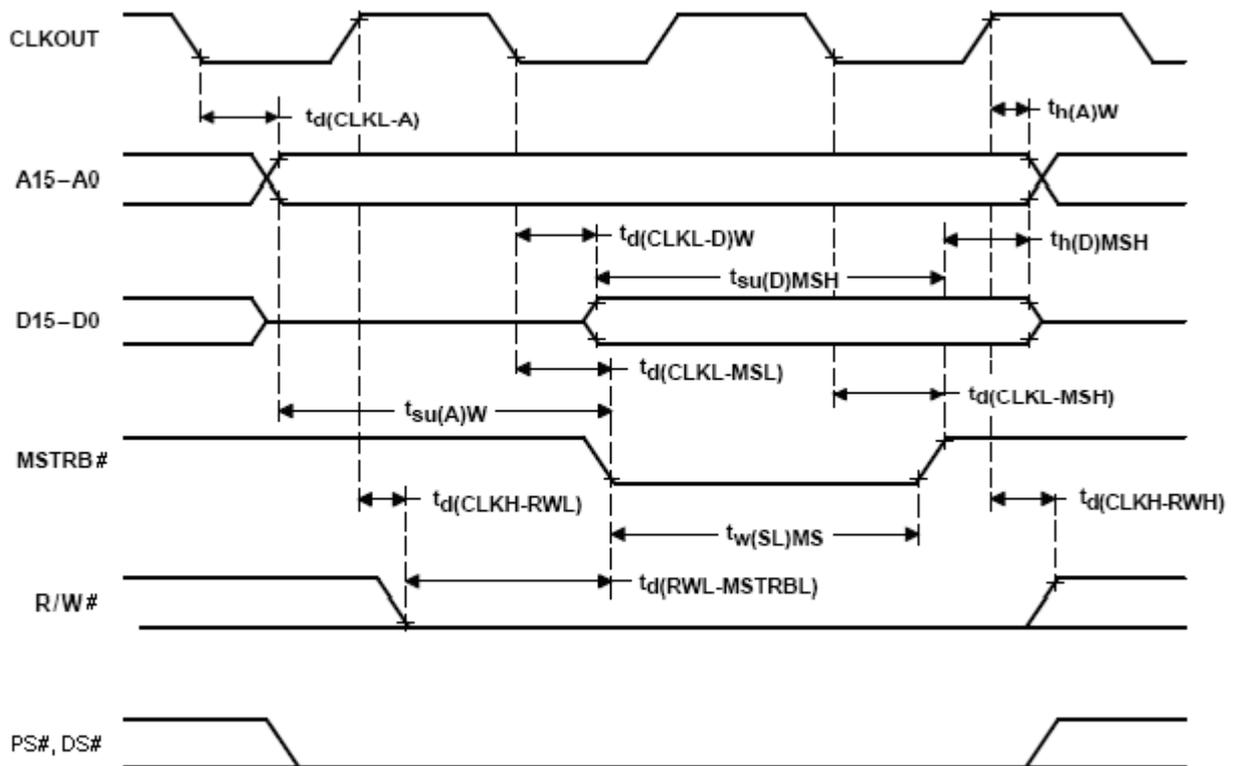


Рисунок 10 – Запись памяти (MSTRB# = 0)

В таблице 20 приведены временные характеристики по рекомендованным эксплуатационным режимам для чтения параллельного порта ввода/вывода. В таблице 19 приведены характеристики переключений при рекомендованных эксплуатационных режимах.

На рисунке 11 приведены диаграммы чтения из параллельного порта ввода/вывода.

Таблица 19 – Характеристики переключения по рекомендованным эксплуатационным режимам для чтения параллельного порта ввода/вывода (IOSTRB# = 0) [$H = 0,5 t_{c(CO)}$]^{1), 2)}

Условное обозначение, параметр		Минимум	Максимум	Ед. изм.
$t_{d(CLKL-A)}$	Время задержки, адрес действителен при переходе из CLKOUT низкий уровень	0 ³⁾	5	нс
$t_{d(CLKH-ISTRBL)}$	Время задержки, IOSTRB# низкий после перехода CLKOUT в высокий уровень	0	5	
$t_{d(CLKH-ISTRBH)}$	Время задержки, IOSTRB# высокий после перехода CLKOUT в высокий уровень	-2	3	
$t_{h(A)IOR}$	Время удержания, адрес после перехода CLKOUT в низкий уровень	0	5 ³⁾	
<p>¹⁾ Сигналы A15-A0 и IS# имеют все временные характеристики, определяемые как адресные сигналы.</p> <p>²⁾ Смотри таблицы 23, 24 и 25 для изменений временных характеристики шины адреса для различной емкости нагрузки.</p> <p>³⁾ Значение определяется расчетным методом и не тестируется.</p>				

Таблица 20 – Временные характеристики по рекомендованным эксплуатационным режимам для чтения параллельного порта ввода/вывода. (IOSTRB# = 0) [$H = 0,5 t_{c(CO)}$] ^{1), 2)}

Условное обозначение, параметр		Минимум	Максимум	Ед. изм.
$t_{a(A)IO}$	Время доступа, чтение данных после установления адреса		3Н–10	нс
$t_{a(ISTRBL)IO}$	Время доступа, чтение данных после перехода IOSTRB# в низкий уровень		3Н–10	
$t_{su(D)IOR}$	Время доступа, чтение данных перед тем, как CLKOUT перейдет в высокий уровень	5		
$t_{h(D)IOR}$	Время удержания, чтение данных после перехода CLKOUT в высокий уровень	0		нс
$t_{h(ISTRBH-D)R}$	Время удержания, чтение данных после перехода IOSTRB# в высокий уровень	0		

¹⁾ Сигналы A15-A0 и IS# имеют все временные характеристики, определяемые как адресные сигналы.

²⁾ Смотри таблицы 23, 24 и 25 для изменений временных характеристики шины адреса для различной емкости нагрузки.

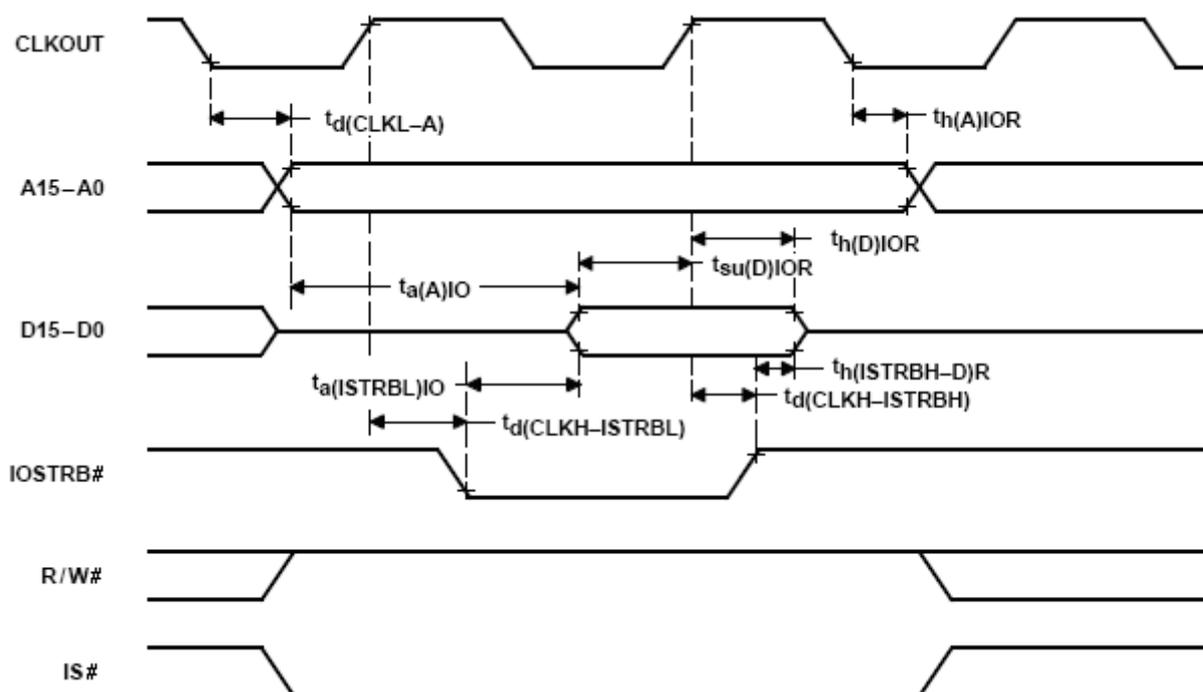


Рисунок 11 – Чтение из параллельного порта ввода/вывода (IOSTRB# = 0)

В таблице 22 приведены временные характеристики по рекомендованным эксплуатационным режимам для записи в параллельный порт ввода/вывода, а в таблице 21 приведены характеристики переключений при рекомендованных эксплуатационных режимах.

На рисунке 12 приведены диаграммы записи в параллельный порт ввода/вывода.

Таблица 21 – Характеристики переключения по рекомендованным эксплуатационным режимам для записи в параллельный порт ввода/вывода (IOSTRB# = 0) [$H = 0,5 t_{c(CO)}$]¹⁾

Условное обозначение, параметр	Минимум	Максимум	Ед. изм.
$t_{d(CLKL-A)}$ Время задержки, адрес действителен после перехода CLKOUT в низкий уровень ²⁾	0 ³⁾	5	нс
$t_{d(CLKH-ISTRBL)}$ Время задержки, низкий IOSTRB# после перехода CLKOUT в высокий уровень	0	5	нс
$t_{d(CLKH-D)IOW}$ Время задержки, записанные данные действительны после перехода CLKOUT в высокий уровень	$H-5$ ³⁾	$H+10$	нс
$t_{d(CLKH-ISTRBH)}$ Время задержки, IOSTRB# в высоком уровне после перехода CLKOUT в высокий уровень	-2	3	нс
$t_{d(CLKL-RWL)}$ Время задержки, R/W# в низком уровне после перехода CLKOUT в низкий уровень	0	5	нс
$t_{d(CLKL-RWH)}$ Время задержки, R/W# в высоком уровне после перехода CLKOUT в низкий уровень	-2	3	нс
$t_{h(A)IOW}$ Время удержания, адрес действителен после перехода CLKOUT в низкий уровень	0	5 ³⁾	нс
<p>¹⁾ Сигналы A15-A0 и IS# имеют все временные характеристики, определяемые как адресные сигналы.</p> <p>²⁾ Смотри таблицы 23, 24 и 25 для изменений временных характеристик шины адреса для различной емкости нагрузки.</p> <p>³⁾ Значение определяется расчетным методом и не тестируется.</p>			

Таблица 22 – Временные характеристики по рекомендованным эксплуатационным режимам для записи в параллельный порт ввода/вывода (IOSTRB# = 0) [$H = 0,5 t_{c(CO)}$]¹⁾

Условное обозначение, параметр	Минимум	Максимум	Ед. изм.
$t_{h(D)IOW}$ Время удержания, запись данных после перехода IOSTRB# в высокий уровень	$H-5$ ³⁾	$H+5$	нс
$t_{su(D)IOSTRBH}$ Время установления, запись данных перед переходом IOSTRB# в высокий уровень	$H-7$	H	нс
$t_{su(A)IOSTRBL}$ Время установления, адрес действителен перед переходом IOSTRB# в низкий уровень	$H-5$	$H+5$	нс
<p>¹⁾ Сигналы A15-A0 и IS# имеют все временные характеристики определяемые как адресные сигналы.</p> <p>²⁾ Смотри таблицы 23, 24 и 25 для изменений временных характеристик шины адреса для различной емкости нагрузки.</p> <p>³⁾ Значение определяется расчетным методом и не тестируется.</p>			

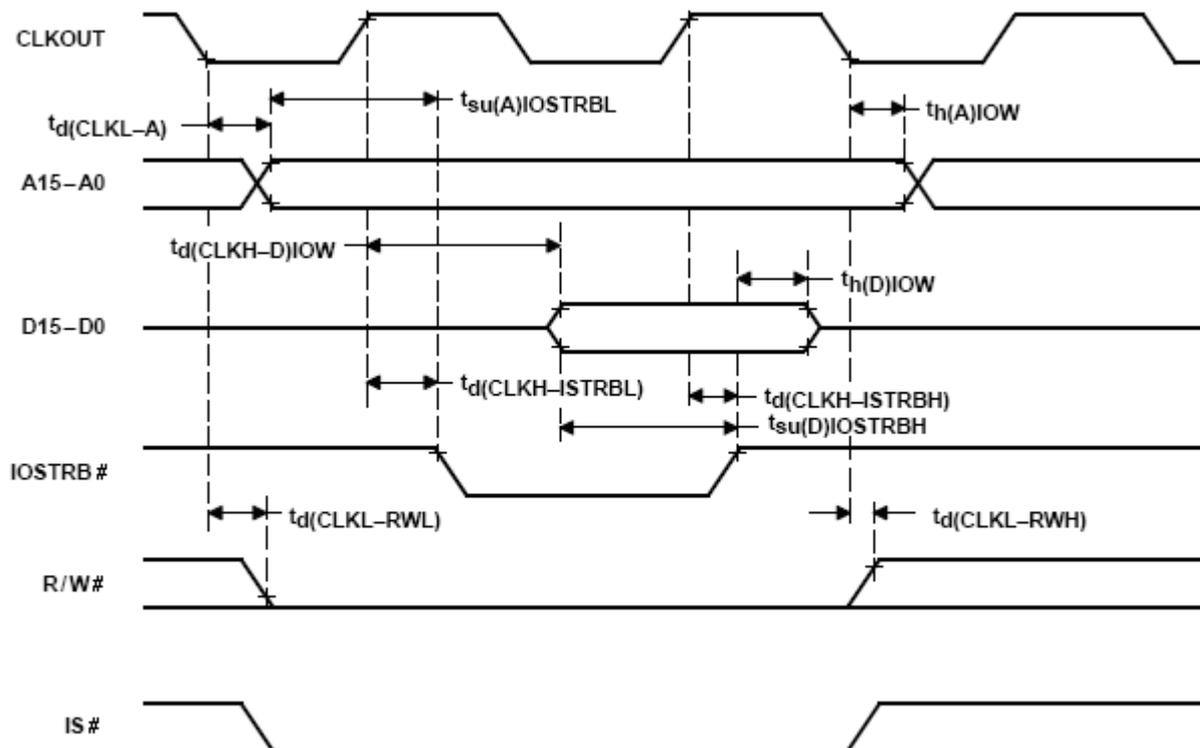


Рисунок 12 – Запись в параллельный порт ввода/вывода (IOSTRB# = 0)

33 Изменение временных параметров с емкостной нагрузкой: результат SPICE-моделирования

Условия: Температура : 125 °C
 Емкость : (0 – 100) пФ
 Напряжение : (2,7 / 3,0 / 3,3) В
 Модель : Слабый/Номинал/Сильный

На рисунке 13 приведена диаграмма возрастающего и падающего фронтов сигнала при заданных условиях моделирования.

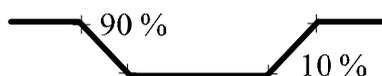


Рисунок 13 – Диаграмма возрастающего и падающего фронтов

Таблицы 23-25 описывают изменение временных параметров с емкостной нагрузкой при различных напряжениях питания.

Таблица 23 – Изменение временных параметров с емкостной нагрузкой: [2.7 В] (10 – 90) %

Емкость нагрузки, пФ	Слабый		Номинал		Сильный	
	передний фронт, нс	задний фронт, нс	передний фронт, нс	задний фронт, нс	передний фронт, нс	задний фронт, нс
0	0,476	0,457	0,429	0,391	0,382	0,323
10	1,511	1,278	1,386	1,148	1,215	1,049
20	2,551	2,133	2,350	1,956	2,074	1,779
30	3,614	3,011	3,327	2,762	2,929	2,512
40	4,664	3,899	4,394	3,566	3,798	3,264
50	5,752	4,786	5,273	4,395	4,655	4,010
60	6,789	5,656	6,273	5,206	5,515	4,750
70	7,817	6,598	7,241	6,000	6,442	5,487
80	8,897	7,531	8,278	6,928	7,262	6,317
90	10,021	8,332	9,152	7,735	8,130	7,066
100	11,072	9,299	10,208	8,537	8,997	7,754

Таблица 24 – Изменение временных параметров с емкостной нагрузкой: [3 В] (10 – 90) %

Емкость нагрузки, пФ	Слабый		Номинал		Сильный	
	передний фронт, нс	задний фронт, нс	передний фронт, нс	задний фронт, нс	передний фронт, нс	задний фронт, нс
0	0,436	0,387	0,398	0,350	0,345	0,290
10	1,349	1,185	1,240	1,064	1,092	0,964
20	2,273	1,966	2,098	1,794	1,861	1,634
30	3,226	2,765	2,974	2,539	2,637	2,324
40	4,168	3,573	3,849	3,292	3,406	3,013
50	5,110	4,377	4,732	4,052	4,194	3,710
60	6,033	5,230	5,660	4,811	5,005	4,401
70	7,077	5,997	6,524	5,601	5,746	5,117
80	8,020	6,899	7,416	6,336	6,559	5,861
90	8,917	7,709	8,218	7,124	7,323	6,498
100	9,885	8,541	9,141	7,830	8,101	7,238

Таблица 25 – Изменение временных параметров с емкостной нагрузкой: [3,3 В] (10 - 90) % ; [3 В] (10 – 90) %

Емкость нагрузки, пФ	Слабый		Номинал		Сильный	
	передний фронт, нс	задний фронт, нс	передний фронт, нс	задний фронт, нс	передний фронт, нс	задний фронт, нс
0	0,404	0,361	0,371	0,310	0,321	0,284
10	1,227	1,081	1,133	1,001	1,000	0,892
20	2,070	1,822	1,915	1,675	1,704	1,530
30	2,931	2,567	2,719	2,367	2,414	2,169
40	3,777	3,322	3,515	3,072	3,120	2,823
50	4,646	4,091	4,319	3,779	3,842	3,466
60	5,487	4,859	5,145	4,503	4,571	4,142
70	6,405	5,608	5,980	5,234	5,301	4,767
80	7,284	6,463	6,723	5,873	5,941	5,446
90	8,159	7,097	7,560	6,692	6,740	6,146
100	8,994	7,935	8,300	7,307	7,431	6,822

34 Временные характеристики чтения для внешних сгенерированных состояний ожидания

В таблице 26 приведены временные характеристики по рекомендованным эксплуатационным режимам для внешних сгенерированных состояний ожидания.

На рисунке 14 приведены диаграммы чтения памяти с внешними сгенерированными состояниями ожидания, на рисунке 15 – диаграммы записи в память с внешними сгенерированными состояниями ожидания, на рисунке 16 – диаграммы чтения портов ввода/вывода с внешними сгенерированными состояниями ожидания, на рисунке 17 – диаграммы записи в порты ввода/вывода с внешними сгенерированными состояниями ожидания.

Таблица 26 – Временные характеристики по рекомендованным эксплуатационным режимам для внешних сгенерированных состояний ожидания [$H = 0,5 t_{c(CO)}$]¹⁾

Условное обозначение, параметр	Минимум	Максимум	Ед. изм.
$t_{su(RDY)}$ Время установки, READY перед низким CLKOUT	10		нс
$t_{h(RDY)}$ Время удержания, READY после низкого CLKOUT	0		нс
$t_{v(RDY)MSTRB}$ Действительное время, READY после низкого MSTRB# ²⁾		4Н – 15	нс
$t_{h(RDY)MSTRB}$ Время удержания, READY после низкого MSTRB# ²⁾	4Н		нс
$t_{v(RDY)IOSTRB}$ Действительное время, READY после низкого IOSTRB# ²⁾		5Н – 15	нс
$t_{h(RDY)IOSTRB}$ Время удержания, READY после низкого IOSTRB# ²⁾	5Н		нс
$t_{v(MSCL)}$ Действительное время, MSC# низкий после низкого CLKOUT	0 ³⁾	5	нс
$t_{v(MSCH)}$ Действительное время, MSC# высокий после низкого CLKOUT	-2 ³⁾	3	нс

¹⁾ Аппаратные состояния ожидания могут использоваться только вместе с программными состояниями ожидания для расширения шинных циклов. Для генерации состояний ожидания до сигнала READY, должны быть запрограммированы не менее двух программных циклов ожидания.

²⁾ Эти значения включены только для справки. Критические значения для READY определены и для CLKOUT.

³⁾ Значение определяется расчетным методом и не тестируется.

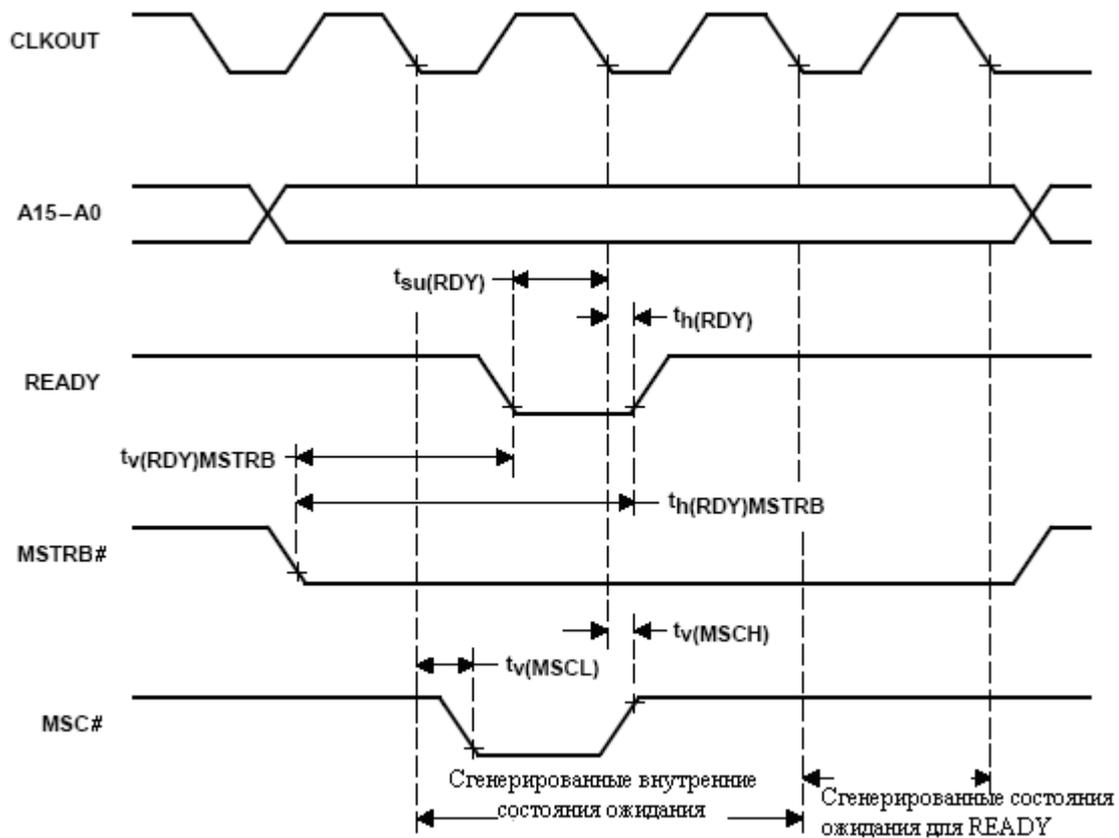


Рисунок 14 – Чтение памяти с внешними сгенерированными состояниями ожидания

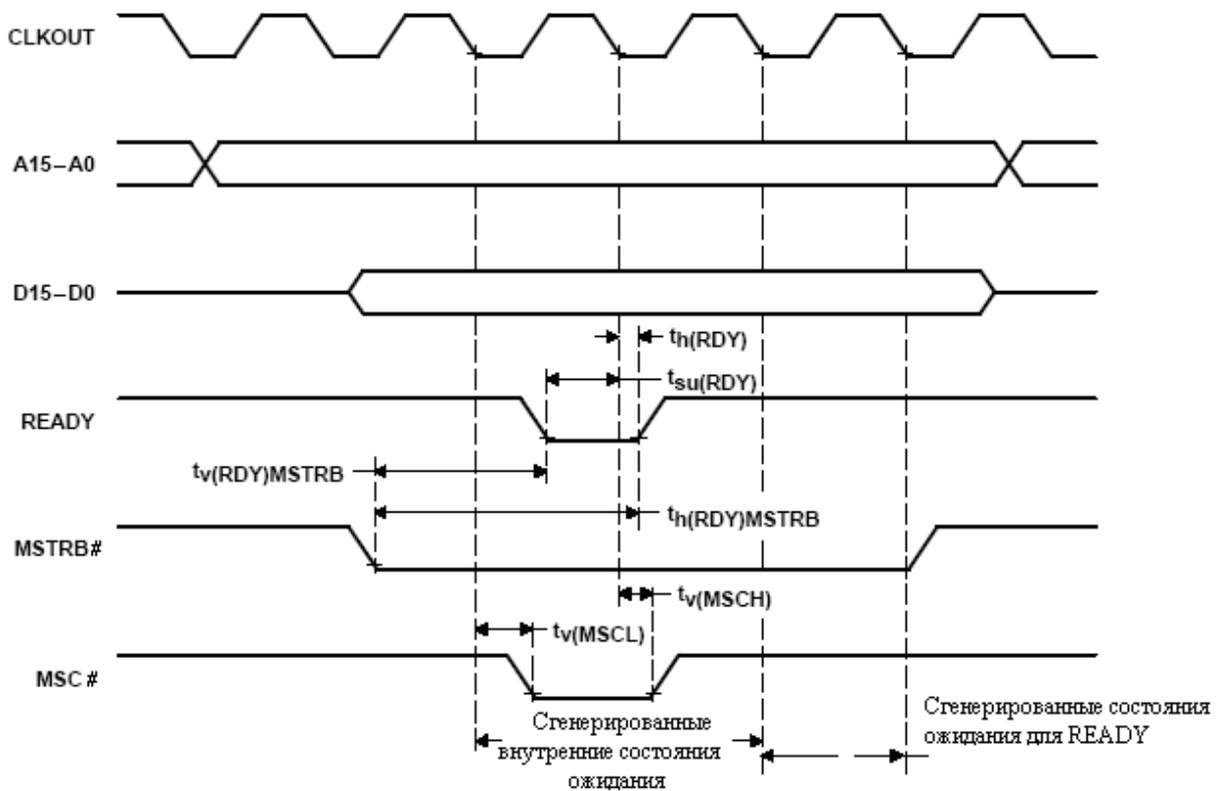


Рисунок 15 – Запись в память с внешними сгенерированными состояниями ожидания

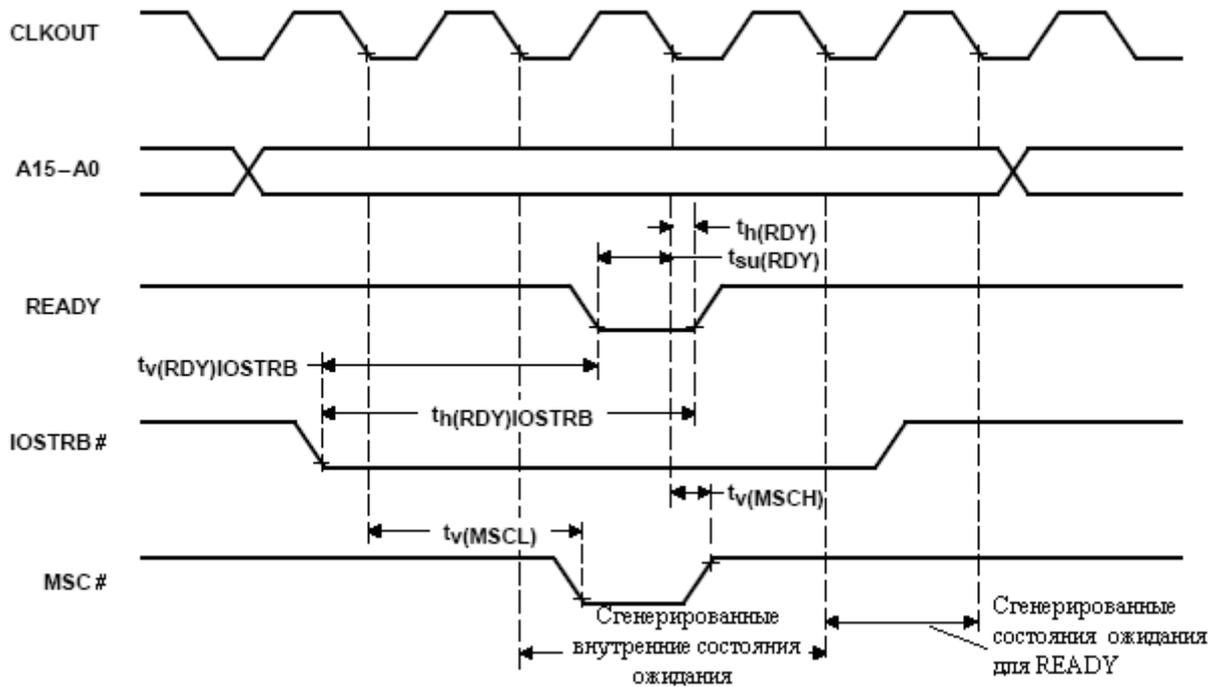


Рисунок 16 – Чтение портов ввода/вывода с внешними сгенерированными состояниями ожидания

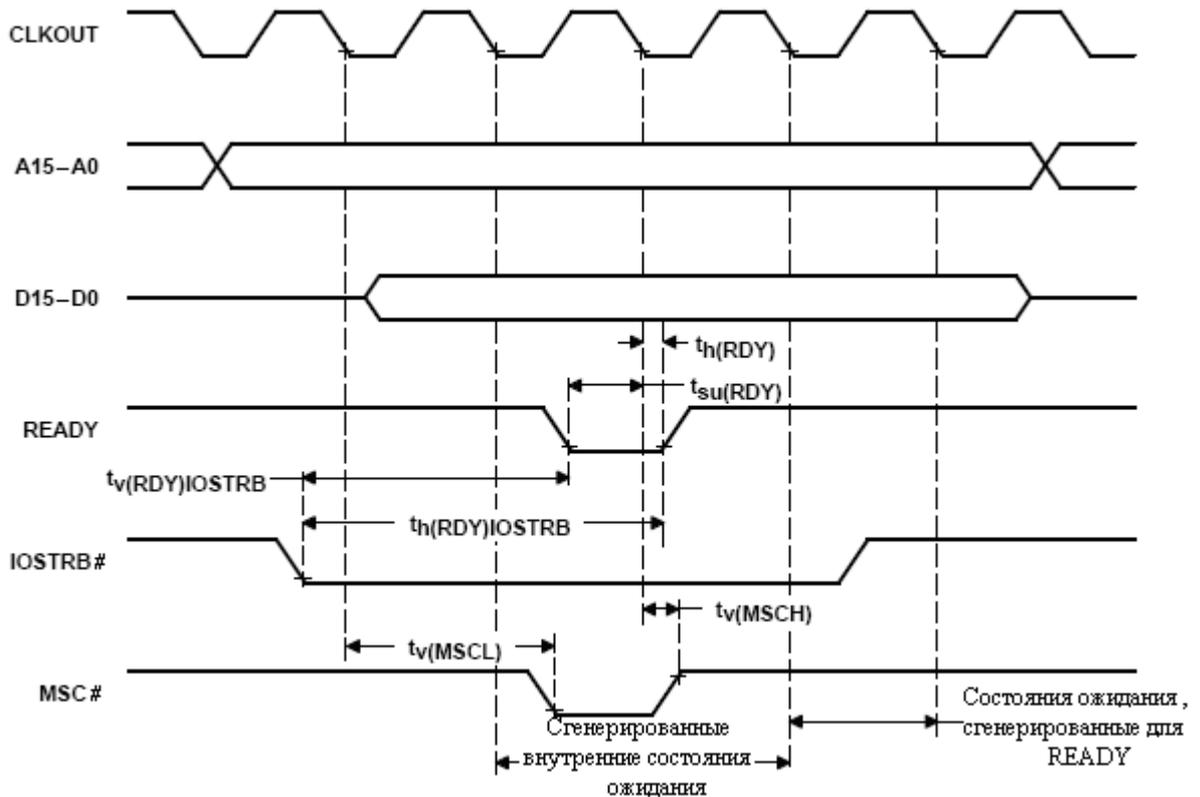


Рисунок 17 – Запись в порты ввода/вывода с внешними сгенерированными состояниями ожидания

35 Временные характеристики HOLD# и HOLDA#

В таблице 28 приведены временные характеристики по рекомендованным эксплуатационным режимам для HOLD# и HOLDA#, а в таблице 27 приведены характеристики переключений при рекомендованных эксплуатационных режимах.

На рисунке 18 приведены временные характеристики HOLD# и HOLDA#.

Таблица 27 – Характеристики переключения по рекомендованным эксплуатационным режимам для HOLD# и HOLDA# (IOSTRB# = 0) [H = 0,5 t_{c(CO)}]

Условное обозначение, параметр		Мини-мум	Макси-мум	Ед. изм.
t _{dis(CLKL-A)}	Время запрещения, CLKOUT низкий для адреса, DS#, PS#, IS#		5 ¹⁾	нс
t _{dis(CLKL-RW)}	Время запрещения, CLKOUT низкий для R/W#		5 ¹⁾	нс
t _{dis(CLKL-S)}	Время запрещения, CLKOUT низкий для MSTRB#, IOSTRB#		5 ¹⁾	нс
t _{en(CLKL-A)}	Время разрешения, CLKOUT низкий для адреса, DS#, PS#, IS#		2H+5	нс
t _{en(CLKL-RW)}	Время разрешения, CLKOUT низкий для разрешения R/W#		2H+5	нс
t _{en(CLKL-S)}	Время разрешения, CLKOUT низкий для разрешения MSTRB#, IOSTRB#		2H+5	нс
¹⁾ Значение определяется расчетным методом и не тестируется.				

Таблица 28 – Временные характеристики по рекомендованным эксплуатационным режимам для HOLD# и HOLDA#. (IOSTRB# = 0) [H = 0,5 t_{c(CO)}]

Условное обозначение, параметр		Мини-мум	Макси-мум	Ед. изм.
t _{w(HOLD)}	Длительность импульса, длительность низкого уровня HOLD#	4H+10		нс
t _{w(HOLDA)}	Длительность импульса, длительность низкого уровня HOLDA#	2H+10		нс
t _{su(HOLD)}	Время установления, HOLD# перед переходом CLKOUT в низкий уровень	10		нс
t _{v(HOLDA)}	Действительное Время, HOLDA# после перехода CLKOUT в низкий уровень	-2 ¹⁾	5	нс
¹⁾ Значение определяется расчетным методом и не тестируется.				

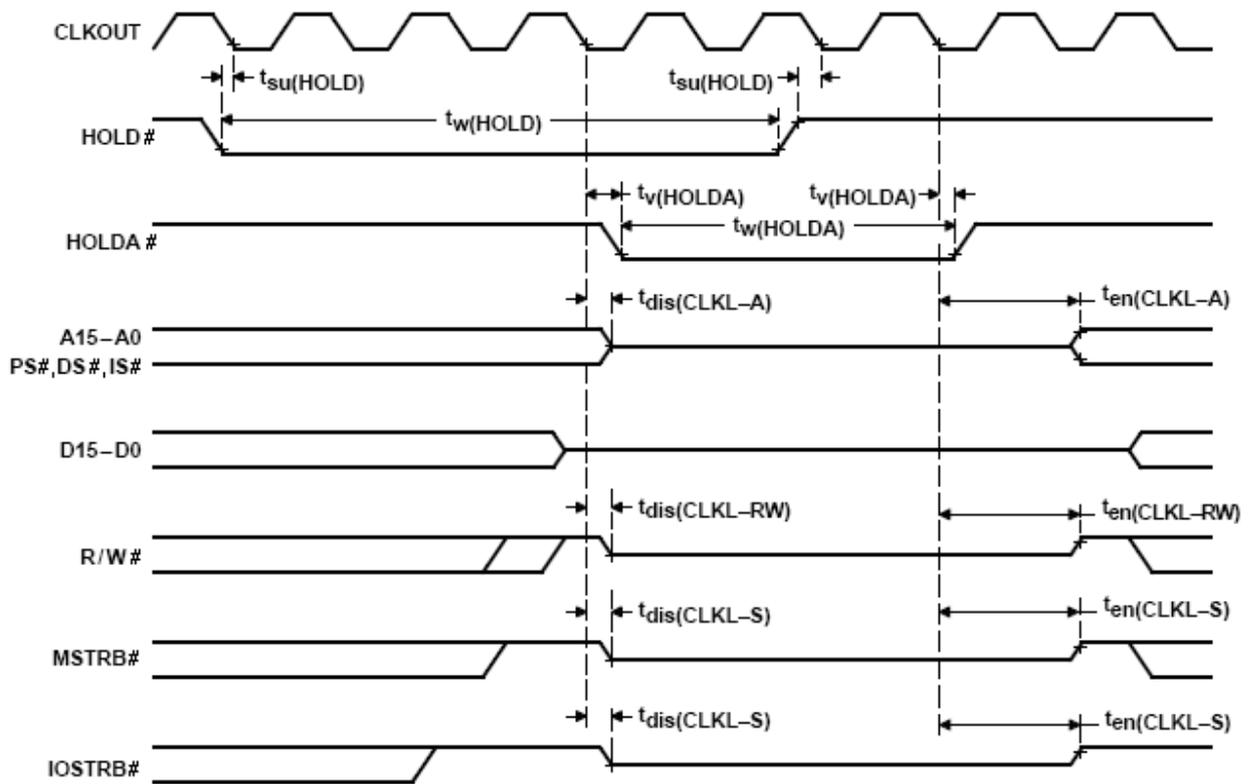


Рисунок 18 – HOLD# и HOLDA# временные характеристики (HM = 1)

36 Временные характеристики сигналов сброса, ВЮм, прерываний и МР/МС#

Таблица 29 – Временные характеристики по рекомендованным эксплуатационным режимам для сигналов сброса, ВЮ#, прерываний и МР/МС# [$H = 0,5 t_{c(CO)}$]

Условное обозначение, параметр	Мини-мум	Макси-мум	Ед. изм.
$t_{h(RS)}$ Время удержания, RS# после низкого CLKOUT	0		нс
$t_{h(BIO)}$ Время удержания, ВЮ# после низкого CLKOUT	0		нс
$t_{h(INT)}$ Время удержания, INTn# и NMI# после низкого CLKOUT ¹⁾	0		нс
$t_{h(MPMC)}$ Время удержания, МР/МС# после низкого CLKOUT	0		нс
$t_{w(RSL)}$ Длительность импульса, RS# низкий ^{2), 3), 4)}	4Н+10		нс
$t_{w(BIO)S}$ Длительность импульса, ВЮ# низкий, синхронный	2Н+15		нс
$t_{w(BIO)A}$ Длительность импульса, ВЮ# низкий, асинхронный ³⁾	4Н		нс
$t_{w(INT)S}$ Длительность импульса, INTn# и NMI# высокие, синхронные	2Н+15		нс
$t_{w(INT)A}$ Длительность импульса, INTn# и NMI# высокие, асинхронные	4Н		нс
$t_{w(INTL)S}$ Длительность импульса, INTn# и NMI# низкие, синхронные	2Н+15		нс
$t_{w(INTL)A}$ Длительность импульса, INTn# и NMI# низкие, асинхронные ³⁾	4Н		нс
$t_{w(INTL)WKP}$ Длительность импульса, INTn# и NMI# низкие, для выхода из IDLE2/IDLE3	10		нс
$t_{su(RS)}$ Время установления, RS# перед низким X2/CLKIN ⁵⁾	5		нс
$t_{su(BIO)}$ Время установления, ВЮ# перед низким CLKOUT	15		нс
$t_{su(INT)}$ Время установления, INTn#, NMI#, RS# перед низким CLKOUT	15		нс
$t_{su(MPMC)}$ Время установления, МР/МС# перед низким CLKOUT ⁶⁾	10		нс

¹⁾ Внешние прерывания (INTn# и NMI#) синхронизируются с ядром ЦПУ с помощью двух синхронизирующих тактов, которые измеряются на входе двух последовательных падающих фронтах CLKOUT. На контакте входа прерывания необходимо предоставить последовательность 1-0-0, синхронизированную с соответствующей последовательностью из трех CLKOUT.

²⁾ Если выбран режим PLL, то в последовательности включения питания или сигнале выхода из IDLE3, RS# должен быть удержан, по крайней мере, на 50 мкс для того, чтобы быть уверенным, что синхронизация и блокировка фазы в PLL произошла.

³⁾ Значения получены расчетным методом и не тестируются.

⁴⁾ RS# может быть причиной изменения в тактовой частоте, потому что изменяет значение Н.

⁵⁾ Режим деления на два.

⁶⁾ Значения получены расчетным методом и не тестируются.

В таблице 29 приведены временные характеристики по рекомендованным эксплуатационным режимам для сигналов сброса ВЮ# и прерываний и МР/МС#.

На рисунке 19 приведены временные характеристики сигналов RESET и ВЮ#, на рисунке 20 – временные характеристики сигналов прерывания, на рисунке 21 – временные характеристики сигнала МР/МС#.

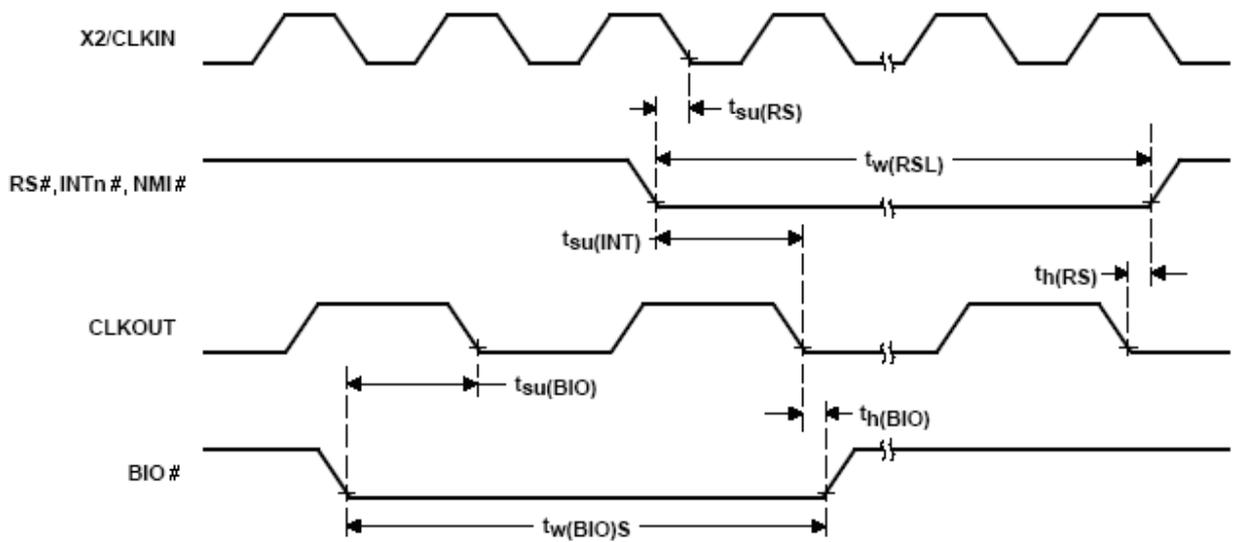


Рисунок 19 – Временные характеристики сигналов RESET и BIO#

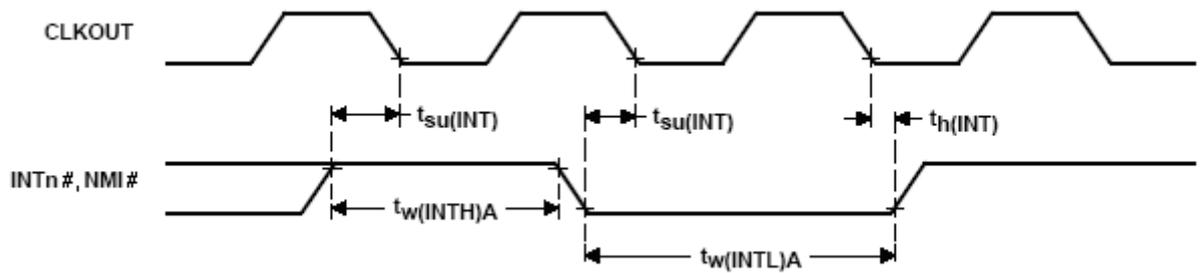


Рисунок 20 – Временные характеристики сигналов прерывания

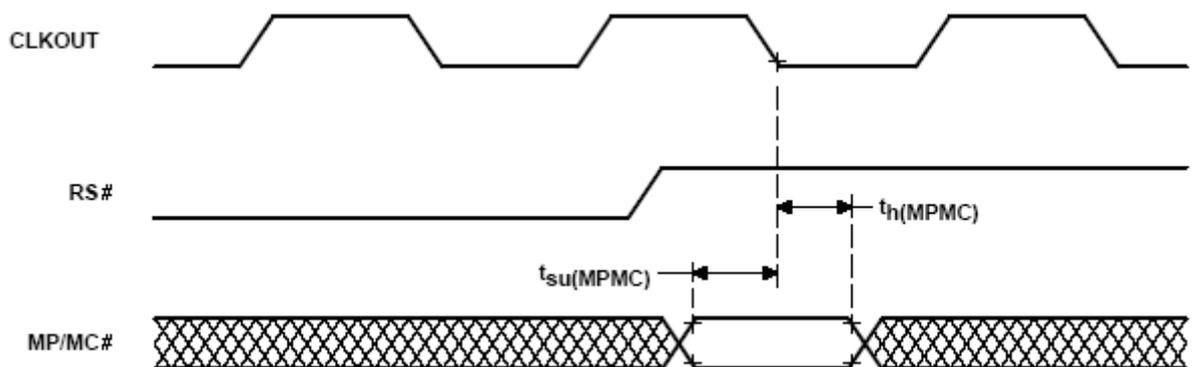


Рисунок 21 – Временные характеристики сигнала MP/MC#

37 Временные характеристики сигналов выполнения команды (IAQ#), подтверждения прерывания (IACK#), внешний флаг (XF) и TOUT

В таблице 30 приведены временные характеристики по рекомендованным эксплуатационным режимам для IAQ# и IACK#, а в таблице 31 приведены временные характеристики по рекомендованным эксплуатационным режимам для внешнего флага XF и TOUT.

На рисунке 22 приведены временные характеристики сигналов IAQ# и IACK#, на рисунке 23 – временные характеристики внешнего флага (XF), на рисунке 24 – временные характеристики TOUT.

Таблица 30 – Характеристики переключения по рекомендованным эксплуатационным режимам для IAQ# и IACK# [$H = 0,5 t_{c(CO)}$]

Условное обозначение, параметр		Минимум	Максимум	Ед. изм.
$t_{d(CLKL-IAQL)}$	Время задержки, IAQ# действительное после низкого CLKOUT	0 ¹⁾	5	нс
$t_{d(CLKL-IAQH)}$	Время задержки, IAQ# высокий после низкого CLKOUT	-2 ¹⁾	3	нс
$t_{d(A)IAQ}$	Время задержки, адрес действительное перед низким IAQ#		5	нс
$t_{d(CLKL-IACKL)}$	Время задержки, IACK# действительное после низкого CLKOUT	0 ¹⁾	5	нс
$t_{d(CLKL-IACKH)}$	Время задержки, IACK# высокий после низкого CLKOUT	-2	3	нс
$t_{d(A)IACK}$	Время задержки, адрес действительное перед низким IACK#		5	нс
$t_{h(A)IAQ}$	Время удержания, адрес действительное после высокого IAQ#	0		нс
$t_{h(A)IACK}$	Время удержания, адрес действительное после высокого IACK#	0		нс
$t_w(IAQL)$	Длительность импульса, IAQ# низкий	2H – 10		нс
$t_w(IACKL)$	Длительность импульса, IACK# низкий	2H – 10		нс
¹⁾ Значения получены расчетным методом и не тестируются.				

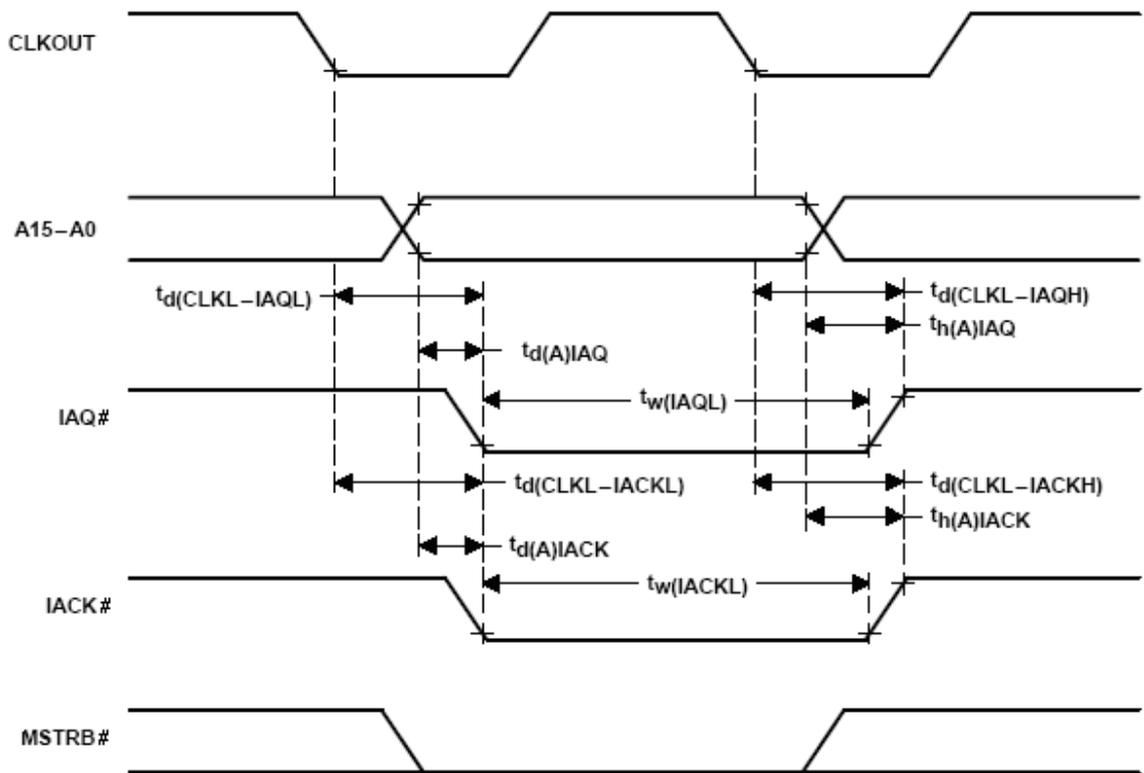


Рисунок 22 – Временные характеристики сигналов IAQ# и IACK#

Таблица 31 – Характеристики переключения по рекомендованным эксплуатационным режимам для внешнего флага XF и TOUT [$H = 0,5 t_{c(CO)}$]

Условное обозначение, параметр	Минимум	Максимум	Ед. изм.
$t_d(XF)$	$-2^{1)}$	5	нс
$t_d(TOUTH)$	$-2^{1)}$	3	нс
$t_d(TOUTL)$	$0^{1)}$	5	нс
$t_w(TOUT)$	2H-10		нс

¹⁾ Значения получены расчетным методом и не тестируются.

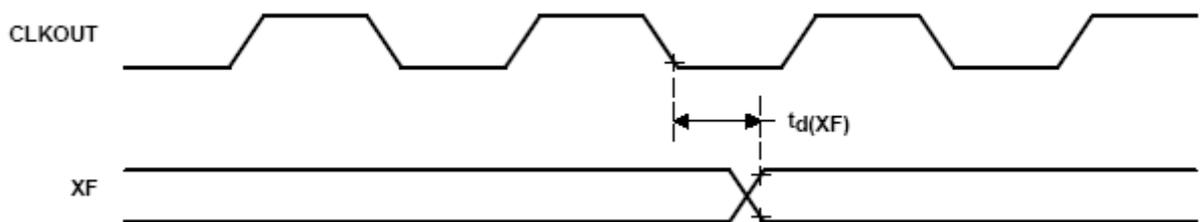


Рисунок 23 – Временные характеристики внешнего флага (XF)

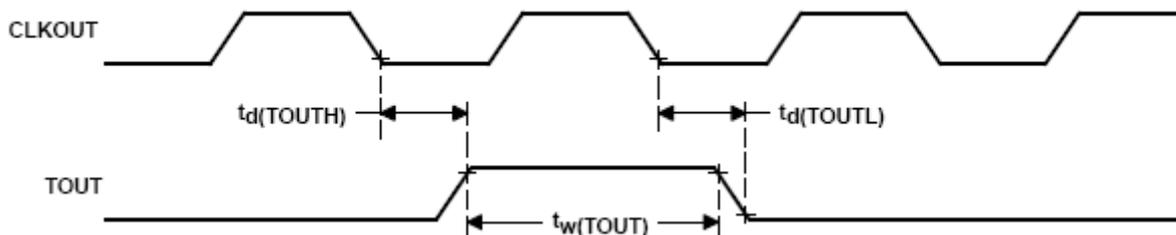


Рисунок 24 – Временные характеристики TOUT

38 Временные характеристики приема последовательного порта

В таблице 33 приведены временные характеристики по рекомендованным эксплуатационным режимам для приема последовательного порта, а в таблице 32 приведены характеристики переключения по рекомендованным эксплуатационным режимам.

На рисунке 25 приведены временные характеристики приема последовательного порта.

Таблица 32 – Характеристики переключения по рекомендованным эксплуатационным режимам для приема последовательного порта [$H = 0,5 t_c(CO)$]

Условное обозначение, параметр		Мини-мум	Макси-мум	Ед. изм.
$t_{h(FSR)}$	Время удержания, FSR после падающего фронта CLKR	7		нс
$t_{h(DR)}$	Время удержания, DR после падающего фронта CLKR	7		нс

Таблица 33 – Временные характеристики по рекомендованным эксплуатационным режимам для приема последовательного порта [$H = 0,5 t_c(CO)$]

Условное обозначение, параметр		Мини-мум	Макси-мум	Ед. изм.
$t_{c(SCK)}$	Время цикла, тактовый сигнал последовательного порта	6Н	1)	нс
$t_{f(SCK)}$	Время падающего фронта, тактовый сигнал последовательного порта ²⁾		6	нс
$t_{r(SCK)}$	Время возрастающего фронта, тактовый сигнал последовательного порта ²⁾		6	нс
$t_{w(SCK)}$	Длительность импульса, тактовый сигнал последовательного порта низкий/высокий	3Н		нс
$t_{su(FSR)}$	Время установления, FSR перед падающим фронтом CLKR	7		нс
$t_{su(DR)}$	Время установления, DR перед падающим фронтом CLKR	7		нс

1) Конструкция последовательного порта целиком статична и поэтому он может работать с $t_{c(SCK)}$ приближающимся к ∞ . Это получено расчетным путем, но тестировалось на значительно более высокой частоте с целью уменьшить время тестирования.

2) Значения получены расчетным методом и не тестируются.

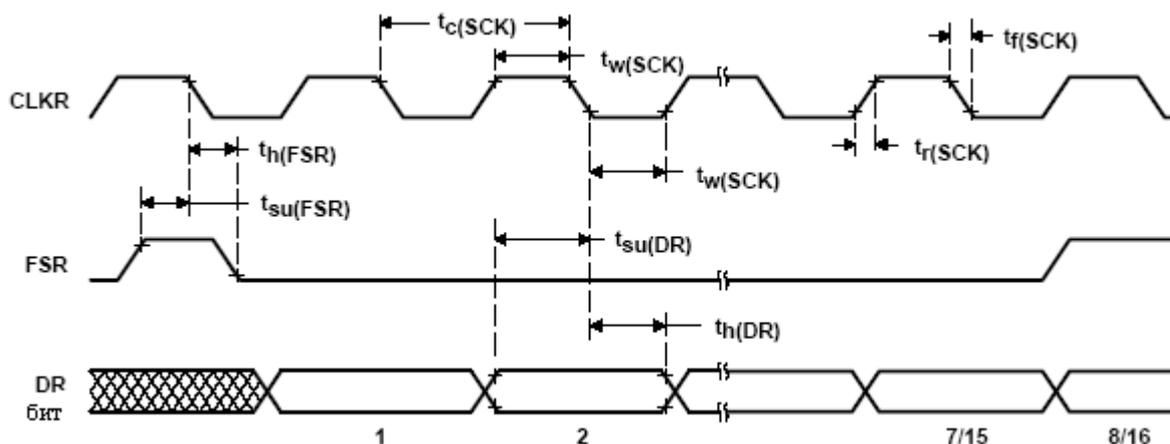


Рисунок 25 – Временные характеристики приема последовательного порта

39 Временные характеристики передачи последовательного порта

В таблице 35 приведены временные характеристики по рекомендованным эксплуатационным режимам для передачи последовательного порта, а в таблице 34 приведены характеристики переключения по рекомендованным эксплуатационным режимам.

На рисунке 26 приведены временные характеристики передачи последовательного порта с внешним тактированием и кадровой синхронизацией.

Таблица 34 – Характеристики переключения по рекомендованным эксплуатационным режимам для передачи последовательного порта [$H = 0,5 t_{c(CO)}$]

Условное обозначение, параметр	Минимум	Максимум	Ед. изм.
$t_{d(DX)}$ Время задержки, DX действительное после возрастающего фронта CLKX		25	нс
$t_{d(FSX)}$ Время задержки, FSX после возрастающего фронта CLKX		$2H - 8$	нс
$t_{dis(DX)}$ Время запрета, DX после возрастающего фронта CLKX ¹⁾		40	нс

¹⁾ Значения получены расчетным методом и не тестируются.

Таблица 35 – Временные характеристики по рекомендованным эксплуатационным режимам для передачи последовательного порта [$H = 0,5 t_{c(CO)}$]

Условное обозначение, параметр	Минимум	Максимум	Ед. изм.
$t_{c(SCK)}$ Время цикла, тактовый сигнал последовательного порта	6H	¹⁾	нс
$t_{h(DX)}$ Время удержания, DX действительное после нарастающего фронта CLKX	-5		нс
$t_{h(FSX)}$ Время удержания, FSX после падающего фронта CLKX	7		нс
$t_{h(FSX)H}$ Время удержания, FSX после нарастающего фронта CLKX		$(2H - 8)^2$	нс

Окончание таблицы 35

Условное обозначение, параметр		Мин	Макс	Ед. изм.
$t_{f(SCK)}$	Время падающего фронта, тактовый сигнал последовательного порта ³⁾		6	нс
$t_{r(SCK)}$	Время нарастающего фронта, тактовый сигнал последовательного порта ³⁾		6	нс
$t_w(SCK)$	Длительность импульса, тактовый сигнал последовательного порта низкий/высокий	3Н		нс

Примечание – Комбинация внутренней синхронизации с внешним FSX и наоборот также допустима. Однако, временные характеристики FSX для CLKX всегда определяются в зависимости от источника FSX и временные характеристики CLKX всегда зависят от источника CLKX. Определенно, отношения FSX к CLKX независимы от источника CLKX.

¹⁾ Конструкция последовательного порта целиком статична и поэтому он может работать с $t_{c(SCK)}$ приближающимся к ∞ . Это получено расчетным путем, но тестировалось на значительно более высокой частоте с целью уменьшить время тестирования.

²⁾ Если импульс FSX не соответствует данной спецификации, то первый бит последовательной передачи не передается на DX до тех пор, пока не появится падающий фронт FSX. После того, как появился падающий фронт FSX, данные сдвигаются на DX. Прерывание по передаче генерируется, когда выполнены требования спецификации $t_{h(FSX)}$ и $t_{h(FSX)H}$.

³⁾ Значения получены расчетным методом и не тестируются.

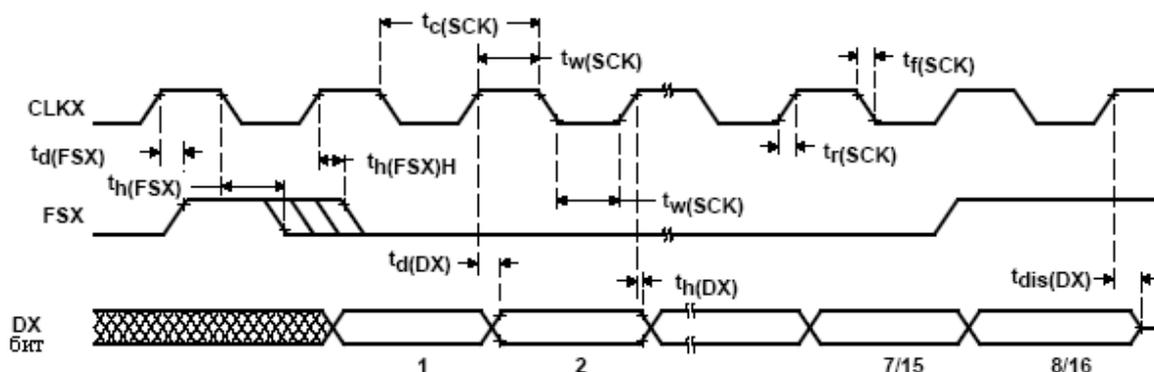


Рисунок 26 – Временные характеристики передачи последовательного порта с внешним тактированием и кадровой синхронизацией

В таблице 36 приведены характеристики переключения по рекомендованным эксплуатационным режимам для передачи последовательного порта с внутренней синхронизацией и кадром.

На рисунке 27 приведены временные характеристики передатчика последовательного порта с внутренним тактированием и кадровой синхронизацией.

Таблица 36 – Характеристики переключения по рекомендованным эксплуатационным режимам для передачи последовательного порта с внутренней синхронизацией и кадром [H = 0,5 t_{c(CO)}]

Условное обозначение, параметр	Минимум	Типовое	Максимум	Ед. изм.
t _{c(SCK)} Время цикла, тактовый сигнал последовательного порта		8H		нс
t _{d(FSX)} Время задержки, нарастающий фронт CLKX к FSX			15	нс
t _{d(DX)} Время задержки, нарастающий фронт CLKX к DX			15	нс
t _{dis(DX)} Время запрещения, нарастающий фронт CLKX к DX ¹⁾			20	нс
t _{h(DX)} Время удержания, действительное после нарастающего фронта CLKX	-5			нс
t _{f(SCK)} Длительность падающего фронта, тактовый сигнал последовательного порта		4		нс
t _{r(SCK)} Длительность нарастающего фронта, тактовый сигнал последовательного порта		4		нс
t _{w(SCK)} Длительность импульса, тактовый сигнал последовательного порта низкий/высокий	4H – 8			нс

¹⁾ Значения получены расчетным методом и не тестируются.

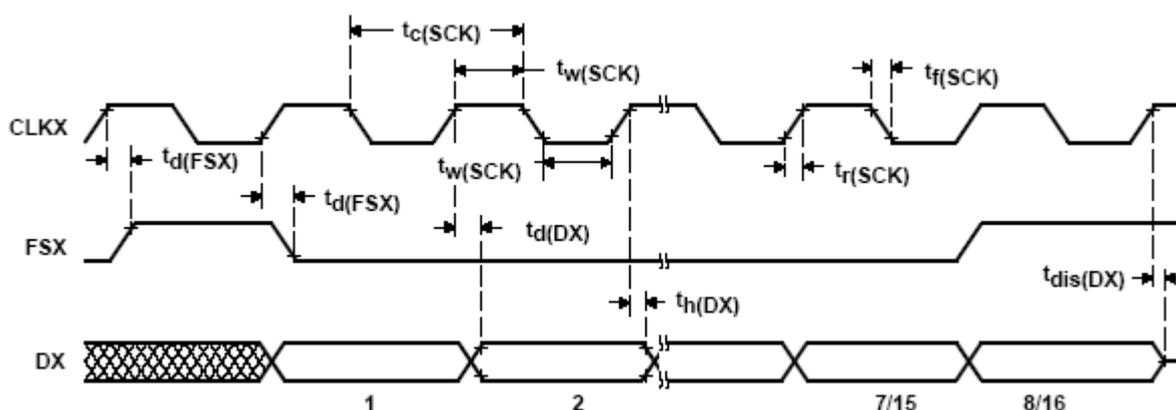


Рисунок 27 – Временные характеристики передатчика последовательного порта с внутренним тактированием и кадровой синхронизацией

40 Временные характеристики приема буферизованного последовательного порта

В таблице 37 приведены временные характеристики по рекомендованным эксплуатационным режимам для передачи буферизованного последовательного порта.

На рисунке 28 приведены временные характеристики приема буферизованного последовательного порта.

Таблица 37 – Временные характеристики по рекомендованным эксплуатационным режимам для передачи буферизованного последовательного порта [H = 0,5 t_{c(CO)}]

Условное обозначение, параметр	Минимум	Максимум	Ед. изм.
t _{c(SCK)} Время цикла, тактовый сигнал последовательного порта	25	1)	нс
t _{f(SCK)} Длительность падающего фронта, тактовый сигнал последовательного порта ²⁾		4	нс
t _{r(SCK)} Длительность нарастающего фронта, тактовый сигнал последовательного порта ²⁾		4	нс
t _{w(SCK)} Длительность импульса, тактовый сигнал последовательного порта низки/высокий ²⁾	8,5		нс
t _{su(BFSR)} Время установления, BFSR перед падающим фронтом (см. примечание)	2		нс
t _{h(BFSR)} Время удержания, BFSR после падающего фронта BCLKR (см. примечание)	10	(t _{c(SCK)} -2) ³⁾	нс
t _{su(BDR)} Время установления, BDR перед падающим фронтом BCLKR	0		нс
t _{h(BDR)} Время удержания, BDR после падающего фронта BCLKR	10		нс

Примечание – Временные характеристики для BCLKR и BFSR даются с битами полярности (BCLKP и BFSP), установленными в 0.

1) Конструкция последовательного порта целиком статична и поэтому он может работать с t_{c(SCK)} приближающимся к ∞. Это получено расчетным путем, но тестировалось на значительно более высокой частоте с целью уменьшить время тестирования.

2) Значения получены расчетным методом и не тестируются.

3) Первый бит читается, когда BFSR в низком уровне на такте BCLKR.

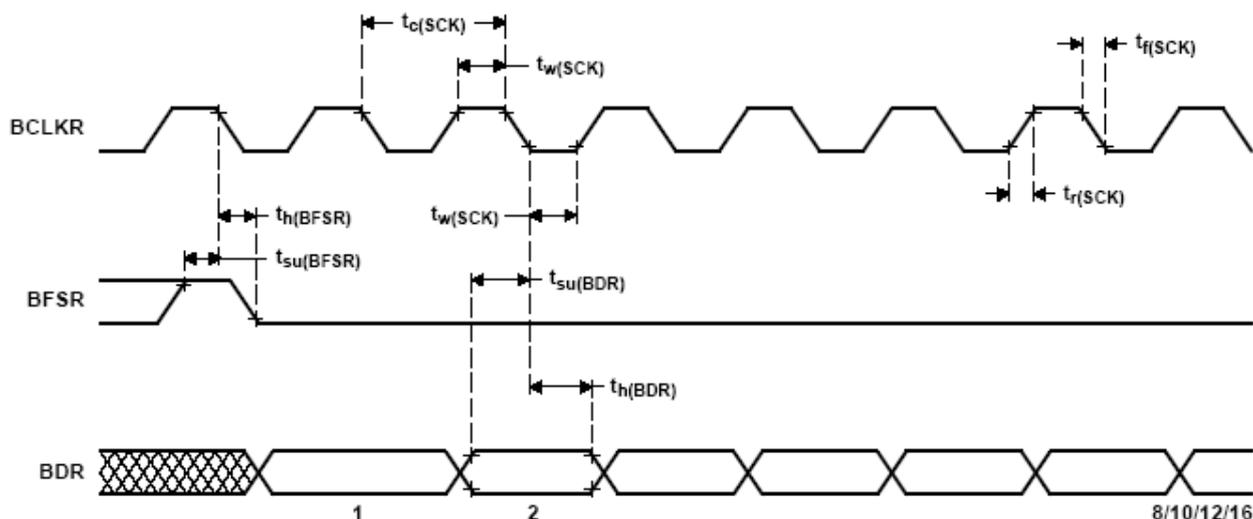


Рисунок 28 – Временные характеристики приема буферизованного последовательного порта

41 Временные характеристики передачи буферизованного последовательного порта с внешней кадровой синхронизацией

В таблице 39 приведены временные характеристики по рекомендованным эксплуатационным режимам для передачи буферизованного последовательного порта, а в таблице 38 приведены характеристики переключения по рекомендованным эксплуатационным режимам. В таблице 40 приведены временные характеристики передачи буферизованного последовательного порта с внутренней кадровой синхронизацией и внутренним тактированием по рекомендованным эксплуатационным режимам.

На рисунке 29 приведены временные характеристики передатчика последовательного порта с внешним тактовым сигналом и внешней синхронизацией кадра. На рисунке 30 приведены временные характеристики передачи последовательного порта с внутренним тактовым сигналом и внутренней синхронизацией фреймов.

Таблица 38 – Характеристики переключения по рекомендованным эксплуатационным режимам для передачи буферизованного последовательного порта с $[H = 0,5 t_{c(CO)}]$

Условное обозначение, параметр		Мини-мум	Макси-мум	Ед. изм.
$t_{d(BDX)}$	Время задержки, BDX действительное после нарастающего фронта BCLKX		18	нс
$t_{dis(BDX)}$	Время запрещения, BDX после нарастающего фронта BCLKX	4	6	нс
$t_{dis(BDX)_{pcm}}$	Время запрещения, режим PCM, BDX после нарастающего фронта BCLKX		6	нс
$t_{en(BDX)_{pcm}}$	Время разрешения, режим PCM, BDX после нарастающего фронта BCLKX	8		нс
$t_{h(BDX)}$	Время удержания, BDX действительное после нарастающего фронта BCLKX	4		нс

Таблица 39 – Временные характеристики по рекомендованным эксплуатационным режимам для передачи буферизованного последовательного порта с $[H = 0,5 t_{c(CO)}]$

Условное обозначение, параметр		Мини-мум	Макси-мум	Ед. изм.
$t_{c(SCK)}$	Время цикла, тактовый сигнал последовательного порта	25	1)	нс
$t_{f(SCK)}$	Длительность падающего фронта, тактовый сигнал последовательного порта ²⁾		4	нс
$t_{r(SCK)}$	Длительность нарастающего фронта, тактовый сигнал последовательного порта ²⁾		4	нс
$t_w(SCK)$	Длительность импульса, тактовый сигнал последовательного порта низкий/высокий	8,5		нс
$t_{h(BFSX)}$	Время удержания, BFSX после падающего фронта CLKX (см. примечания)	6	$(t_{c(SCK)} - 6)^{3)}$	нс
$t_{su(BFSX)}$	Время установления, FSX перед падающим фронтам CLKX (см. примечания)	6		нс

Примечания

1 Комбинация внутреннего тактового генератора с внешним BFSX и наоборот также допустима. Однако, временные характеристики BFSX к BCLKX всегда определяются в зависимости от источника BFSX и временные характеристики BCLKX всегда зависят от источника BCLKX, отношение BFSX к BCLKX независимо от источника BCLKX.

2 Временные характеристики для BCLKR и BFSP даются с битами полярности (BCLKP и BFSP) установленными на 0.

1) Конструкция последовательного порта целиком статична и поэтому он может работать с $t_{c(SCK)}$ приближающимся к ∞ . Это получено расчетным путем, но тестировалось на значительно более высокой частоте с целью уменьшить время тестирования.

2) Значения получены расчетным методом и не тестируются.

3) Если импульс BFSX не соответствует данной спецификации, то первый бит последовательной передачи направляется на BDX до тех пор, пока не появится падающий фронт BFSX. После того, как появился падающий фронт BFSX, данные сдвигаются на BDX.

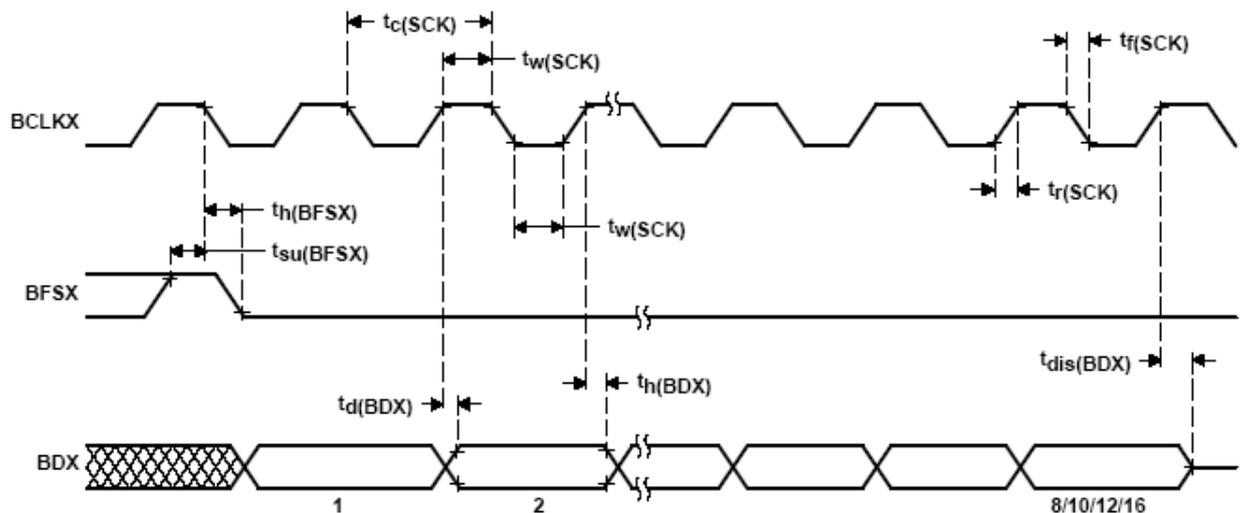


Рисунок 29 – Временные характеристики передатчика последовательного порта с внешним тактовым сигналом и внешней синхронизацией кадра

Таблица 40 – Временные характеристики передачи буферизованного последовательного порта с внутренней кадровой синхронизацией и внутренним тактированием по рекомендованным эксплуатационным режимам [$H = 0,5 t_{c(CO)}$]

Условное обозначение, параметр		Минимум	Максимум	Ед. изм.
$t_{c(SCK)}$	Время цикла, тактовый сигнал последовательного порта	2Н	62Н	нс
$t_{d(BFSX)}$	Время задержки, BFSX после нарастающего фронта BCLKX (см. примечание)		10	нс
$t_{d(BDX)}$	Время задержки, BDX действительное после нарастающего фронта BCLKX		5	нс
$t_{dis(BDX)}$	Время запрещения, BDX после нарастающего фронта BCLKX ¹⁾	0	5	нс
$t_{dis(BDX)_{pcm}}$	Время запрещения, режим PCM, BDX после нарастающего фронта BCLKX ¹⁾		5	нс
$t_{en(BDX)_{pcm}}$	Время разрешения, режим PCM, BDX после нарастающего фронта BCLKX ¹⁾	7		нс
$t_{h(BDX)}$	Время запрещения, BDX действительное после нарастающего фронта BCLKX	0		нс
$t_f(SCK)$	Время падающего фронта, тактовый сигнал BSP		4 ²⁾	нс
$t_r(SCK)$	Время нарастающего фронта, тактовый сигнал последовательного порта ²⁾		4	нс
$t_w(SCK)$	Длительность импульса, низкое/высокое состояние тактового сигнала BSP ²⁾	H-4		нс

Примечания

1 Комбинация внутренней синхронизации с внешним BFSX и наоборот также допустима. Однако, временные характеристики BFSX к BCLKX всегда определяются в зависимости от источника BFSX и временные характеристики BCLKX всегда зависят от источника BCLKX, отношение BFSX к BCLKX независимы от источника BCLKX.

2 Временные характеристики для BCLKR и BFSR даются с битами полярности (BCLKP, BFSPP), установленными в 0.

¹⁾ Значения получены расчетным методом и не тестируются.

²⁾ Значения гарантировано, но не тестируются.

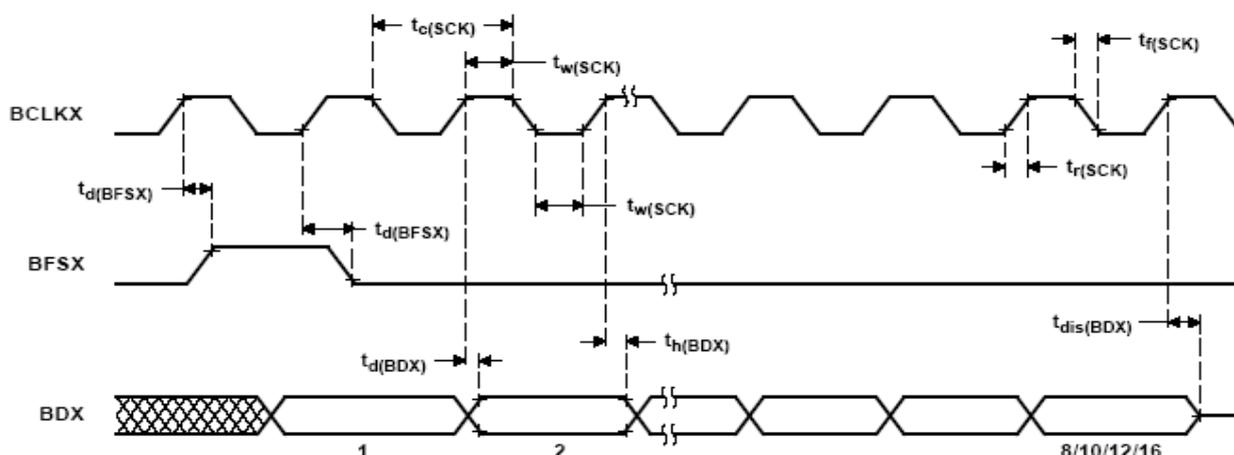


Рисунок 30 – Временные характеристики передачи последовательного порта с внутренним тактовым сигналом и внутренней синхронизацией фреймов

42 Временные характеристики приема последовательного порта в TDM режиме

В таблице 40 приведены временные характеристики приема последовательного порта в TDM режиме по рекомендованным эксплуатационным режимам.

На рисунке 31 приведены временные характеристики приема последовательного порта в TDM режиме.

Таблица 41 – Временные характеристики приема последовательного порта в TDM режиме по рекомендованным эксплуатационным режимам с $[H = 0,5 t_{c(CO)}]$

Условное обозначение, параметр		Минимум	Максимум ¹⁾	Ед. изм.
$t_{c(SCK)}$	Время цикла, тактовый сигнал последовательного порта	8Н	2)	нс
$t_{f(SCK)}$	Время падающего фронта, тактовый сигнал последовательного порта		6	нс
$t_{r(SCK)}$	Время нарастающего фронта, тактовый сигнал последовательного порта		6	нс
$t_{w(SCK)}$	Длительность импульса, низкое/высокое состояние тактового сигнала последовательного порта	4Н		нс
$t_{su(TD-TCL)}$	Время установления, TDAT/TADD перед падающим фронтом TCLK	– (3Н–9)		нс
$t_{h(TCH-TD)}$	Время удержания, TDAT/TADD после нарастающего фронта TCLK, $t_{w(SCKL)} < 5Н$	0		нс
$t_{h(TCL-TD)}$	Время удержания, TDAT/TADD после падающего фронта TCLK, $t_{w(SCKL)} < 5Н$	5Н+5		
$t_{su(TF-TCH)}$	Время установления, TFRM перед нарастающим фронтом TCLK ³⁾	10		нс
$t_{h(TCH-TF)}$	Время удержания, TFRM после нарастающего фронта TCLK ³⁾	10		нс

1) Значения получены расчетным методом и не тестируются.
2) Конструкция последовательного порта целиком статична, и поэтому он может работать с $t_{c(SCK)}$ приближающимся к ∞ . Это получено расчетным путем, но тестировалось на значительно более высокой частоте с целью уменьшить время тестирования.
3) Временные характеристики и диаграмма TFRM показаны на рисунке 31 для внешнего TFRM. TFRM может конфигурироваться и как внутренний. В этом случае временные характеристики иллюстрируются на рисунке 32.

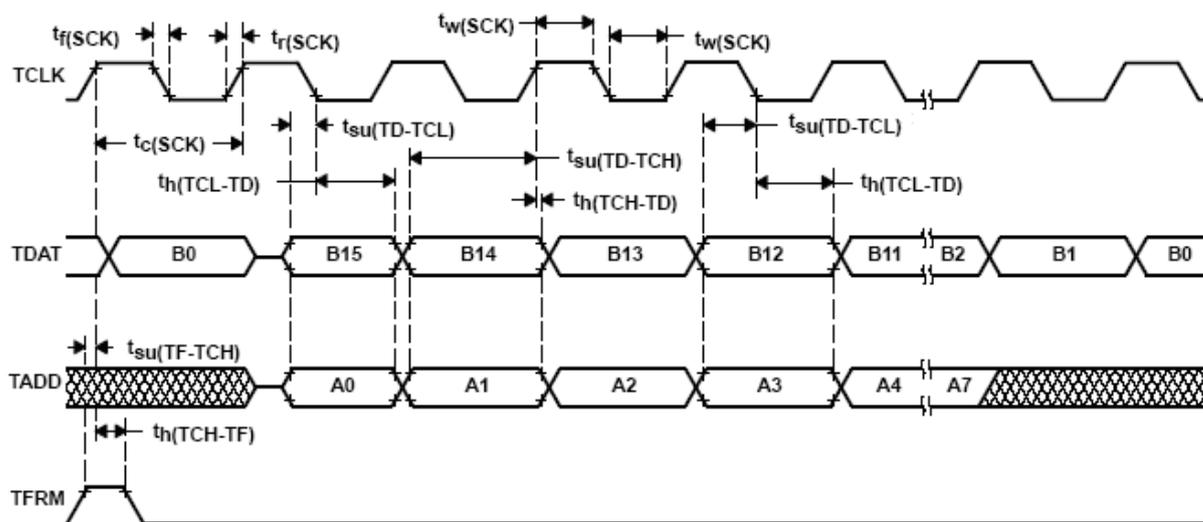


Рисунок 31 – Временные характеристики приема последовательного порта в TDM режиме

43 Временные характеристики передачи последовательного порта в TDM режиме

В таблице 43 приведены временные характеристики передатчика последовательного порта в TDM режиме по рекомендованным эксплуатационным режимам, а в таблице 42 приведены характеристики переключения по рекомендованным эксплуатационным режимам.

Таблица 42 – Характеристики переключения передачи последовательного порта в TDM режиме по рекомендованным эксплуатационным режимам [$N = 0,5 t_{c(CO)}$]

Условное обозначение, параметр		Минимум	Максимум	Ед. изм.
$t_h(TCH-TDV)$	Время удержания, TDAT/TADD действительное после нарастающего фронта TCLK, TCLK внешний	3 ¹⁾		нс
$t_h(TCH-TDV)$	Время удержания, TDAT/TADD действительное после нарастающего фронта TCLK, TCLK внутренний	1 ¹⁾		нс
$t_d(TCH-TFV)$	Время задержки, TFRM действительное после нарастающего фронта TCLK, TCLK внешний ²⁾	N	3N + 22	нс
	Время задержки, TFRM действительное после нарастающего фронта TCLK, TCLK внутренний ²⁾	N	3N + 12	нс
$t_d(TC-TDV)$	Время задержки, TCLK действительное после нарастающего фронта TDAT/TADD, TCLK внешний	18		нс
	Время задержки, TCLK действительное после нарастающего фронта TDAT/TADD, TCLK внутренний	18		нс

¹⁾ Значения получены расчетным методом и не тестируются.

²⁾ Временные характеристики и форма волны TFRM показаны на рисунке 31 для внешнего TFRM. TFRM может конфигурироваться и как внутренний. В этом случае временные характеристики иллюстрируются на рисунке 32.

Таблица 43 – Временные характеристики передатчика последовательного порта в TDM режиме по рекомендованным эксплуатационным режимам [$N = 0,5 t_{c(CO)}$]

Условное обозначение, параметр	Минимум ¹⁾	Максимум	Ед. изм.
$t_{c(SCK)}$ Время цикла, тактовый сигнал последовательного порта	8Н	²⁾	нс
$t_{f(SCK)}$ Время падающего фронта, тактовый сигнал последовательного порта		6 ³⁾	нс
$t_{r(SCK)}$ Время нарастающего фронта, тактовый сигнал последовательного порта		6 ³⁾	нс
$t_w(SCK)$ Длительность импульса, низкое/высокое состояние тактового сигнала последовательного порта	4Н		нс

1) Типичное значение, когда SCK генерируется внутренним источником.
 2) Конструкция последовательного порта целиком статична, и поэтому он может работать с $t_{c(SCK)}$ приближающимся к ∞ . Это получено расчетным путем, но тестировалось на значительно более высокой частоте с целью уменьшить время тестирования.
 3) Значения гарантировано, но не тестируется.

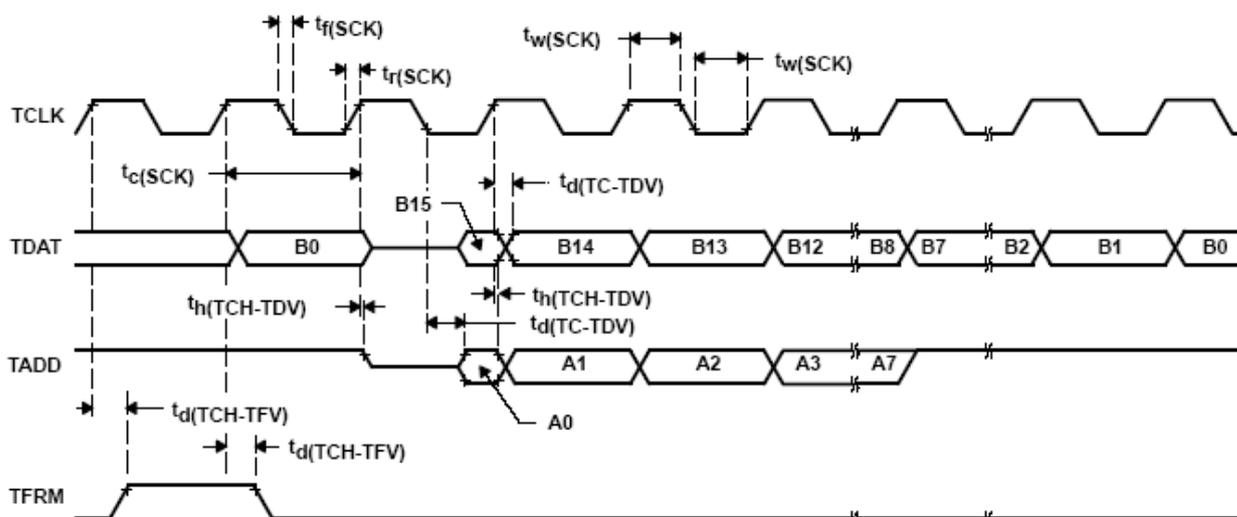


Рисунок 32 – Временные характеристики передачи последовательного порта в TDM режиме

44 Временные характеристики интерфейса host-порта

В таблице 45 приведены временные характеристики интерфейса host-порта по рекомендованным эксплуатационным, а в таблице 44 приведены характеристики переключения по рекомендованным эксплуатационным режимам.

Таблица 44 – Характеристики переключения интерфейса host-порта по рекомендованным эксплуатационным режимам с $[H = 0,5 t_{c(CO)}]$

Условное обозначение, параметр	Минимум	Максимум	Ед. изм.
$t_{d(DSL-HDV)}$ Время задержки, DS# низкий к HD	5 ¹⁾	12 ²⁾	нс
$t_{d(HEL-HDV1)}$ Время задержки, от падающего фронта HDS# к HD разрешенное для первого байта не являющегося результатом чтения: max 20 нс ³⁾ Случай 1: режим SAM, если $t_{w(DSH)} < 7H$ Случай 2: режим SAM, если $t_{w(DSH)} > 7H$ Случай 3: режим НОМ, если $t_{w(DSH)} < 20$ нс Случай 4: режим НОМ, если $t_{w(DSH)} > 20$ нс		$7H+20-t_{w(DSH)}$ 20 ²⁾ $40-t_{w(DSH)}$ 20 ²⁾	нс
$t_{d(DSL-HDV2)}$ Время задержки, от низкого DS# к действительному HD, второй байт данных	5	20	нс
$t_{d(DSH-HYH)}$ Время задержки, от высокого DS# до высокого HRDY		$(10H+10)^{2)}$	нс
$t_{su(HDV-HYH)}$ Время установления, HD действительное перед нарастающим фронтом HRDY	$(3H-10)^{2)}$		нс
$t_h(DSH-HDV)$ Время удержания, HD действительное после нарастающего фронта DS#	0	12	нс
$t_{d(COH-HYH)}$ Время задержки, от нарастающего фронта CLKOUT до высокого HRDY		10 ²⁾	нс
$t_{d(DSH-HYL)}$ Время задержки, от высокого HDS# или HAS# до низкого HRDY		12 ²⁾	нс
$t_{d(COH-HTX)}$ Время задержки, от нарастающего фронта CLKOUT до изменения HINT#		15	нс
<p>Примечания</p> <p>1 SAM-режим распределенного доступа, НОМ-режим только для host-a. HDS# относится к HDS1# или HDS2#. DS# относится к логическому "ИЛИ" HCS# и HDS#.</p> <p>2 В режиме доступа чтения host-a для HPI, время установления HD перед нарастающим фронтом DS# зависит от формы сигнала от host-a и не может быть здесь определено.</p> <p>1) Значения получены расчетным методом и не тестируются.</p> <p>2) Значения гарантированы, но не тестируются.</p> <p>3) Временные характеристики НОМ-режима применяются для доступа чтения HPIС или HPIA, запись в BOB и сброс DSPINT или HINT# в 0 – в SAM-режиме. HRDY не переходит в низкий уровень в этих режимах. доступа.</p>			

Таблица 45 – Временные характеристики host-порт интерфейса по рекомендованным эксплуатационным режимам с $[H = 0,5 t_{c(CO)}]$

Условное обозначение, параметр	Мини-мум	Макси-мум	Ед. изм.
$t_{su(HBV-DSL)}$ Время установления, HAD/HBIL действительное перед падающим фронтом DS#	10		нс
$t_{th(DSL-HBV)}$ Время удержания, HAD/HBIL действительное после падающего фронта DS#	10		нс
$t_{su(HSL-DSL)}$ Время установления, низкий HAS# перед падающим фронтом DS#	12		нс
$t_{w(DSL)}$ Длительность импульса, низкий DS#	30 ¹⁾		нс
$t_{w(DSH)}$ Длительность импульса, низкий DS#	10		нс
$t_{c(DSH-DSH)}$ ¹⁾ Время цикла, от нарастающего фронта DS# до следующего нарастающего фронта DS#: Случай 1: когда используется HRDY (см. рисунок 35). Случай 2a: Запись в DSPINT или HINT# при активном SAM и HOM без использования HRDY (см. рисунок 33 и 34). Случай 2b: Когда не используется HRDY для других доступов HOM	50 10H ²⁾ 50		нс
$t_{su(HDV-DSH)}$ Время установления, HD действительное перед нарастающим фронтом DS#	12		нс
$t_{th(DSH-HDV)}$ Время удержания, HD действительное после нарастающего фронта DS#	12		нс
<p>¹⁾ Host, не использующий HRDY, должен удовлетворять требованию 10H на все временные параметры, если не используется программное подтверждение связи для изменения скорости доступа в режиме HPI.</p> <p>²⁾ Значения гарантированы, но не тестируются.</p>			

На рисунке 33 приведены временные характеристики чтения и записи без использования HRDY или HAS#, на рисунке 34 – временные характеристики чтения и записи с использованием HAS# без HRDY, на рисунке 35 – временные характеристики чтения и записи с использованием HRDY, на рисунке 36 – сигнал HRDY, когда HCS# всегда в низком уровне.

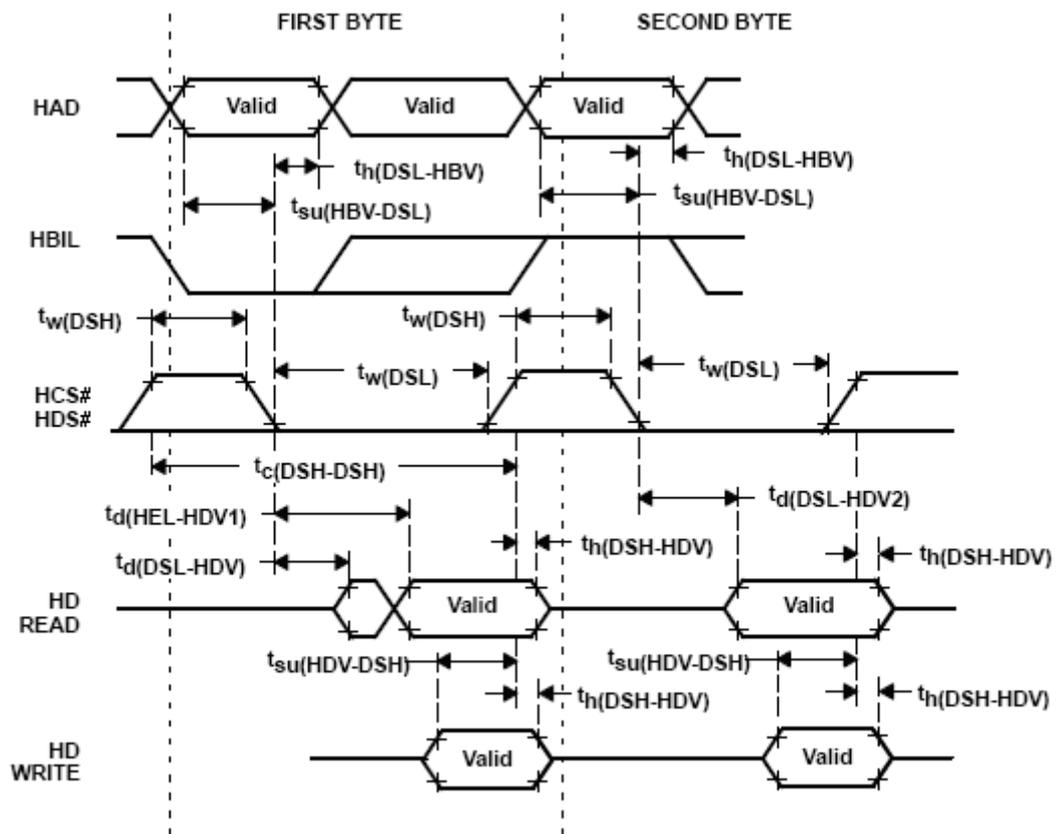


Рисунок 33 – Временные характеристики чтения и записи без использования HRDY или HAS#

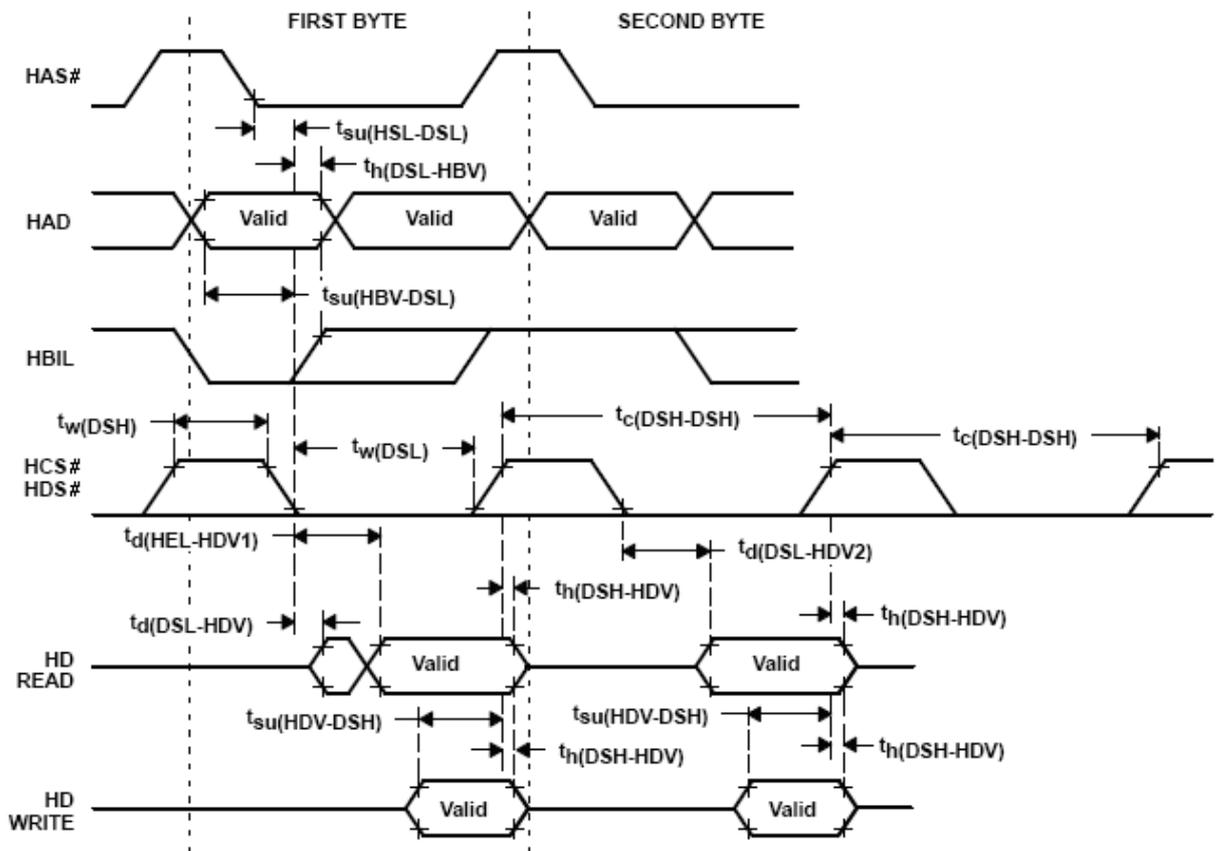
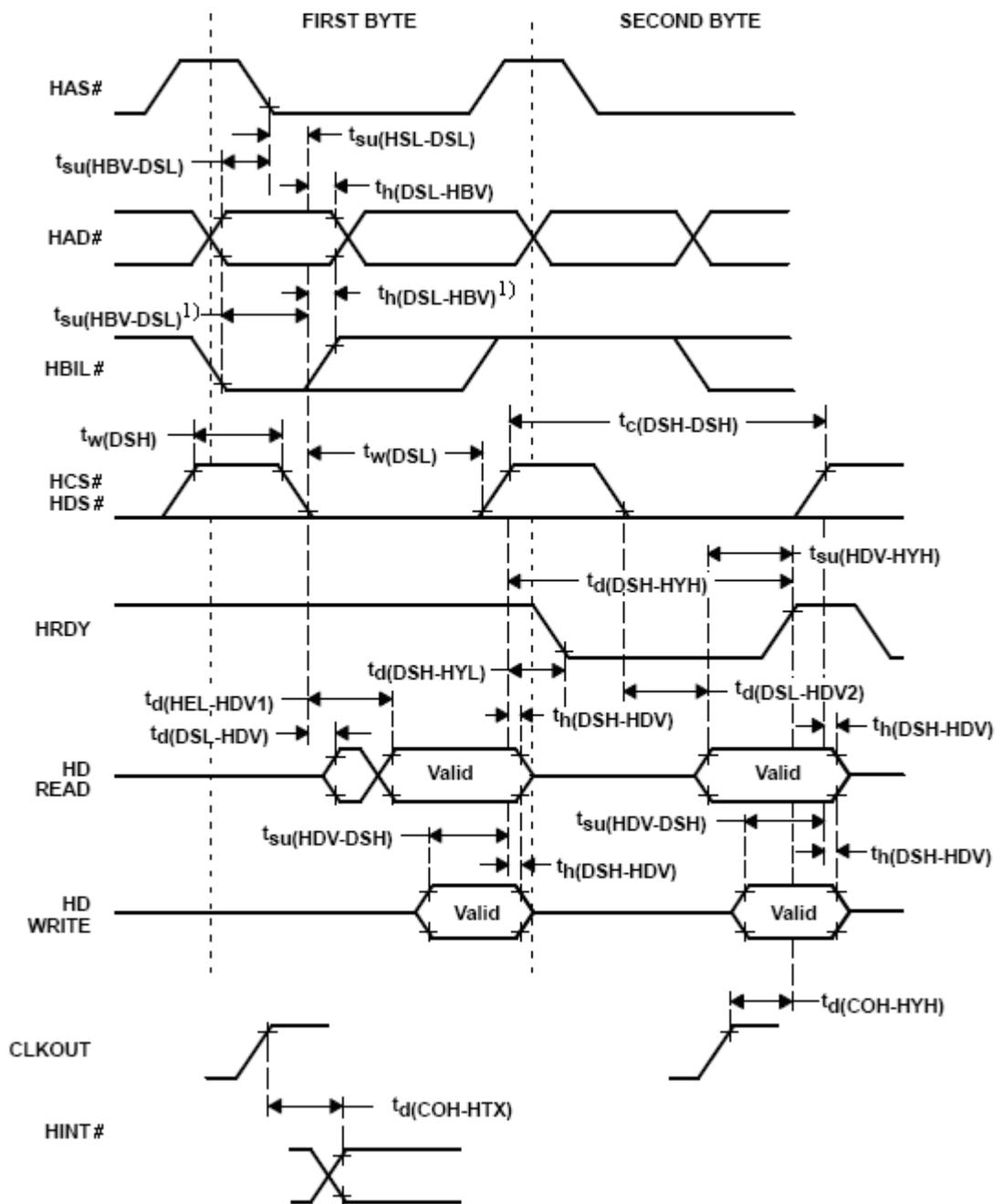


Рисунок 34 – Временные характеристики чтения и записи с использованием HAS# без HRDY



¹⁾ Когда HAS# устанавливается в U_{VCC}

Рисунок 35 – Временные характеристики чтения и записи с использованием HRDY

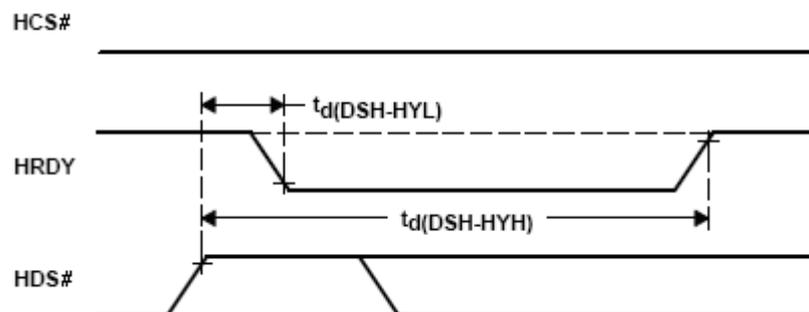


Рисунок 36 – Сигнал HRDY, когда HCS# всегда в низком уровне

45 Проработка вопросов отладки, отладочные средства для ИМС

Разрабатываемые микропроцессоры в соответствии с техническим заданием являются полным функциональным аналогом высокопроизводительного 16-разрядного микропроцессора TMS320C542, поэтому для него применимы аппаратно-программные средства фирмы Texas Instrument и других производителей, разработанные для аналога.

Для отладки систем на основе микроконтроллера TMS320C542 разработана и поставляется обширная номенклатура программных и аппаратных средств, в том числе:

- компиляторы С, С++ с интегрированной средой под Windows-XX;
- ассемблеры, дизассемблеры;
- операционные системы реального времени;
- отладчики-симуляторы;
- внутрисхемные эмуляторы;
- наборы Starter Kit's.

45.1 Программные средства поддержки разработок, среда разработчика Code Composer Studio

Code Composer Studio – интегрированная среда разработчика, имеющая удобный графический интерфейс в сочетании с мощными средствами конфигурирования и отладки, ориентированными на ЦОС приложения. При ее разработке было достигнуто оптимальное сочетание визуальных средств конфигурирования и разработки с мощностью и возможностями продукта.

Система ориентирована на создание максимального удобства для разработчика. Ее применение позволяет в несколько раз сократить сроки разработки и отладки ЦОС систем.

Являясь полностью функционально законченным продуктом Code Composer Studio позволяет не выходя из отладочной среды редактировать, компилировать и отлаживать программы.

Code Composer Studio имеет комфортный графический оконный интерфейс, сделанный аналогично интерфейсу MS VisualC. Возможно открытие любого количества окон просмотра кода и дизассемблирования, одновременная отладка на С и ассемблере, одновременная работа с несколькими процессорами.

Code Composer Studio имеет гибкую систему настроек, а также С-подобный внутренний язык сценариев (JTM), который позволяет настроить интерфейс практически как угодно, вплоть до добавления пунктов в меню. Такая возможность написания собственных сценариев и встраивание их в интерфейс позволяет сделать рабочее место максимально удобным.

Мощные возможности анализа и отладки систем в реальном времени дают возможность отлаживать и анализировать поведение системы без остановки процессора.

Уникальные возможности визуализации данных и состояния системы позволяют быстрее и результативнее оценивать состояние устройства.

Для специфических приложений, таких как телекоммуникации, задачи управления и обработка изображений особенно важны возможности Code Composer Studio по графической визуализации данных в реальном времени.

Работа в Code Composer Studio, использующая новые технологии TI, такие как Real Time Data Exchange и DSP BIOS, позволяет существенно уменьшить время разработки и освобождает разработчика от решения текущих проблем, позволяя сосредоточиться непосредственно на разработке приложений.

Основные новшества Code Composer Studio включают в себя:

- Непрерывный обмен между ЦСП и отладчиком в реальном времени.
- Анализ и отладка в реальном времени.

- Визуализацию состояния системы в реальном времени.
- Расширенную визуализацию, включающую быстрое преобразование Фурье, временной анализ, множество видов стандартных диаграмм и многое другое.
- Возможность подключения нескольких различных отладочных систем.
- Возможность работы с несколькими различными процессорами на одном JTAG канале.
- Сетевой менеджмент проектов, позволяющий координировать совместную разработку проектов группой.
- Готовность к отладке с использованием ОС реального времени.

45.2 Аппаратные средства поддержки разработок

Для аппаратной поддержки разработок на основе микропроцессоров 1867ВЦ4Т предлагается широкий спектр средств, как фирмы Texas Instrument, так и других фирм, которые можно классифицировать как по назначению, так и по стоимости внутри каждого класса. Можно выделить следующие классы аппаратных средств по их назначению:

- стартовые наборы разработчика (Starter Kits);
- внутрисхемные эмуляторы (In-Circuit Emulators);
- специализированные наборы разработчика.

Некоторые аппаратные средства являются универсальными и одновременно могут быть отнесены к нескольким классам, например к стартовым наборам разработчика и внутрисхемным программаторам.

Внутрисхемный эмулятор SDSP-510 с интерфейсом JTAG 3/5 В предназначен для отладки аппаратного и программного обеспечения процессоров фирмы Texas Instrument серий C2xx/C5x/C54x.

Внутрисхемный эмулятор состоит из платы, устанавливаемой в слот ISA и кабеля для подключения к отлаживаемому устройству.

Отлаживаемый процессор и эмулятор соединяются по 5 проводному последовательному интерфейсу JTAG через специальные выделенные на процессоре выводы. Такое подключение дает возможность отлаживать устройство в той конфигурации и на том процессоре, с которым оно будет работать. Это снимает как вопросы быстродействия эмулятора, так и вопросы изменения электрических параметров при подключении эмулятора.

Подключение внутрисхемного эмулятора полностью прозрачно для исполняемой программы и не оказывает на ее выполнение никакого влияния. При этом программа выполняется на полной скорости процессора без каких-либо задержек и ограничений по производительности.

Внутрисхемный эмулятор позволяет:

- производить загрузку команд программы и данных как в ОЗУ процессора, так и во внешнее ОЗУ;
- устанавливать любое количество точек останова;
- производить контроль и модификацию содержимого памяти, регистров процессора и регистров периферийных устройств;
- проводить пошаговое выполнение программы;
- измерять время выполнения программы или ее частей.

К одному внутрисхемному эмулятору SDSP-510 одновременно может подключаться несколько одновременно отлаживаемых процессоров.

Программное обеспечение не входит в состав внутрисхемного эмулятора и должно приобретаться отдельно для каждого из процессоров.

46 Указания по применению и эксплуатации

1 Микросхемы должны использоваться в соответствии с указаниями по применению и эксплуатации микросхем по ОСТ В 11 0998-99 с дополнениями и уточнениями, приведенными в настоящем разделе.

2 Эксплуатация микросхемы производится в соответствии с КФДЛ.431299.010, КФДЛ.431299.010.1, КФДЛ.431299.010.2, в которых приведено изложение принципа работы, архитектура и система команд.

3 При монтаже микросхем все выводы GNDc и GNDd, а также входы, постоянно находящиеся при эксплуатации в состоянии низкого уровня (TRST#, CLKMD1, CLKMD2 и т. п.), подключить к общей шине. Между каждым выводом VCC1 и GNDc, а также VCC2 и GNDd подключить безвыводные конденсаторы типа К10-17 емкостью 0,1 мкФ. Все неиспользуемые входы/выходы типа I/O/Z и типа I/O микросхемы рекомендуется подключить через отдельные резисторы 10 кОм к шине VCC2. Все неиспользуемые входы типа I микросхемы рекомендуется подключить через общий резистор 10 кОм к шине VCC2, кроме входов TMS, TCK, TDI, имеющих внутрисхемные резисторы, соединенные с шиной VCC2, и входа TRST#, имеющего внутрисхемный резистор, соединенный с шиной GND.

4 Подача входных напряжений и сигналов синхронизации, на микросхему разрешается после достижения номинального напряжения U_{VCC} в соответствии с системой команд и временными диаграммами, приведенными в КФДЛ.431299.010ТО, КФДЛ.431299.010.1ТО и КФДЛ.431299.010.2ТО.

47 Типовые характеристики электрических параметров

Выбор состава отбраковочных испытаний и методов осуществлялся на основе анализа технического задания на разработку, особенностей конструкции и технологии ИМС и рекомендаций регламентирующих документов.

Все отбраковочные технологические испытания микросхем, включая температурное циклирование в диапазоне температур от минус 60 °С до плюс 150 °С, испытание на воздействие линейного ускорения, электротренировка, проверка динамических параметров и функциональный контроль при нормальных условиях, а также в диапазоне температур соответствуют базовому технологическому маршруту 7622964.10200.00229 и требованиям ОСТ В 11 0998-99 "Микросхемы интегральные. Общие технические условия".

Ниже приведены результаты экспериментальной работы по определению типовых характеристик электрических параметров, проведенной по пункту 3.3.9 технического задания. Работа проведена в соответствии с рекомендациями РМ 11 070.071-81.

В ТУ приведены следующие типовые характеристики электрических параметров ИМС 1867ВЦ4Т:

Рисунок 37 – Зависимость выходного напряжения низкого уровня на выводах А0, D0, HD0 от напряжения питания при $I_{OL} = 2$ мА.

Рисунок 38 – Зависимость выходного напряжения низкого уровня на выводах А0, D0, HD0 от выходного тока низкого уровня при $U_{VCC} = 4,5$ В.

Рисунок 39 – Зависимость выходного напряжения высокого уровня на выводах А0, D0, HD0 от напряжения питания при $I_{OH} = -0,3$ мА.

Рисунок 40 – Зависимость выходного напряжения высокого уровня на выводах А0, D0, HD0 от выходного тока высокого уровня при $U_{VCC} = 4,5$ В.

Рисунок 41 – Зависимость динамического тока потребления ядра процессора от напряжения питания при $f_{Cl} = 10$ МГц.

Рисунок 42 – Зависимость динамического тока потребления буферов ввода/вывода от напряжения питания при $f_{CI} = 10$ МГц.

Рисунок 43 – Зависимость динамического тока потребления ядра процессора от тактовой частоты при $U_{VCC} = 5,5$ В.

Рисунок 44 – Зависимость динамического тока потребления буферов ввода/вывода от тактовой частоты при $U_{VCC} = 5,5$ В.

Рисунок 45 – Зависимость входного тока на входе TCK от входного напряжения при $U_{VCC} = 5,5$ В.

Рисунок 46 – Зависимость входного тока на входе TRST# от входного напряжения при $U_{VCC} = 5,5$ В.

Рисунок 47 – Зависимость входного тока на входах host-порта: HAS#, HCS#, HR/W#, HBIL, HDS1#, HDS2#, HCNTL0 и HCNTL1 при низком логическом уровне на входе HPIENA от входного напряжения при $U_{VCC} = 5,5$ В.

Рисунок 48 – Зависимость времени переключения сигнала на выходе CLKOUT (времени нарастания) от напряжения питания при $C_L = 50$ пФ, $f_{CI} = 10$ МГц.

Рисунок 49 – Зависимость времени переключения сигнала на выходе CLKOUT (времени спада) от напряжения питания при $C_L = 50$ пФ, $f_{CI} = 10$ МГц.

Рисунок 50 – Зависимость времени задержки распространения фронта нарастания выходного сигнала CLKOUT относительно входного импульса тактового сигнала X2/CLKIN от напряжения питания.

Рисунок 51 – Зависимость времени задержки распространения фронта спада выходного сигнала CLKOUT относительно входного импульса тактового сигнала X2/CLKIN от напряжения питания.

Полученные типовые зависимости электрических параметров соответствуют требованиям технического задания и могут быть использованы для оценки технологических запасов в производстве и применении в изделиях ВТ, а также при разработке проектов справочного листа и технических условий.

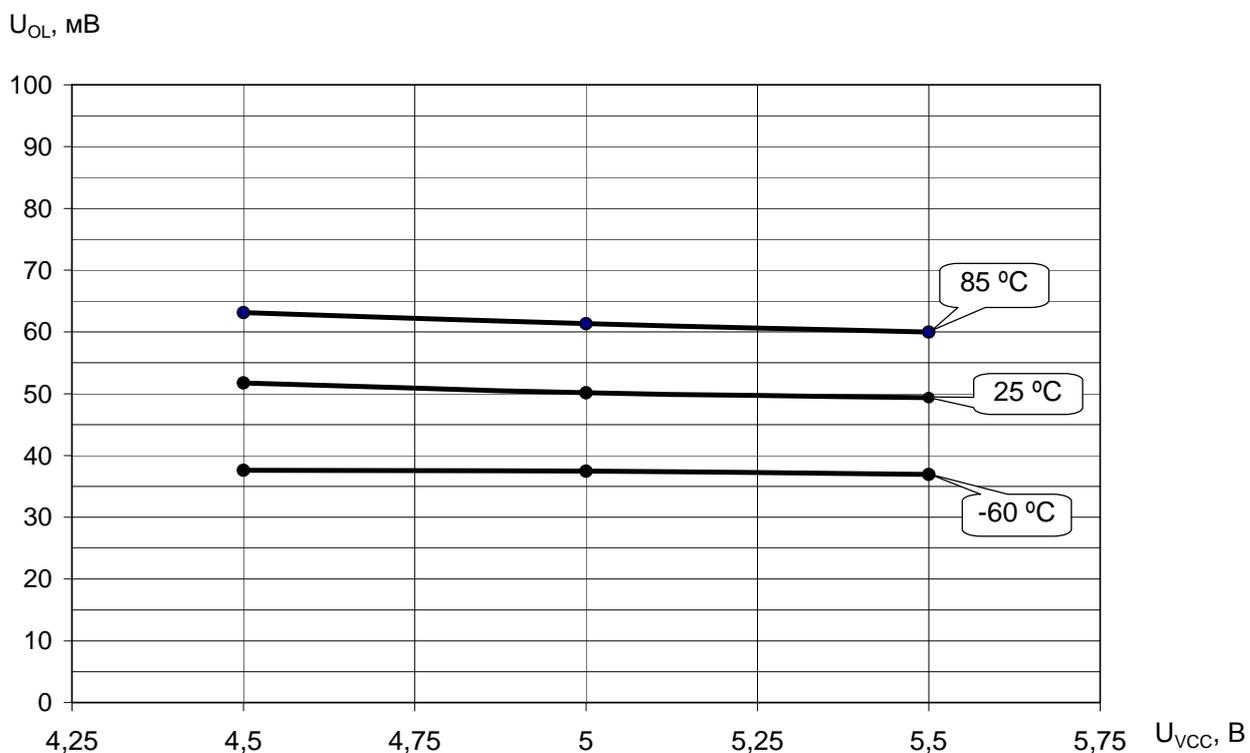


Рисунок 37 – Зависимость выходного напряжения низкого уровня на выводах A0, D0, HD0 от напряжения питания при $I_{OL} = 2$ мА

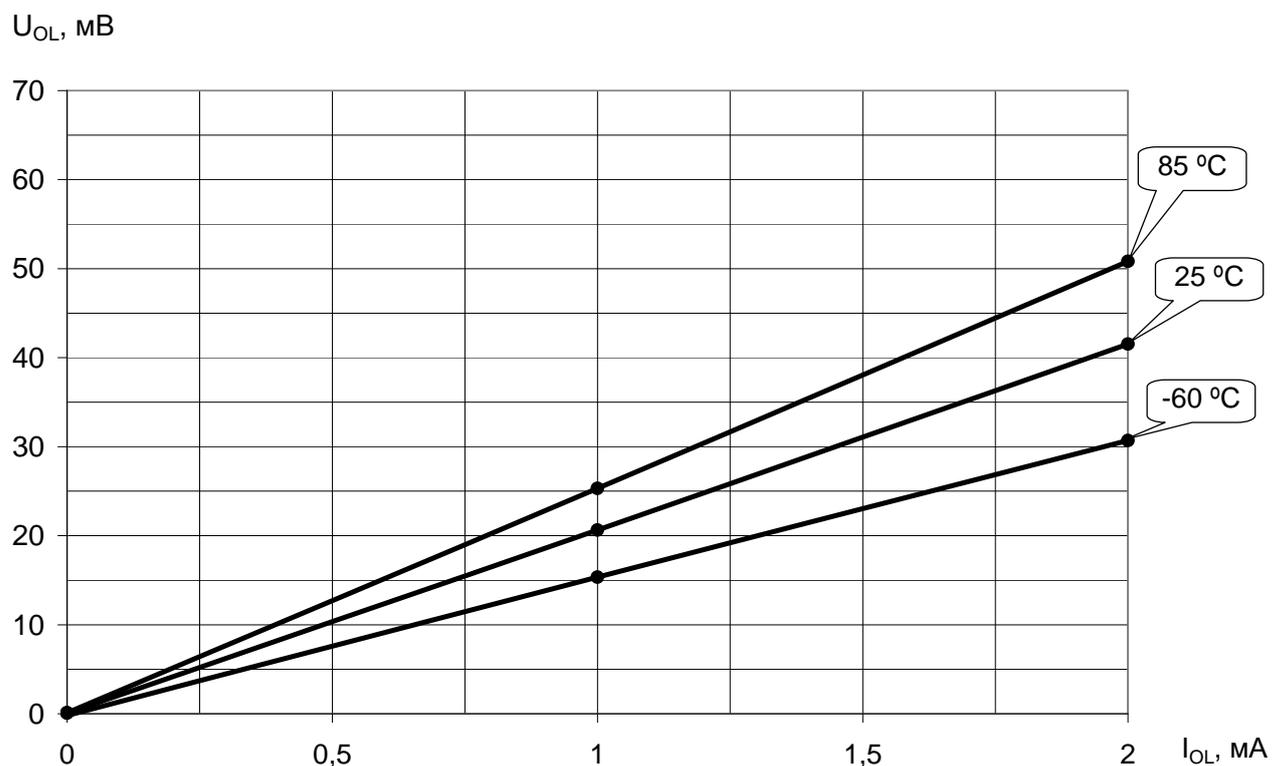


Рисунок 38 – Зависимость выходного напряжения низкого уровня на выводах А0, D0, HD0 от выходного тока низкого уровня при $U_{VCC} = 4,5$ В

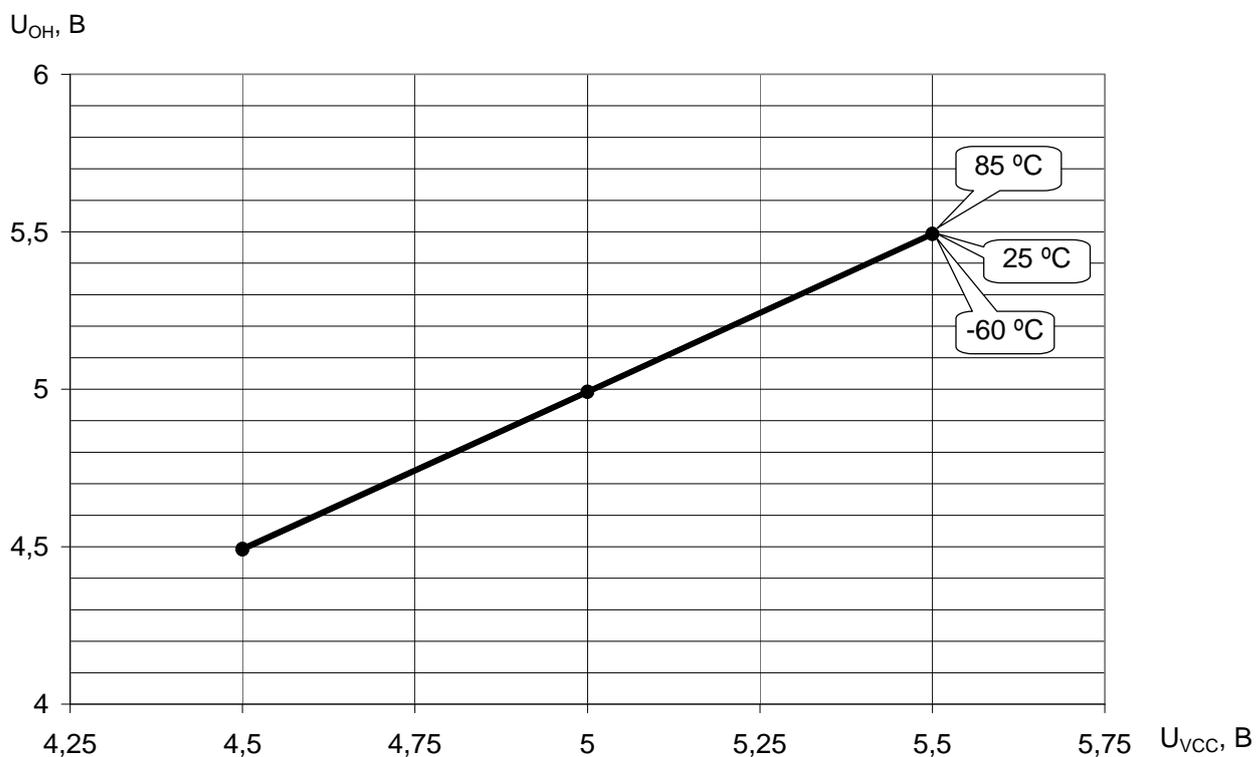


Рисунок 39 – Зависимость выходного напряжения высокого уровня на выводах А0, D0, HD0 от напряжения питания при $I_{OH} = -0,3$ мА

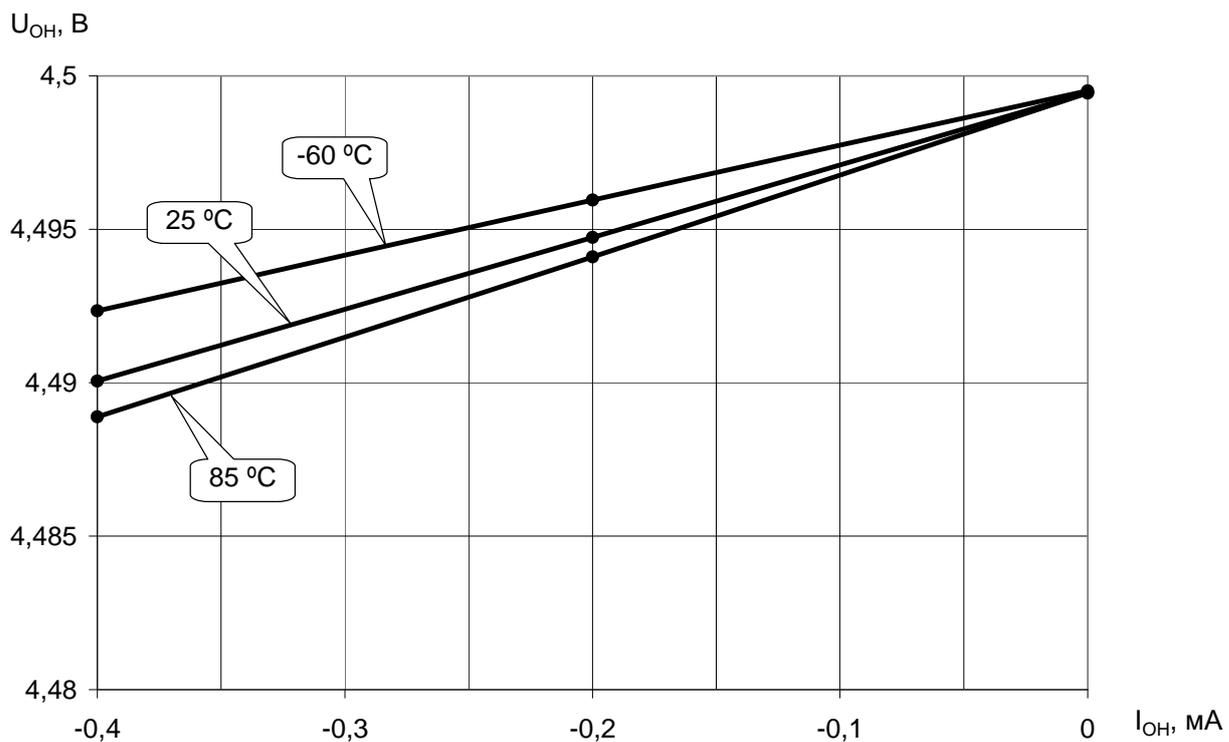


Рисунок 40 – Зависимость выходного напряжения высокого уровня на выводах A0, D0, HD0 от выходного тока высокого уровня при $U_{VCC} = 4,5$ В

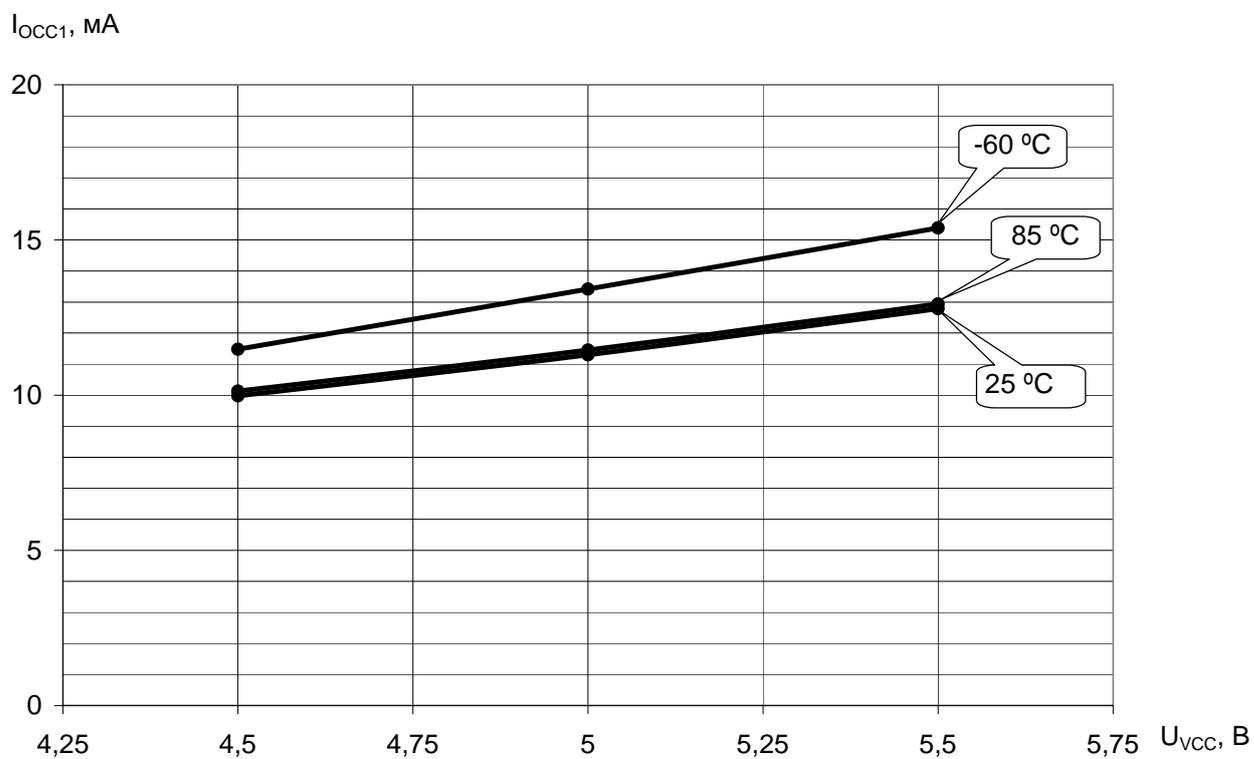


Рисунок 41 – Зависимость динамического тока потребления ядра процессора от напряжения питания при $f_{CI} = 10$ МГц

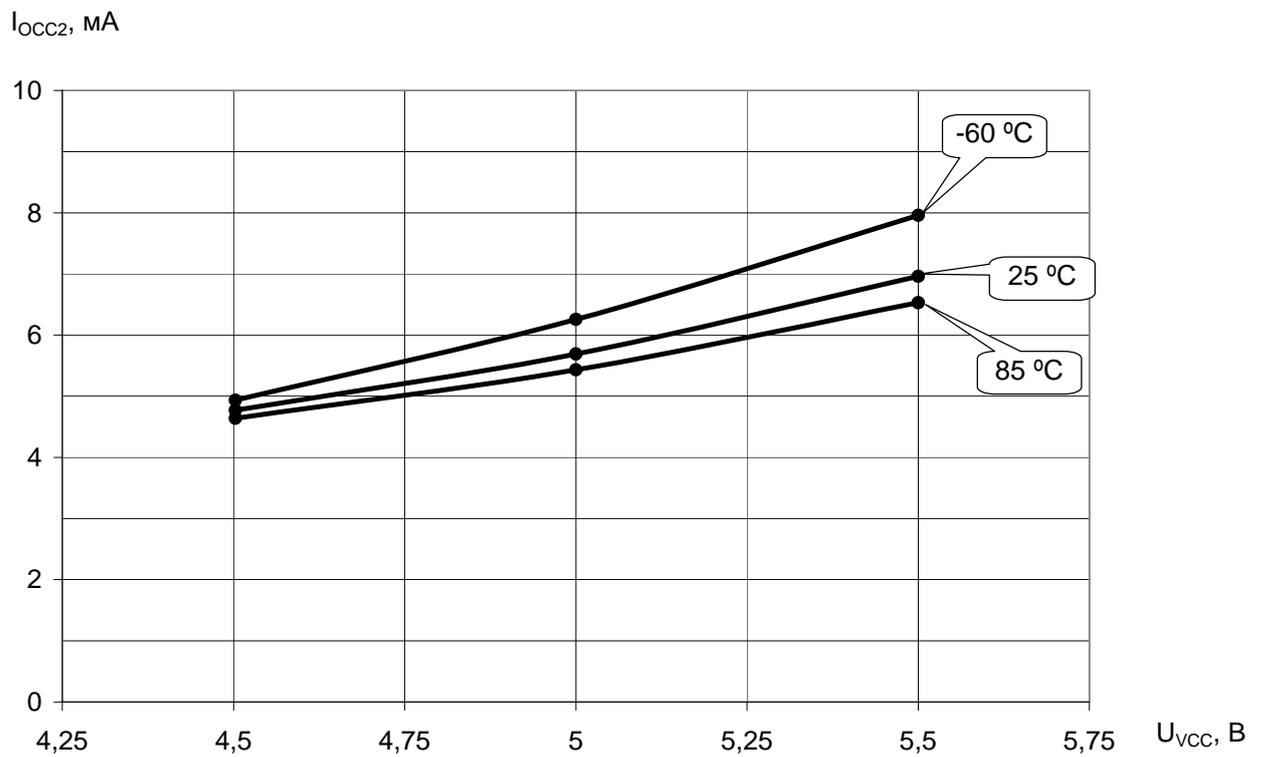


Рисунок 42 – Зависимость динамического тока потребления буферов ввода/вывода от напряжения питания при $f_{CI} = 10$ МГц

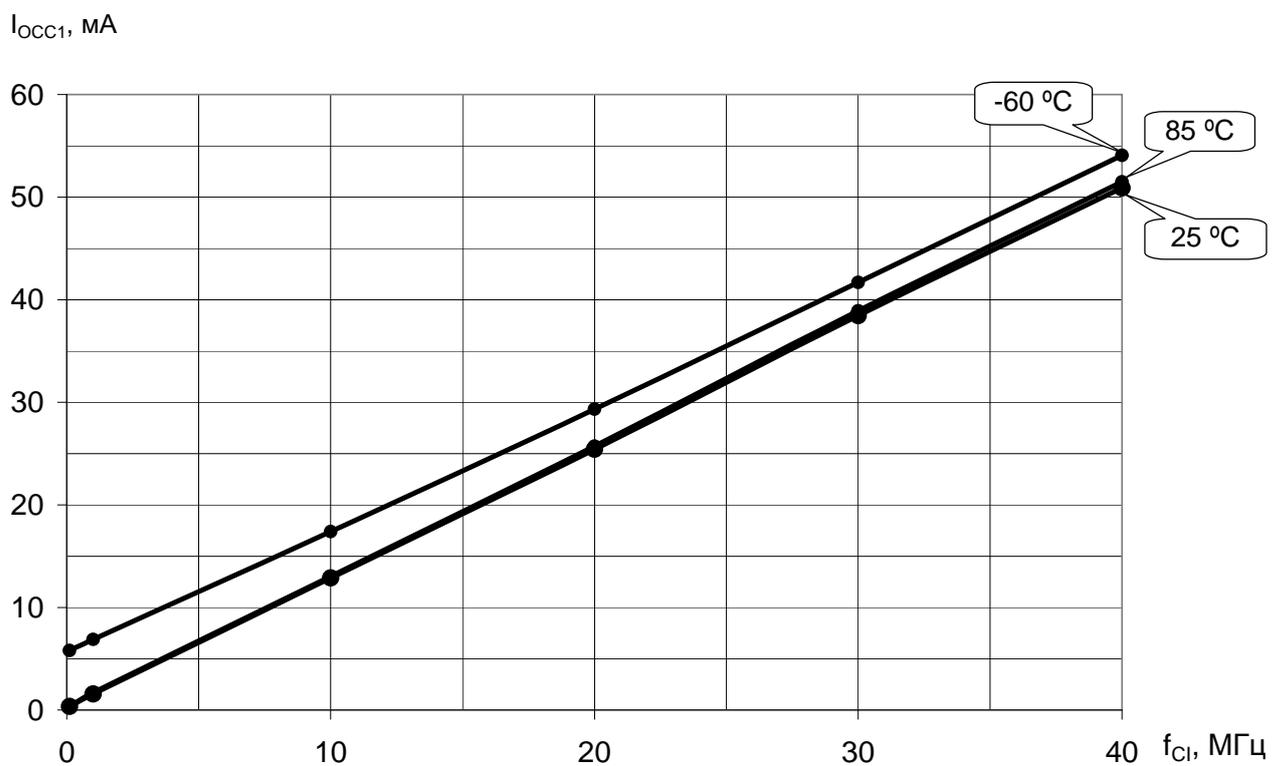


Рисунок 43 – Зависимость динамического тока потребления ядра процессора от тактовой частоты при $U_{VCC} = 5.5$ В

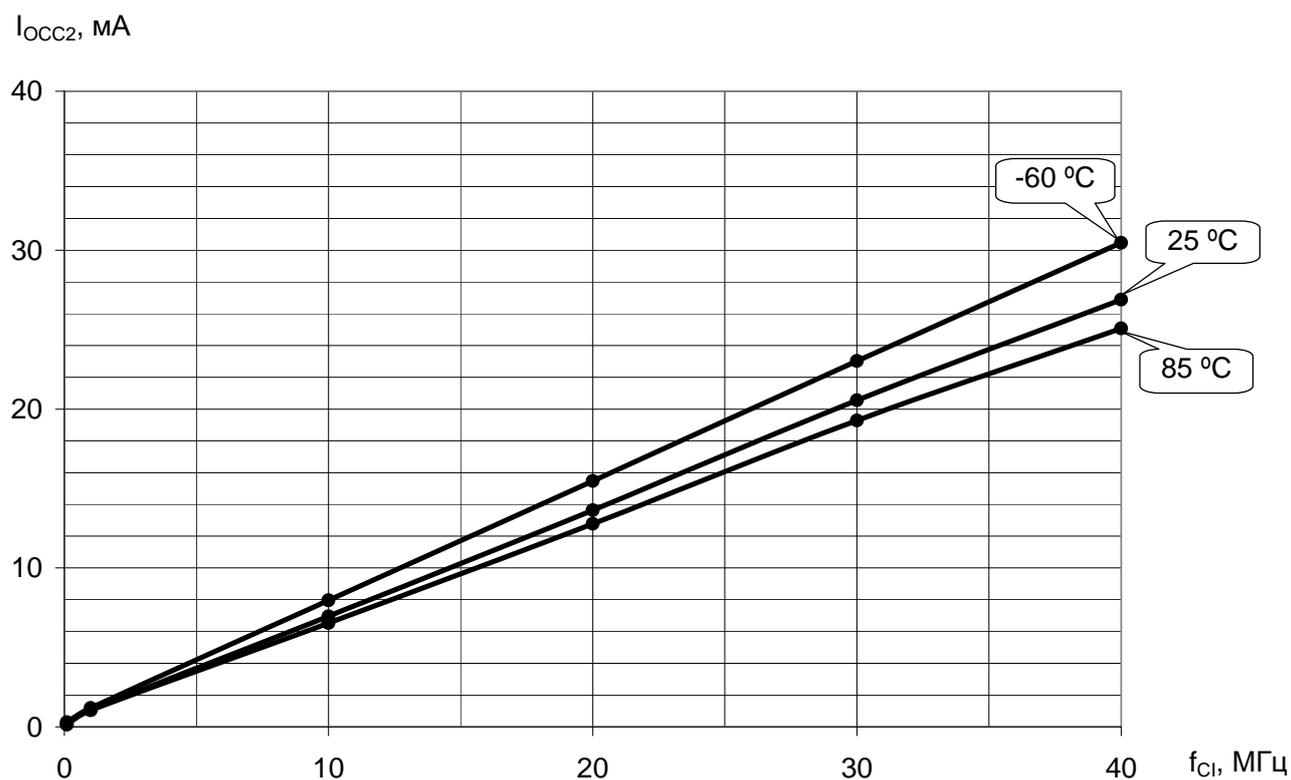


Рисунок 44 – Зависимость динамического тока потребления буферов ввода/вывода от тактовой частоты при $U_{VCC} = 5,5$ В

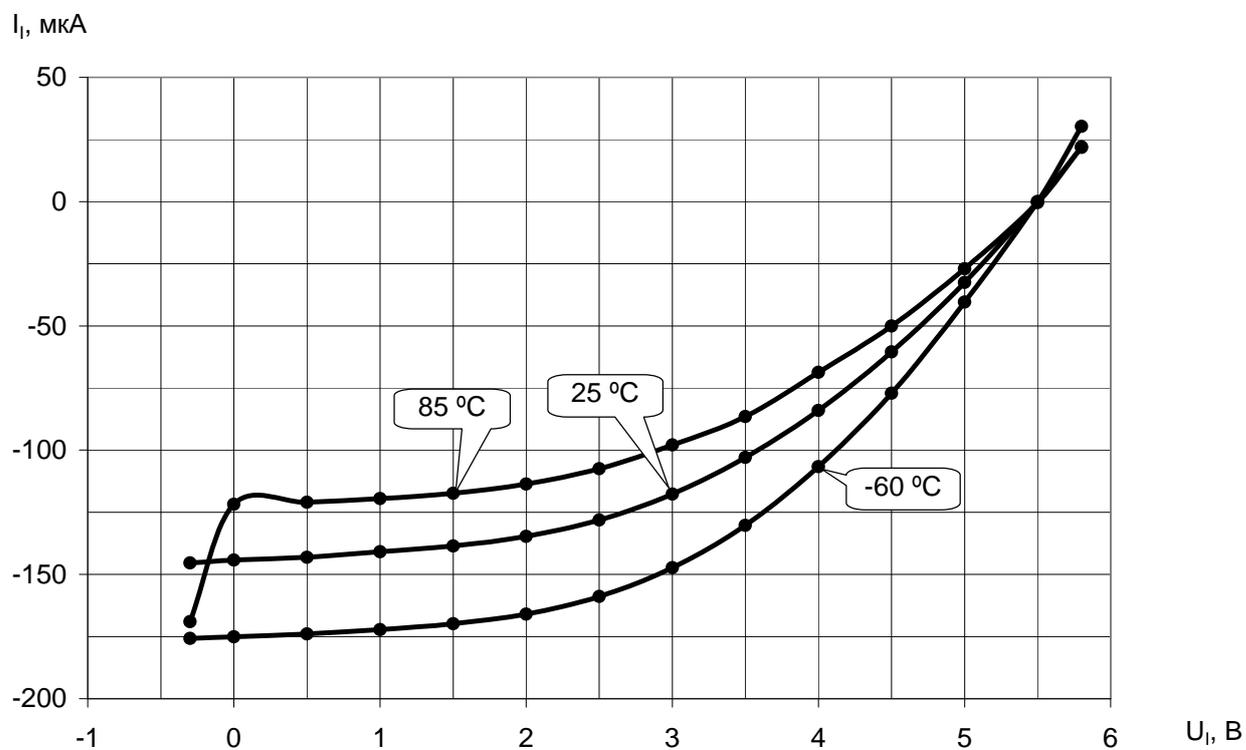


Рисунок 45 – Зависимость входного тока на входе ТСК от входного напряжения при $U_{VCC} = 5,5$ В

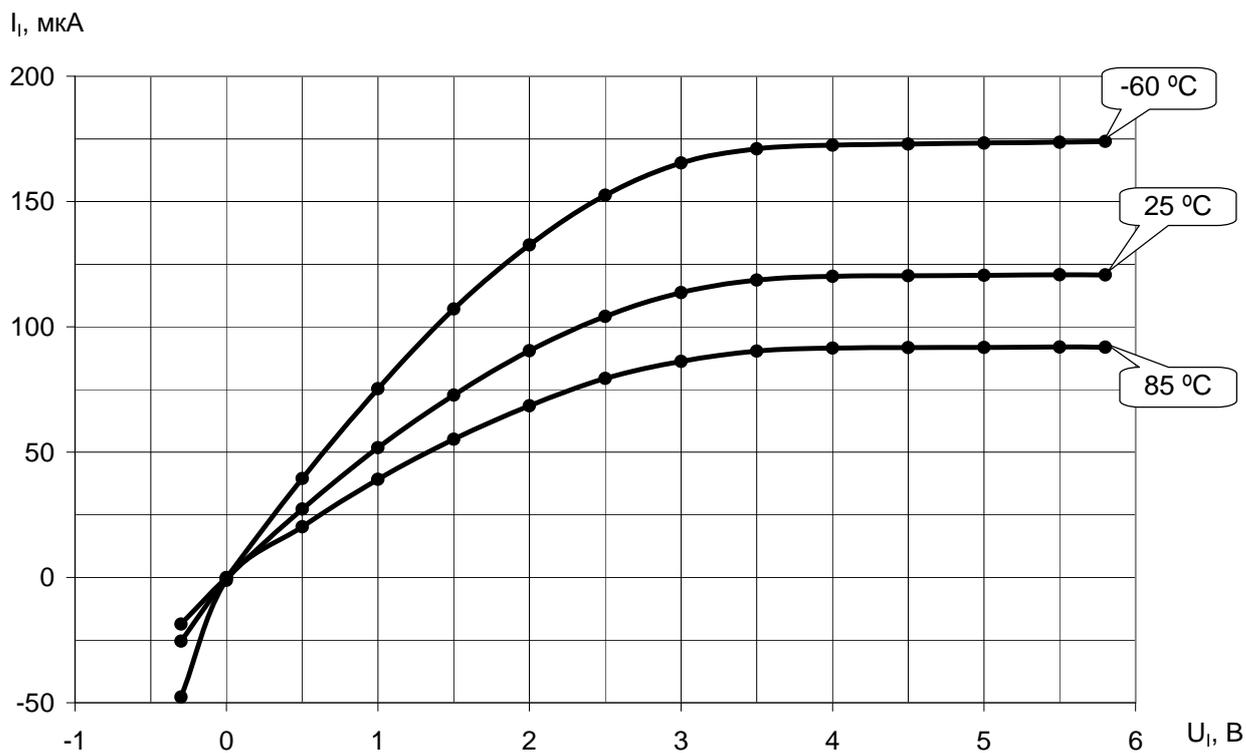


Рисунок 46 – Зависимость входного тока на входе TRST# от входного напряжения при $U_{VCC} = 5,5$ В

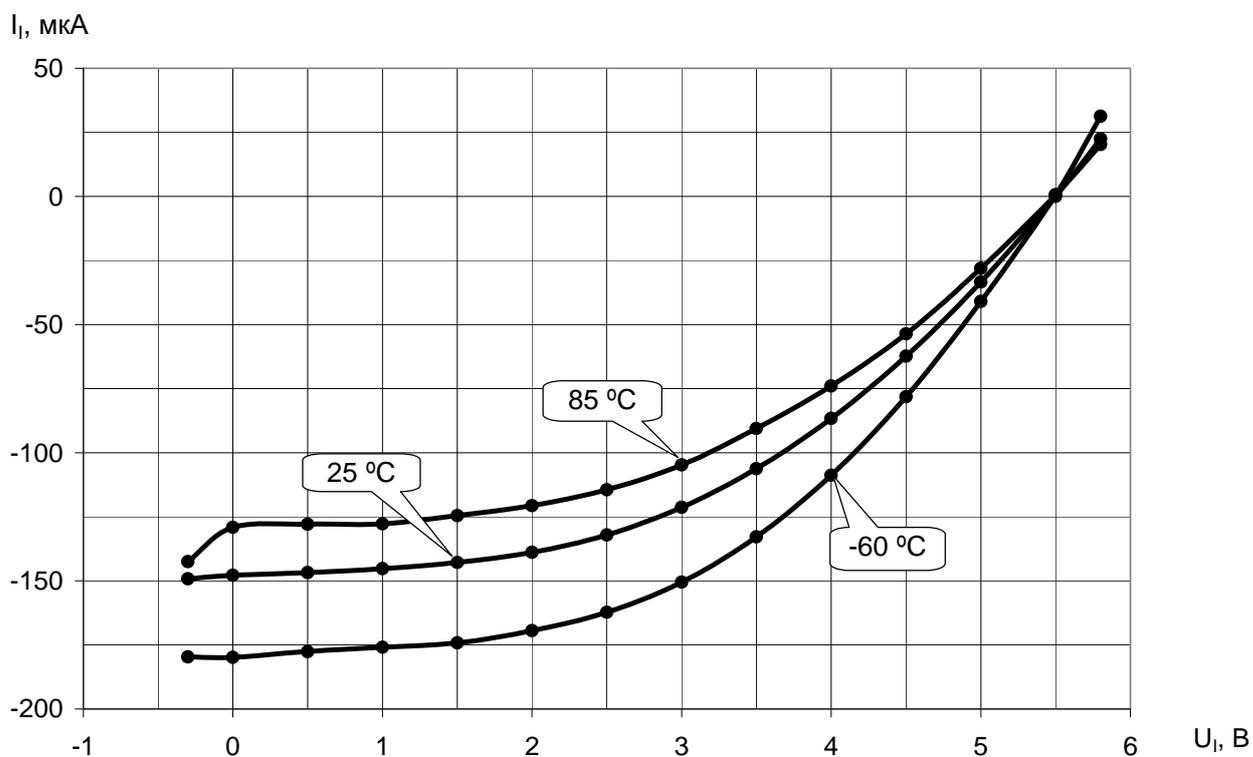


Рисунок 47 – Зависимость входного тока на входах host-порта: HAS#, HCS#, HR/W#, HBIL, HDS1#, HDS2#, HCNTL0 и HCNTL1 при низком логическом уровне на входе HPIENA от входного напряжения при $U_{VCC} = 5,5$ В

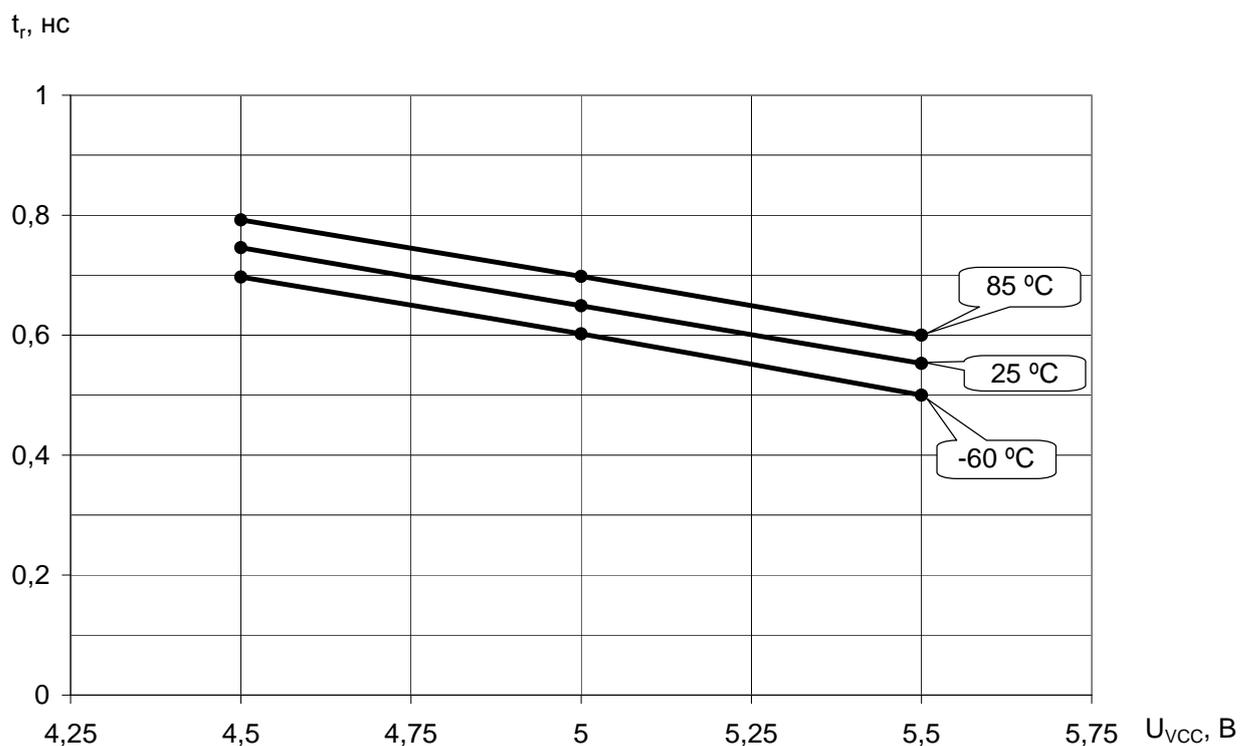


Рисунок 48 – Зависимость времени переключения сигнала на выходе CLKOUT (времени нарастания) от напряжения питания при $C_L = 50$ пФ, $f_{CI} = 10$ МГц

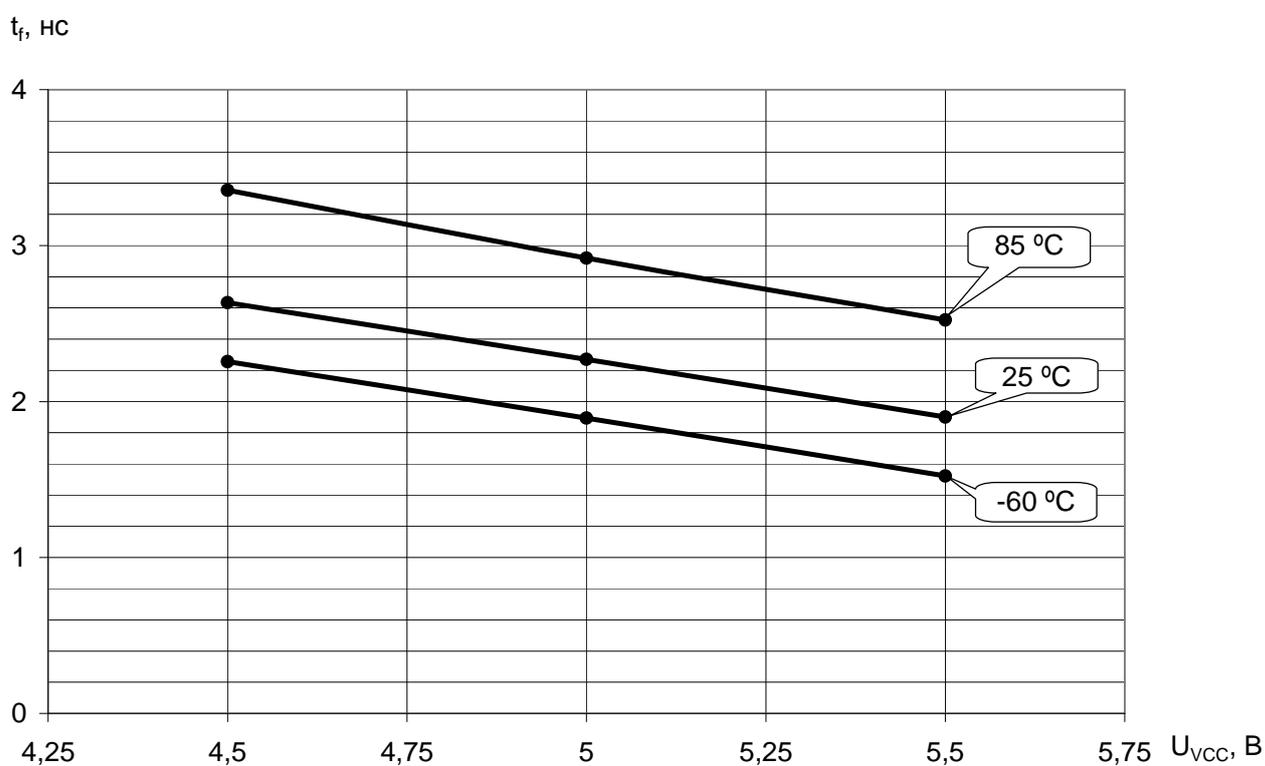


Рисунок 49 – Зависимость времени переключения сигнала на выходе CLKOUT (времени спада) от напряжения питания при $C_L = 50$ пФ, $f_{CI} = 10$ МГц

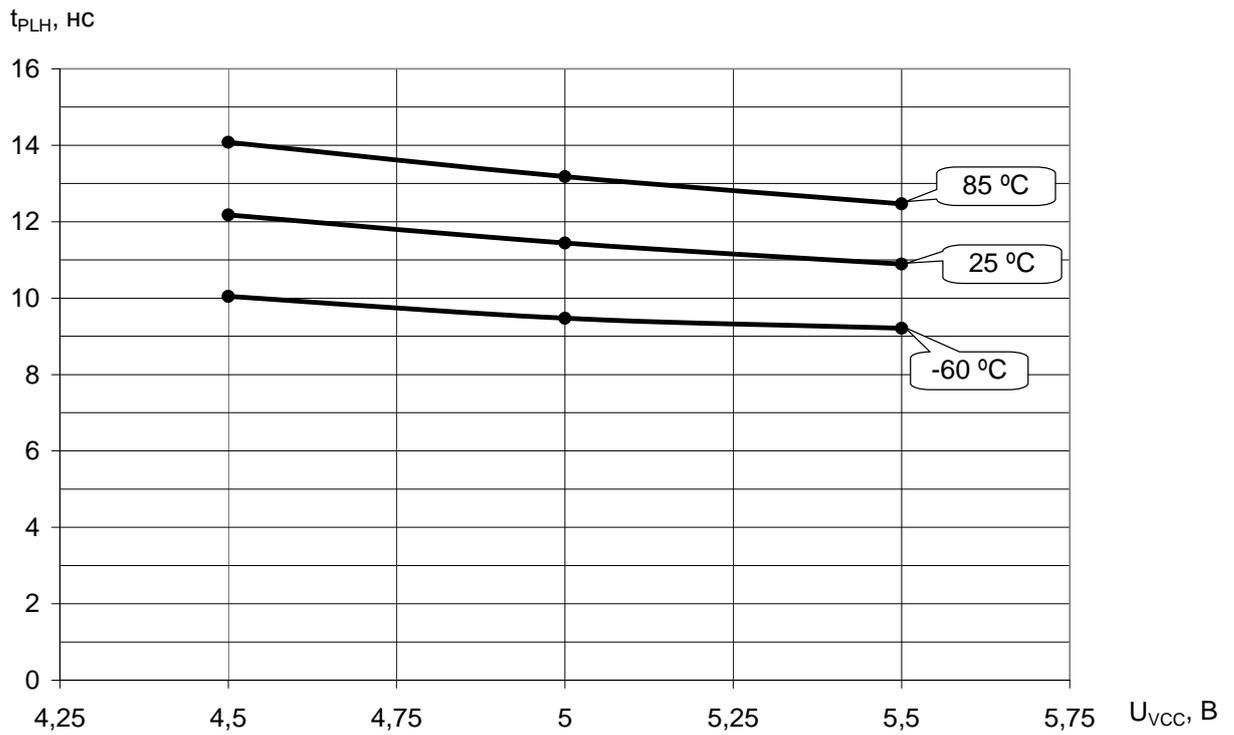


Рисунок 50 – Зависимость времени задержки распространения фронта нарастания выходного сигнала CLKOUT относительно входного импульса тактового сигнала X2/CLKIN от напряжения питания

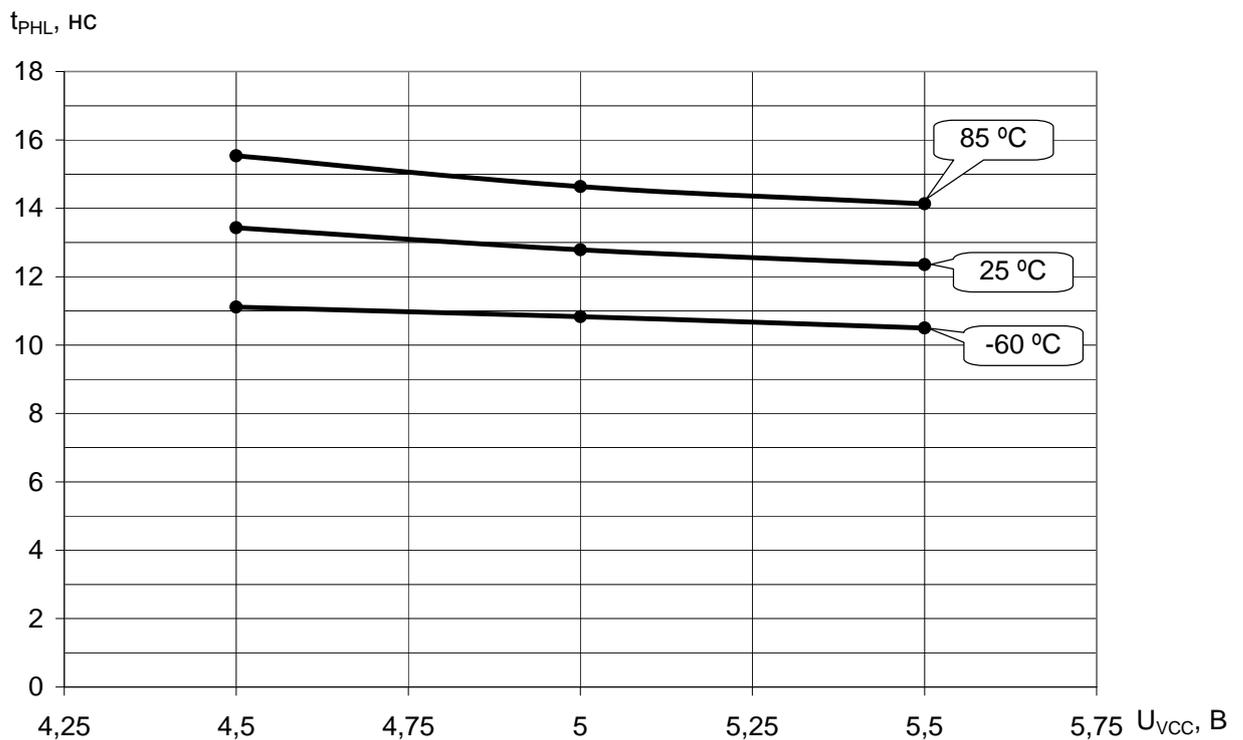


Рисунок 51 – Зависимость времени задержки распространения фронта спада выходного сигнала CLKOUT относительно входного импульса тактового сигнала X2/CLKIN от напряжения питания

48 Расчетно-экспериментальное прогнозирование ИС, расчет прогнозируемой зависимости показателей надежности от температуры кристалла

Расчет прогнозируемых показателей надежности ИС проведен в соответствии с методом 5-1 РД 11 0755-90 "Микросхемы интегральные. Методы ускоренных испытаний на безотказность и долговечность" (метод 5-1).

48.1 В соответствии с РД 11 0755-90 общая модель надежности ИС имеет вид:

$$\lambda_{ИС} = K_{П} \times (\lambda_1 + \lambda_2), \text{ где:}$$

$\lambda_{ИС}$ – интенсивность отказов ИС при 25 °С, (1/час);

$K_{П}$ – коэффициент вида приемки, характеризующий систему отбраковочных испытаний. Для системы отбраковочных испытаний с ЭТТ $K_{П} = 0,2$ (таблица 7 РД 11 0755-90);

λ_1 – интенсивность отказов конструктивных элементов;

λ_2 – интенсивность отказов элементов схемы.

48.2 Интенсивность отказов конструктивных элементов определяем по формуле:

$$\lambda_1 = \alpha_k \times \lambda_k + \alpha_{кр} \times \lambda_{кр} + n \times \alpha_c \times \lambda_c, \text{ где}$$

λ_k – интенсивность отказов корпуса. ИС выполнены в 156-выводных металлокерамических корпусах 4234.156-2. Из таблицы 8 РД 11 0755-90 $\lambda_k = 0,15 \times 10^{-7}$ (1/ч);

α_k – коэффициент, характеризующий различие корпусов разрабатываемых ИС и аналога. Примем $\alpha_k = 1$.

$\lambda_{кр}$ – интенсивность отказов соединения кристалла с основанием корпуса. Из таблицы 8 РД 11 0755-90 для способа крепления кристалла на клей $\lambda_{кр} = 0,01 \times 10^{-7}$ (1/ч);

$\alpha_{кр}$ – коэффициент, зависящий от площади кристалла разрабатываемой ИС в мм².

Площадь кристалла ИС $S_{кр} = (10,3 \times 10,3) \text{ мм}^2 = 106,1 \text{ мм}^2$. Тогда $\alpha_{кр} = 2,9$ (чертеж 2 РД 11 0755-90);

n – количество соединений выводов с кристаллом и корпусом. $n = 272$. Среди этих соединений можно выделить 136 соединений Al-Al с кристаллом и 136 соединений Al-Au с корпусом. Соединения выполнены с помощью ультразвуковой сварки.

λ_c – интенсивность отказов одного соединения. Согласно таблице 8 РД 11 0755-90 для соединений, выполненных с помощью ультразвуковой сварки $\lambda_c = 0,0014 \times 10^{-7}$ (1/ч);

α_c – коэффициент, характеризующий конструктивные различия соединений разрабатываемых ИС и аналога, и определяемый по чертежу 3 РД 11 0755-90 в зависимости от площади сварных соединений S_c . Для $S_c = (25 \times 10^{-4}) \text{ мм}^2$ $\alpha_c = 0,6$.

Подставив найденные значения в формулу для λ_1 , получим:

$$\lambda_1 = 1 \times 0,15 \times 10^{-7} + 2,9 \times 0,01 \times 10^{-7} + 0,6 \times 272 \times 0,0014 \times 10^{-7} = \\ = (0,15 + 0,029 + 0,228) \times 10^{-7} \text{ (1/ч)} = 0,407 \times 10^{-7} \text{ (1/ч)}.$$

48.3 В соответствии с пунктом 2.7.2 ОСТ В11 0998-99 гамма-процентный срок сохраняемости ($T_{с\gamma}$) ИС при $\gamma = 99$ % в отапливаемом хранилище с регулируемой влажностью и температурой должен быть не менее 25 лет или 219000 ч. Поскольку хранение проводят при нормальной окружающей температуре 25 °С без подачи электрического режима, интенсивность отказов ИС при хранении:

$$\lambda_c = K_{П} \times \lambda_1 = 0,0814 \times 10^{-7} \text{ (1/ч)}$$

Тогда гамма-процентный срок сохраняемости микросхем:

$$T_{с\gamma} = -\ln(99/100) \times (\lambda_c)^{-1} = 0,01005 / (0,0814 \times 10^{-7}) \text{ (ч)} = 1234685 \text{ (ч)}$$

что превышает значение, требуемое по ОСТ В 11 0998–99.

48.4 Интенсивность отказов элементов схемы рассчитывается по формуле (51) РД 11 0755-90 с учетом влияния электрического режима и температуры. Эту формулу можно упростить, исходя из условия равномерной нагруженности различных участков схемы. Тогда:

$$\lambda_2 = \beta \times N \times \lambda_{эл} \times \alpha_I + \lambda_M \times S_M \times \gamma_I \quad \text{где:}$$

β – коэффициент, характеризующий качество подзатворного окисла. Для толщины окисла 115 Å $\beta = 0,97$ (чертеж 4 РД 11 0755-90);

N – количество элементов. $N = 1300000$;

$\lambda_{эл}$ – интенсивность отказов одного элемента. Для КМОП-транзисторов при VII степени интеграции $\lambda_{эл} = 3 \times 10^{-13}$ (1/ч) (чертеж 6 РД 11 0755-90);

α_I – коэффициент режима, учитывающий влияние электрического режима и температуры. Для КМОП технологии он определяется в зависимости от коэффициента электрической нагрузки транзистора:

$$K_H = U_{уст} / (0,7 \times U_{проб}), \quad \text{где}$$

$U_{уст}$ – установленное напряжение на затворе $U_{уст} = 5,0$ В;

$U_{проб}$ – пробивное напряжение затвора $U_{проб} = 17$ В;

$$K_H = 5,0 / (0,7 \times 17) = 0,4$$

тогда из таблицы 9 РД 11 0755-90 $\alpha_I(25^\circ\text{C}) = 0,10$;

λ_M – интенсивность отказов металлизации единичной площади (на 1 мм²). Для металлических дорожек шириной (5 ÷ 10) мкм $\lambda_M = 0,04 \times 10^{-7}$ (1/ч) (таблица 8 РД 11 0755-90);

S_M – площадь одинаково нагруженных (по току и температуре) участков металлизации; $S_M = 110$ мм²;

γ_I – коэффициент, учитывающий влияние электрического режима и температуры на надежность металлизации, определяется в зависимости от отношения Q максимальной фактической плотности тока к максимальной допустимой. Для ИС 1867ВЦ4Т $Q = 0,05$; тогда $\gamma_I(25^\circ\text{C}) = 0,05$ (чертеж 7 РД 11 0755-90).

Подставив найденные значения в формулу для λ_2 , получим:

$$\lambda_2 = 0,97 \times 1,3 \times 10^6 \times 3 \times 10^{-13} \times 0,10 + 0,04 \times 10^{-7} \times 110 \times 0,05 = 0,378 \times 10^{-7} + 0,22 \times 10^{-7} = 0,598 \times 10^{-7} \text{ (1/ч)}$$

Следовательно, при температуре 25°C:

$$\lambda_{ИС} = 0,2 \times (0,407 \times 10^{-7} + 0,598 \times 10^{-7}) = 0,201 \times 10^{-7} \text{ (1/ч)}$$

48.5 Для расчета зависимости интенсивности отказов ИС в зависимости от режимов и условий эксплуатации воспользуемся выражением:

$$\lambda_{ИС}(T) = K_{II} \times (\lambda_1(T) + \lambda_2(T))$$

Поскольку согласно пункту 2.2.5 РД 11 0755-90 ускоряющим фактором для большинства механизмов отказов является повышенная температура, значения λ_k , $\lambda_{кр}$, λ_c при повышении температуры увеличиваются в K_y раз, где K_y – коэффициент ускорения отказов. Значения коэффициентов ускорения K_y рассчитаны по модели Аррениуса.

$$K_y = \exp \frac{E_a}{K} \left(\frac{1}{T_0} - \frac{1}{T_y} \right),$$

где E_a – энергия активации, определяемая в соответствии с таблицей 10 РД 11 0755-90: для ИС в металлокерамических корпусах $E_a = 0,3$ эВ; в случае посадки кристалла на клей $E_a = 0,6$ эВ; для соединений Al-Al $E_a = 0,3$ эВ; для соединений Al-Au на траверсе корпуса $E_a = 0,5$ эВ;

K – постоянная Больцмана, равная $8,6 \times 10^{-5}$ эВ/К;

T_0 , T_y – температура в нормальном и форсированном режимах соответственно, К.

Рассчитанные значения коэффициентов ускорения, также как и значения α_I (Т) и γ_I (Т) при $Kn = 0,4$ и $Q = 0,05$, определенные по таблице 9 и чертежу 7 РД 11 0755-90 соответственно, приведены в таблице 46.

Таблица 46

Т, °С	K_{y1} ($E_a = 0,3$ эВ)	K_{y2} ($E_a = 0,5$ эВ)	K_{y3} ($E_a = 0,6$ эВ)	α_I	γ_I
25	1	1	1	0,1	0,05
35	1,46	1,88	2,14	0,16	0,094
45	2,09	3,41	4,36	0,21	0,16
55	2,92	5,96	8,51	0,27	0,24
65	4,00	10,00	15,90	0,36	0,4
70	4,60	12,90	21,50	0,40	0,48
75	5,38	16,50	28,90	0,50	0,59
85	7,11	26,30	50,59	0,70	0,94
95	9,27	40,90	85,91	0,81	1,3
105	11,91	62,12	141,87	0,96	2,1
115	15,11	92,34	228,28	1,13	3
125	18,94	134,56	358,66	1,30	4,2

С учетом ранее выбранных значений коэффициентов α_{κ} , λ_{κ} , $\alpha_{\kappa p}$, $\lambda_{\kappa p}$, n , α_c , λ_c , β , $\lambda_{эв}$, N , λ_M , S_M составляющие общей интенсивности отказов $\lambda_I(T)$ и $\lambda_2(T)$, зависящие от температуры, рассчитываются по формулам:

$$\lambda_I(T) = 1 \times 0,15 \times 10^{-7} \times K_{y1}(T) + 2,9 \times 0,01 \times 10^{-7} \times K_{y3}(T) + 0,6 \times (136 \times 0,0014 \times 10^{-7} \times K_{y1}(T) + 136 \times 0,0014 \times 10^{-7} \times K_{y2}(T)) = 0,264 \times 10^{-7} \times K_{y1}(T) + 0,114 \times 10^{-7} \times K_{y2}(T) + 0,029 \times 10^{-7} \times K_{y3}(T) \quad (1/ч)$$

$$\lambda_2(T) = 0,97 \times 1,3 \times 10^6 \times 3 \times 10^{-13} \times \alpha_I(T) + 0,04 \times 10^{-7} \times 110 \times \gamma_I(T) \quad (1/ч) = 3,783 \times 10^{-7} \times \alpha_I(T) + 4,4 \times 10^{-7} \times \gamma_I(T) \quad (1/ч)$$

Рассчитанные таким образом значения $\lambda_I(T)$, $\lambda_2(T)$, $\lambda_{ИС}(T)$ приведены в таблице 47.

48.6 Гамма-процентный ресурс $T_{P\gamma}$ и минимальная наработка на отказ T_n рассчитываются по формулам:

$$T_{P\gamma} = -\ln(\gamma/100) / \lambda_{ИС}$$

$$T_n = T_{P\gamma} \times \ln(1-\alpha) \times (n \times \ln(\gamma/100))^{-1},$$

где α – риск изготовителя, равный вероятности получения отрицательного результата при испытаниях на долговечность. Выберем значение $\alpha = 0,3$;

n – объем выборки для испытаний на долговечность; согласно пункту 3.5.3 технического задания на ОКР $n = 10$;

Рассчитанные значения гамма-процентного срока сохраняемости ИС $T_{с\gamma}$ при $\gamma = 99\%$, гамма-процентного ресурса $T_{P\gamma}(T)$ при $\gamma = 97,5\%$ и минимальной наработки $T_n(T)$ приведены в таблице 47.

Таблица 47

Т, °С	$\lambda_I(T) \times 10^{-7}$, 1/ч	$\lambda_2(T) \times 10^{-7}$, 1/ч	$\lambda_{ИС}(T) \times 10^{-7}$, 1/ч	$T_{с\gamma}(99\%)$, ч	$T_{P\gamma}(97,5\%)$, ч	T_n , ч
25	0,407	0,598	0,201	1 234 685	1 259 592	875 874
35	0,662	1,019	0,336	759 089	753 506	523 961
45	1,067	1,498	0,513	470 962	493 525	343 179

Окончание таблицы 47

T, °C	$\lambda_1(T) \times 10^{-7}, 1/\text{ч}$	$\lambda_2(T) \times 10^{-7}, 1/\text{ч}$	$\lambda_{ИС}(T) \times 10^{-7}, 1/\text{ч}$	$T_{с\gamma}(99\%), \text{ ч}$	$T_{P\gamma}(97,5\%), \text{ ч}$	$T_{\text{МН}}, \text{ ч}$
55	1,697	2,077	0,755	296 121	335 335	233 180
65	2,666	3,122	1,158	188 491	218 823	152 162
70	3,325	3,625	1,390	151 133	182 143	126 655
75	4,139	4,488	1,725	121 410	146 770	102 059
85	6,343	6,784	2,626	79 224	96 412	67 041
95	9,601	8,784	3,677	52 340	68 854	47 879
105	14,340	12,872	5,442	35 043	46 523	32 350
115	21,136	17,475	7,722	23 775	32 787	22 799
125	30,741	23,398	10,828	16 347	23 382	16 259

48.7 В соответствии с пунктом 6.1 ОСТ В 11 0998-99 гамма-процентный ресурс для изделий категории "ВП" при $\gamma = 97,5 \%$ и при температуре окружающей среды 65°C должен составлять не менее 200000 ч. Из таблицы 47 видно, что рассчитанное значение гамма-процентного ресурса $T_{P\gamma}(97,5 \%)$ при температуре 65°C составляет 218823 ч, что превышает требование ОСТ В 11 0998-99. Из таблицы 47 видно, что значение минимальной наработки на отказ $T_{\text{н}}(65^\circ\text{C}) = 152162 \text{ ч}$, что превышает требуемое в пункте 2.7.1 ОСТ В 11 0998-99 значение времени минимальной наработки 100000 ч в режимах и условиях, допускаемых техническим заданием. Значение минимальной наработки на отказ в облегченных режимах ($U_{VCC} = (5,0 \pm 0,25) \text{ В}$, $T_{\text{окр}} = 45^\circ\text{C}$) составляет 343179 ч., что превышает требуемое в пункте 3.5.1 технического задания на ОКР значение $T_{\text{н}}(45^\circ\text{C}) = 120000 \text{ ч}$.

Зависимость минимальной наработки от температуры окружающей среды для микросхем серии 1867ВЦ4Т представлена на рисунках 52.

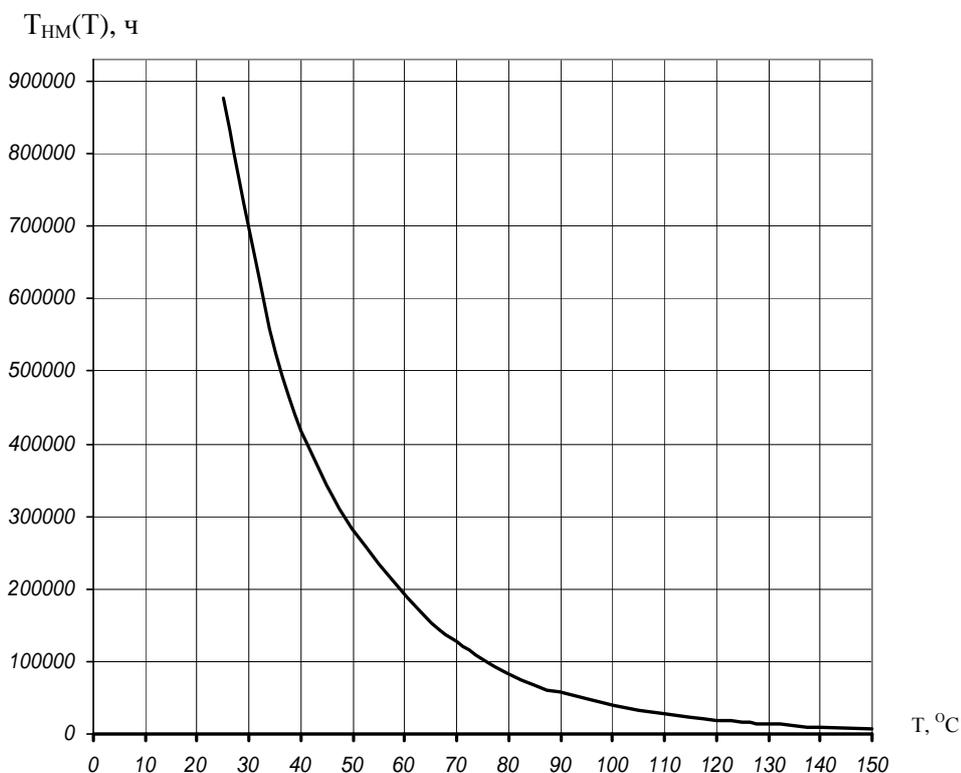


Рисунок 53 – Зависимость минимальной наработки $T_{\text{нм}}$ ИС 1867ВЦ4Т от температуры окружающей среды

49 Заключение

В настоящем руководстве КФДЛ.431299.010 и его продолжениях КФДЛ.431299.010.1 и КФДЛ.431299.010.2 приведены описания архитектуры, функционального построения, системы команд и особенностей применения ИМС 1867ВЦ4Т, которые представляют собой СБИС 16-разрядного процессора цифровой обработки сигналов с фиксированной запятой производительностью 40 MIPS.

Все значения электрических параметров ИМС приведены в ТУ на изделие. Значения параметров, приведенные в КФДЛ.431299.010, являются справочными.

Указанные выше руководства могут служить практическим пособием по применению процессоров ЦОС для разработчиков систем на основе ИМС 1867ВЦ4Т.

Применение процессора ЦОС в системах цифровой обработки сигналов, встроенных цифровых системах управления, бортовой аппаратуре, средствах связи, в системах автоматизации технологических процессов, вычислительной технике, телекоммуникационной технике и т.д. позволит создавать более совершенные в техническом отношении и надежные в эксплуатации изделия.

