

**МИКРОСХЕМА ИНТЕГРАЛЬНАЯ
1867ВМ8Т**

Руководство пользователя №1

ОПИСАНИЕ АРХИТЕКТУРЫ

2014

Содержание

1	Характеристики процессора цифровой обработки сигналов 1867BM8T	4
2	Краткое описание ИС 1867BM8T	5
3	Условное графическое обозначение микросхемы	6
4	Назначение выводов микросхемы	7
5	Описание сигналов ИС 1867BM8T	10
6	Описание архитектуры ИС 1867BM8T	16
6.1	Центральное процессорное устройство (CPU) ИС 1867BM8T	17
6.2	Арифметико-логическое устройство (ALU) ИС 1867BM8T	17
6.3	Аккумуляторы	17
6.4	Циклический сдвигатель	17
6.5	Умножитель/сумматор	17
6.6	Устройство сравнения, выборки и хранения (CSSU)	18
7	Программное управление ИС 1867BM8T	18
8	Режимы пониженного энергопотребления ИС 1867BM8T	18
9	Структура шин ИС 1867BM8T	19
10	Внутрикристалльное ПЗУ (ROM)	20
11	Внутрикристалльное ОЗУ с двойным доступом (DARAM)	20
12	Защита встроенной памяти	20
13	Память программ	21
14	Карта адресов памяти программ	22
15	Память данных	22
16	Встроенные периферийные устройства	23
17	Программно-управляемый генератор состояний ожидания	23
18	Программируемый модуль переключения банков памяти	23
19	Параллельные порты ввода-вывода	23
20	Интерфейс host-порта (HPI)	23
21	Последовательные порты	24
22	Аппаратный таймер	25
23	Тактовый генератор	25
24	Регистры, картированные в памяти данных	26
24.1	Регистры состояния (ST0, ST1)	27
24.2	Аккумуляторы (AL, AH, AG и BL, BH, BG)	27
24.3	Вспомогательные регистры (AR0–AR7)	27
24.4	Временный регистр (T)	28
24.5	Регистр перехода (TRN)	28
24.6	Регистр указателя стека (SP)	28
24.7	Регистр размера циклического буфера (BK)	28
24.8	Регистры организации циклов (BRC, RSA, REA)	28
24.9	Регистры организации прерываний (IMR, IFR)	28
24.10	Регистр режимов работы процессора (PMST)	28
25	Электрические характеристики ИС 1867BM8T и условия работы	29
26	Измерение параметров	31
26.1	Символика временных параметров	31
27	Внешний, деленный на два, тактовый генератор	32
28	Внешний, умноженный на 1, тактовый генератор	33
29	Временные характеристики памяти и интерфейса параллельного ввода-вывода	34
30	Изменение временных параметров с емкостной нагрузкой: результат SPICE-моделирования	40
31	Временные характеристики чтения для внешних сгенерированных состояний ожидания	42
32	Временные характеристики HOLD# и HOLDA#	45
33	Временные характеристики сигналов сброса, ВЮ#, прерываний и МР/МС#	47

34	Временные характеристики сигналов выполнения команды (IAQ#), подтверждения прерывания (IACK#), внешний флаг (XF) и TOUT	49
35	Временные характеристики приема последовательного порта	51
36	Временные характеристики передачи последовательного порта	52
37	Временные характеристики приема буферизованного последовательного порта	54
38	Временные характеристики передачи буферизованного последовательного порта с внешней кадровой синхронизацией	56
39	Временные характеристики приема последовательного порта в TDM режиме	59
40	Временные характеристики передачи последовательного порта в TDM режиме	60
41	Временные характеристики интерфейса host-порта.....	62
42	Проработка вопросов отладки, отладочные средства для ИС.....	66
	42.1 Программные средства поддержки разработок, среда разработчика Code Composer Studio	66
	42.2 Аппаратные средства поддержки разработок	67
43	Указания по применению и эксплуатации.....	68
44	Типовые характеристики электрических параметров	68
45	Заключение	78
	Лист регистрации изменений	79

1 Характеристики процессора цифровой обработки сигналов 1867BM8T

1 Улучшенная распараллеленная многошинная архитектура с тремя отдельными внутренними 16-разрядными шинами данных и одной 16-разрядной шиной инструкций CD, DB, EB и PB. Каждая из них обслуживается собственной внутренней адресной шиной CAB, DAB, EAB и PAB, соответственно.

2 40-битное центральное арифметико-логическое устройство (CALU), включающее 40-битный циклический сдвигатель и два независимых 40-битных аккумулятора. В «расщепленном» режиме функционирует как два независимых 16-разрядных ALU, обеспечивая одновременное выполнение двух параллельных операций.

3 17×17 -битный параллельный умножитель, соединенный с 40-битным выделенным сумматором для неконвейеризованной одноцикловой операции умножения с накоплением (MAC). Умножение с накоплением выполняется без CALU, освобождая его для других операций.

4 Устройство сравнения, выборки и хранения (CSSU) для реализации операций сложения/сравнения алгоритма Витерби.

5 Экспоненциальный кодировщик для вычисления значения экспоненты 40-битного аккумулятора в одном цикле.

6 Два независимых генератора адресов данных с восемью вспомогательными регистрами и два арифметических устройства вспомогательных регистров (ARAU).

7 Внешняя шина данных с функцией удержания состояния (bus hold).

8 Максимальное доступное адресное пространство $192K \times 16$ бит: 64K программных слов, 64K слов данных, 64K портов параллельного ввода-вывода.

9 Внутрикристалльное масочное ПЗУ (ROM) $2K \times 16$ бит.

10 Внутрикристалльное ОЗУ двойного доступа (DARAM) $10K \times 16$ бит.

11 Повтор одиночной инструкции и операции блочных повторов для программного кода.

12 Инструкции блочного перемещения данных для улучшения управления памятью программ и данных.

13 Инструкции для работы с двойными (32-бит длины) операндами.

14 Двух- и трех-операндные инструкции.

15 Арифметические инструкции с параллельным сохранением и параллельной загрузкой.

16 Инструкции условного сохранения.

17 Быстрый возврат из прерываний.

18 Внутрикристалльное периферийное оборудование:

- Программируемый генератор циклов ожидания и программируемый переключатель банков памяти.

- Мультиплексированный последовательный порт с разделением по времени (TDM).

- Буферизированный последовательный порт (BSP).

- 8-битный параллельный host-порт интерфейс (HPI).

- 16-битный таймер (TIM) с программируемым предделителем.

- Внешнее управление выключением входов/выходов для запрещения внешних шин данных, адреса и управляющих сигналов.

19 Управление потребляемой мощностью с помощью инструкций IDLE1, IDLE2 и IDLE3 в режиме пониженного энергопотребления.

20 Управление отключением внешнего мастер-клока CLKOUT.

21 Внутрикристалльный эмулятор, реализующий стандарт IEEE Std 1149.1 (JTAG) и регистр граничного сканирования выводов (Boundary Scan Register).

22 Производительность – 80 миллионов операций в секунду (MIPS).

23 16/32-разрядный микропроцессор с фиксированной запятой и повышенной специфичностью.

2 Краткое описание ИС 1867ВМ8Т

ИС 1867ВМ8Т представляет собой цифровой сигнальный процессор с фиксированной запятой, в котором используется модифицированная Гарвардская архитектура, с одной шиной памяти программ и тремя шинами памяти данных. Процессор содержит арифметико-логическое устройство (ALU) с высокой степенью параллельности выполнения команд и аппаратно-ориентированной логикой, встроенную память и дополнительные периферийные устройства. 1867ВМ8Т обеспечивает также набор высокоспециализированных инструкций, который является основой эксплуатационной гибкости и производительности этого устройства для решения задач цифровой обработки сигналов.

Разделение памяти программ и памяти данных позволяет производить одновременное обращение, как к программному коду, так и к данным, обеспечивая тем самым самую высокую степень параллельности выполнения инструкций. Две операции чтения и одна операция записи могут быть выполнены в одном машинном цикле. Инструкции с параллельным сохранением и загрузкой и специализированные инструкции позволяют полностью использовать архитектуру устройства. Кроме того, данные могут быть перемещены между памятью программ и памятью данных. Такой параллелизм поддерживает мощный набор арифметики, логики, а также операции с отдельными битами, которые могут быть выполнены в одном машинном цикле. Дополнительно, ИС 1867ВМ8Т включает механизмы управления прерываниями, операции управления циклами и вызовами подпрограмм.

Таблица 1 показывает наиболее важные технические характеристики ИС 1867ВМ8Т, включая объем ОЗУ и ПЗУ, время выполнения машинного цикла, состав периферийных устройств.

Таблица 1 – Технические характеристики ИС 1867ВМ8Т

Наименование параметра, единица измерения	Значение параметра
Архитектура, система команд и методы адресации	TMS320VC54x
Производительность	80 MIPS
Длина командного слова, бит	16
Разрядность данных (фиксированная запятая), бит	16, 32 (2×16)
Разрядность арифметико-логического устройства, бит	40 / 2 × 16
Разрядность аккумулятора, бит	2×40
Разрядность умножителя/результат умножения, бит	17×17/40
Параллельный сдвиговый регистр, бит	от -31 до 16
Объем внутреннего ОЗУ (DARAM) данных/программ, бит	10К×16
Объем внутреннего ПЗУ программ, бит	2К×16
Объем адресуемой памяти программ, 16-разрядных слов	64К
Объем адресуемой памяти данных, 16-разрядных слов	64К
Адресуемое пространство ввода-вывода, 16-разрядных слов	64К
Два независимых генератора адресов данных и генератор программного адреса	
Команды с тремя 16-разрядными операндами и длинными 32-разрядными операндами	
Повтор одиночной команды и блока программного кода	
Аппаратный модуль сравнения, выбора и сохранения (декодер Витерби)	
Аппаратный одноцикловый кодировщик экспоненты	
16-разрядный таймер-счетчик с предделителем	
Полнодуплексный буферизированный последовательный порт	
Последовательный порт с временным мультиплексированием	
8-разрядный хост-порт интерфейс	
Интерфейс внешней памяти с поддержкой состояний ожидания	
Три программно и два аппаратно иницируемых режима энергосбережения	
Порт тестового доступа JTAG (стандарт IEEE 1149.1)	

3 Условное графическое обозначение микросхемы

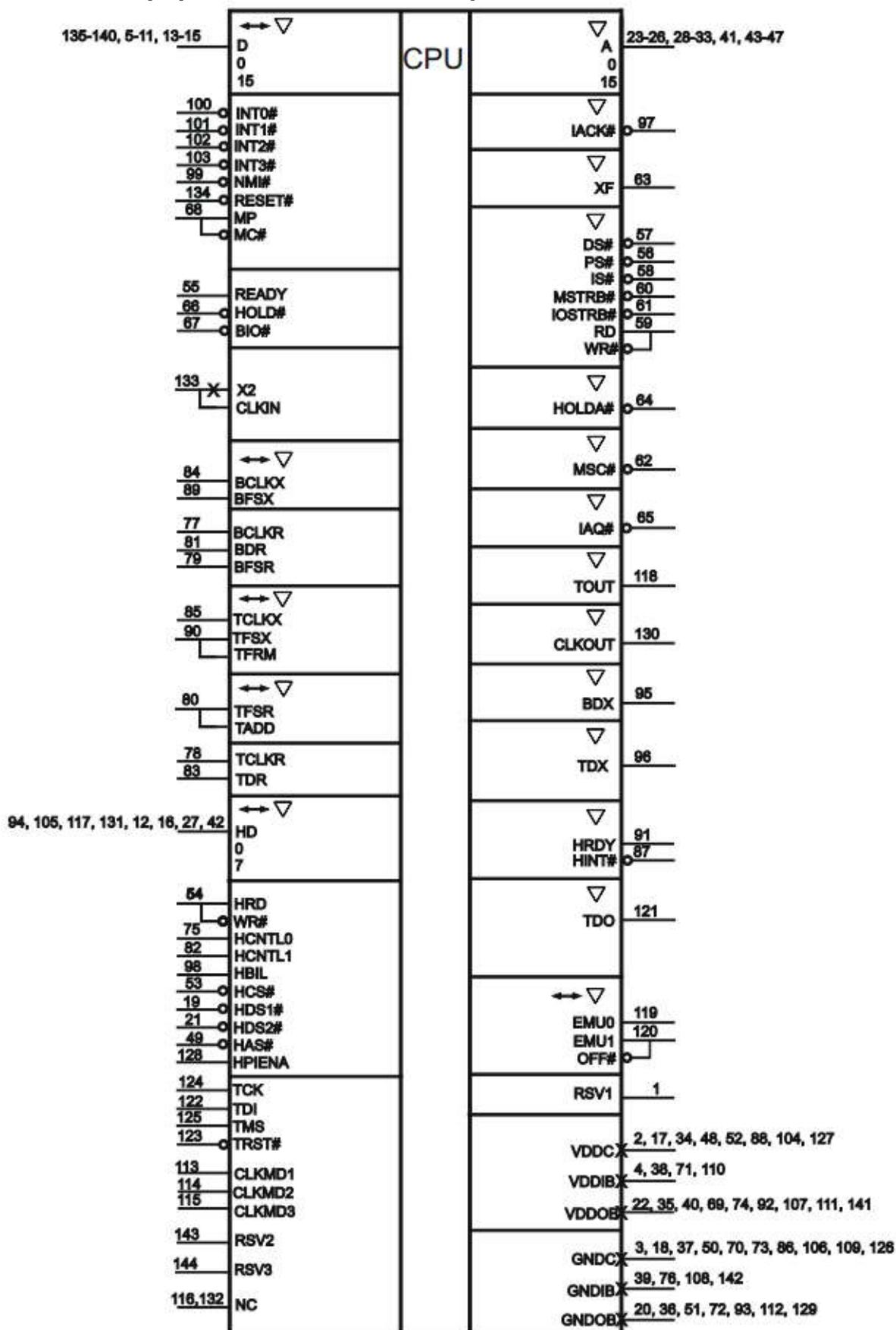


Рисунок 1 – Условное графическое обозначение ИС 1867BM8Т в корпусе 4248.144-1

4 Назначение выводов микросхемы

Таблица 2 – Назначение выводов ИС 1867ВМ8Т

Обозначение вывода	Тип вывода ИС	Номер вывода корпуса	Функциональное назначение вывода
1	2	3	4
RSV1	O	1	Зарезервированный вывод
VDDC	-	2	Вывод питания ядра процессора
GNDC	-	3	Общий вывод ядра процессора
VDDIB	-	4	Вывод питания буферов ввода и схемы управления буферами ввода, вывода и ввода-вывода
D6	I/O/Z	5	Вывод 6 разряда шины данных
D7	I/O/Z	6	Вывод 7 разряда шины данных
D8	I/O/Z	7	Вывод 8 разряда шины данных
D9	I/O/Z	8	Вывод 9 разряда шины данных
D10	I/O/Z	9	Вывод 10 разряда шины данных
D11	I/O/Z	10	Вывод 11 разряда шины данных
D12	I/O/Z	11	Вывод 12 разряда шины данных
HD4	I/O/Z	12	Вывод 4 разряда двунаправленной шины данных порта HPI
D13	I/O/Z	13	Вывод 13 разряда шины данных
D14	I/O/Z	14	Вывод 14 разряда шины данных
D15	I/O/Z	15	Вывод 15 разряда шины данных
HD5	I/O/Z	16	Вывод 5 разряда двунаправленной шины данных порта HPI
VDDC	-	17	Вывод питания ядра процессора
GNDC	-	18	Общий вывод ядра процессора
HDS1#	I	19	Вывод сигнала 1 стробирования данных порта HPI
GND0B	-	20	Общий вывод буферов ввода-вывода
HDS2#	I	21	Вывод сигнала 2 стробирования данных порта HPI
VDD0B	-	22	Вывод питания буферов вывода, ввода-вывода
A0	O/Z	23	Вывод 0 разряда шины адреса
A1	O/Z	24	Вывод 1 разряда шины адреса
A2	O/Z	25	Вывод 2 разряда шины адреса
A3	O/Z	26	Вывод 3 разряда шины адреса
HD6	I/O/Z	27	Вывод 6 разряда двунаправленной шины данных порта HPI
A4	O/Z	28	Вывод 4 разряда шины адреса
A5	O/Z	29	Вывод 5 разряда шины адреса
A6	O/Z	30	Вывод 6 разряда шины адреса
A7	O/Z	31	Вывод 7 разряда шины адреса
A8	O/Z	32	Вывод 8 разряда шины адреса
A9	O/Z	33	Вывод 9 разряда шины адреса
VDDC	-	34	Вывод питания ядра процессора
VDD0B	-	35	Вывод питания буферов вывода, ввода-вывода
GND0B	-	36	Общий вывод буферов ввода-вывода
GNDC	-	37	Общий вывод ядра процессора
VDDIB	-	38	Вывод питания буферов ввода и схемы управления буферами ввода, вывода и ввода-вывода
GNDIB	-	39	Общий вывод буферов ввода-вывода
VDD0B	-	40	Вывод питания буферов вывода, ввода-вывода
A10	O/Z	41	Вывод 10 разряда шины адреса
HD7	I/O/Z	42	Вывод 7 разряда двунаправленной шины данных порта HPI
A11	O/Z	43	Вывод 11 разряда шины адреса
A12	O/Z	44	Вывод 12 разряда шины адреса
A13	O/Z	45	Вывод 13 разряда шины адреса
A14	O/Z	46	Вывод 14 разряда шины адреса
A15	O/Z	47	Вывод 15 разряда шины адреса
VDDC	-	48	Вывод питания ядра процессора
HAS#	I	49	Вывод стробирования адреса порта HPI
GNDC	-	50	Общий вывод ядра процессора

Продолжение таблицы 2

1	2	3	4
GND0B	-	51	Общий вывод буферов ввода-вывода
VDDC	-	52	Вывод питания ядра процессора
HCS#	I	53	Вывод выбора блока порта HPI
HRD/WR#	I	54	Вывод сигнала чтение/запись порта HPI
READY	I	55	Вывод сигнала готовности к обмену
PS#	O/Z	56	Вывод сигнала выбора внешней памяти команд
DS#	O/Z	57	Вывод сигнала выбора внешней памяти данных
IS#	O/Z	58	Вывод сигнала выбора данных в пространстве ввода-вывода
RD/WR#	O/Z	59	Вывод сигнала чтение/запись по шине данных
MSTRB#	O/Z	60	Вывод сигнала стробирования внешней памяти
IOSTRB#	O/Z	61	Вывод сигнала стробирования в пространстве ввода-вывода
MSC#	O/Z	62	Вывод сигнала завершения микросостояния
XF	O/Z	63	Вывод программно управляемого внешнего флага
HOLDA#	O/Z	64	Вывод сигнала подтверждения состояния «HOLDA»
IAQ#	O/Z	65	Вывод сигнала «адрес инструкции на шине адреса»
HOLD#	I	66	Вывод сигнала подтверждения состояния «HOLD»
BIO#	I	67	Вывод управления условным переходом
MP/MC#	I	68	Вывод выбора режима «микропроцессор/микрокомпьютер»
VDD0B	-	69	Вывод питания буферов вывода, ввода-вывода
GND C	-	70	Общий вывод ядра процессора
VDDIB	-	71	Вывод питания буферов ввода и схемы управления буферами ввода, вывода и ввода-вывода
GND0B	-	72	Общий вывод буферов ввода-вывода
GND C	-	73	Общий вывод ядра процессора
VDD0B	-	74	Вывод питания буферов вывода, ввода-вывода
HCNTL0	I	75	Вывод сигнала 0 управления доступом к регистрам порта HPI
GNDIB	-	76	Общий вывод буферов ввода/вывода
BCLKR	I	77	Вывод сигнала тактирования приема данных буферизированного последовательного порта (BSP)
TCLKR	I	78	Вывод сигнала тактирования приема данных последовательного порта с временным разделением (TDM)
BFSR	I	79	Вывод кадрового синхроимпульса приема данных буферизированного последовательного порта (BSP)
TFSR/TADD	I/O/Z	80	Вывод кадрового синхроимпульса приема данных/ TDM адрес последовательного порта с временным разделением (TDM)
BDR	I	81	Вывод приема данных буферизированного последовательного порта (BSP)
HCNTL1	I	82	Вывод сигнала 1 управления доступом к регистрам порта HPI
TDR	I	83	Вывод приема данных последовательного порта с временным разделением (TDM)
BCLKX	I/O/Z	84	Вывод сигнала тактирования передачи данных буферизированного последовательного порта (BSP)
TCLKX	I/O/Z	85	Вывод сигнала тактирования передачи данных последовательного порта с временным разделением (TDM)
GND C	-	86	Общий вывод ядра процессора
HINT#	O/Z	87	Вывод сигнала прерывания от порта HPI
VDDC	-	88	Вывод питания ядра процессора
BFSX	I/O/Z	89	Вывод кадровых синхроимпульсов передачи данных последовательного порта с временным разделением (TDM)
TFSX/ TFRM	I/O/Z	90	Вывод сигнала кадровой синхронизации не в режиме разделения времени/ сигнала кадровой синхронизации в режиме разделения времени (TDM)
HRDY	O/Z	91	Вывод сигнала готовности порта HPI
VDD0B	-	92	Вывод питания буферов вывода, ввода-вывода
GND0B	-	93	Общий вывод буферов ввода-вывода
HD0	I/O/Z	94	Вывод 0 разряда двунаправленной шины данных порта HPI

Окончание таблицы 2

1	2	3	4
BDX	O/Z	95	Вывод передачи данных буферизированного последовательного порта (BSP)
TDX	O/Z	96	Вывод передачи данных последовательного порта с временным разделением (TDM)
IACK#	O/Z	97	Вывод сигнала подтверждения прерывания
HBIL	I	98	Вывод идентификации принимаемых байтов порта HPI
NMI#	I	99	Вывод немаскируемого внешнего прерывания
INT0#	I	100	Вывод маскируемого внешнего прерывания 0
INT1#	I	101	Вывод маскируемого внешнего прерывания 1
INT2#	I	102	Вывод маскируемого внешнего прерывания 2
INT3#	I	103	Вывод маскируемого внешнего прерывания 3
VDDC	-	104	Вывод питания ядра процессора
HD1	I/O/Z	105	Вывод 1 разряда двунаправленной шины данных порта HPI
GNDC	-	106	Общий вывод ядра процессора
VDDOB	-	107	Вывод питания буферов вывода, ввода-вывода
GNDIB	-	108	Общий вывод буферов ввода-вывода
GNDC	-	109	Общий вывод ядра процессора
VDDIB	-	110	Вывод питания буферов ввода и схемы управления буферами ввода, вывода и ввода-вывода
VDDOB	-	111	Вывод питания буферов вывода, ввода-вывода
GNDOB	-	112	Общий вывод буферов ввода-вывода
CLKMD1	I	113	Вывод сигнала 1 выбора режима тактирования ИС
CLKMD2	I	114	Вывод сигнала 2 выбора режима тактирования ИС
CLKMD3	I	115	Вывод сигнала 3 выбора режима тактирования ИС
NC	-	116	Вывод не подключен
HD2	I/O/Z	117	Вывод 2 разряда двунаправленной шины данных порта HPI
TOUT	O/Z	118	Вывод сигнала таймера
EMU0	I/O/Z	119	Вывод сигнала 0 прерывания эмулятора
EMU1/OFF#	I/O/Z	120	Вывод сигнала 1 прерывания эмулятора/ переводит выходные буферы выводов в третье состояние
TDO	O/Z	121	Вывод выходных данных из тестового порта (стандарт IEEE1149.1)
TDI	I	122	Вывод входных данных в тестовый порт (стандарт IEEE1149.1)
TRST#	I	123	Вывод сигнала сброса тестового режима (стандарт IEEE1149.1)
TCK	I	124	Вывод сигнала тактирования тестового порта (стандарт IEEE1149.1)
TMS	I	125	Вывод сигнала выбора состояния тестового порта (стандарт IEEE1149.1)
GNDC	-	126	Общий вывод ядра процессора
VDDC	-	127	Вывод питания ядра процессора
HPIENA	I	128	Вывод разрешения выбора порта HPI
GNDOB	-	129	Общий вывод буферов ввода-вывода
CLKOUT	O/Z	130	Вывод сигнала машинного цикла ИС
HD3	I/O/Z	131	Вывод 3 разряда двунаправленной шины данных порта HPI
NC	-	132	Вывод не подключен
X2/CLKIN	I	133	Вывод для подключения кварцевого резонатора/вход тактового сигнала
RESET#	I	134	Вывод сигнала аппаратного сброса
D0	I/O/Z	135	Вывод 0 разряда шины данных
D1	I/O/Z	136	Вывод 1 разряда шины данных
D2	I/O/Z	137	Вывод 2 разряда шины данных
D3	I/O/Z	138	Вывод 3 разряда шины данных
D4	I/O/Z	139	Вывод 4 разряда шины данных
D5	I/O/Z	140	Вывод 5 разряда шины данных
VDDOB	-	141	Вывод питания буферов вывода, ввода-вывода
GNDIB	-	142	Общий вывод буферов ввода-вывода
RSV2	I	143	Зарезервированный вывод
RSV3	I	144	Зарезервированный вывод

Примечание – Принятые условные обозначения: I – вход, O – выход, I/O – вход/выход, O/Z – выход/третье состояние, I/O/Z – вход/выход/третье состояние.

5 Описание сигналов ИС 1867ВМ8Т

Таблица 3 – Описание сигналов ИС 1867ВМ8Т

Обозначение вывода	Тип вывода	Описание
Информационные сигналы		
A15 (MSB)	O/Z	Параллельная шина адреса с A15 [старший разряд (MSB)] по A0 [младший разряд (LSB)]. A15 – A0 мультиплексируются для адресации внешней памяти данных/программ или ввода-вывода (I/O). A15 – A0 устанавливаются в высокоимпедансное состояние в режиме удержания (hold mode) или когда уровень EMU1/OFF# в низком состоянии
A14		
A13		
A12		
A11		
A10		
A9		
A8		
A7		
A6		
A5		
A4		
A3		
A2		
A1		
A0 (LSB)		
D15 (MSB)	I/O/Z	Параллельная шина данных с D15 (MSB) по D0 (LSB). D15 – D0 мультиплексируются для обмена данными между ядром процессора 1867ВМ8Т и внешней памятью данных/программ или устройствами ввода-вывода (I/O). D15 – D0 устанавливаются в третье состояние в том случае, если они не находятся в состоянии выхода или процессор находится в состоянии HOLD#, когда произведен сброс (RESET#) или когда уровень сигнала EMU1/OFF# низкий. Шина данных имеет свойство защелкивания и удержания (bus holder), которое устраняет пассивные компоненты и дополнительное рассеивание мощности, связанное с ними. При активизации этого свойства на выводах D15 – D0 удерживается предыдущее логическое состояние, когда шина переходит в высокоимпедансное состояние
D14		
D13		
D12		
D11		
D10		
D9		
D8		
D7		
D6		
D5		
D4		
D3		
D2		
D1		
D0 (LSB)		
Сигналы инициализации, прерываний и начального сброса		
IACK#	O/Z	Сигнал подтверждения внешнего прерывания. IACK# подтверждает получение прерывания и загрузку счетчика команд адресом вектора прерывания, который при низком уровне этого сигнала параллельно выдается на A15 – A0. IACK# также переходит в высокоимпедансное состояние, когда EMU1/OFF# в низком уровне
INT0# INT1# INT2# INT3#	I	Входы внешних пользовательских прерываний. INT0# – INT3# имеют приоритет и могут маскироваться регистром маски прерывания и битом режима прерываний. INT0# – INT3# фиксируются в регистре флага прерываний и могут быть деактивированы сбросом этого регистра (общим или побитным)

Продолжение таблицы 3

Обозначение вывода	Тип вывода	Описание
NMI#	I	Немаскируемое прерывание. NMI# – внешнее прерывание, которое не может быть маскировано установкой бита INTM или с помощью IMR. Когда NMI# активирован, процессор обрабатывает переход по адресу соответствующего вектора прерывания
RESET#	I	Вход сброса. Появление сигнала RESET# вызывает останов работы процессора и переход счетчика программ на адрес FF80h. Когда RESET# переходит на высокий уровень, выполнение программы начинается с адреса FF80h памяти программ. Сигнал RESET# влияет на многие регистры и биты состояния
MP/MC#	I	Сигнал выбора режима «микропроцессор/микроконтроллер». Если MP/MC# в низком уровне, выбирается внутренняя память программ. В микропроцессорном режиме выбирается внешняя память программ
Мультипроцессорные сигналы		
BIO#	I	Вход управления инструкцией перехода. Переход может быть выполнен по условию, когда сигнал BIO# активен. При низком уровне BIO# процессор выполняет условные инструкции. BIO# – условие выбирается во время фазы декодирования конвейера для инструкции XC; остальные инструкции опрашивают BIO# в течение фазы чтения конвейера
XF	O/Z	Выход внешнего флага общего назначения (программно устанавливаемый сигнал). XF устанавливается в высокий уровень инструкцией SSBX XF, низкий уровень – инструкцией RSBX XF или загрузкой в соответствующий бит регистра состояний ST1. XF используется для сигнализации другим процессорам в многопроцессорной конфигурации или как выходной контакт общего назначения. XF переходит в высокоимпедансное состояние, когда сигнал OFF# в низком уровне и устанавливается в высокое состояние при сбросе
Сигналы управления памятью		
DS# PS# IS#	O/Z	Сигналы выбора области данных, программ и ввода-вывода. На DS#, PS#, IS# всегда высокий уровень, кроме случаев выставления низкого уровня для доступа к соответствующим внешним областям памяти. Устанавливаются в третье состояние в режиме удержания. Эти сигналы переходят в высокоимпедансное состояние, когда на EMU1/OFF# низкий уровень
MSTRB#	O/Z	Сигнал стробирования памяти. MSTRB# всегда в высоком уровне. Низкий уровень указывает на то, что происходит обращение по внешней шине к памяти программ или данных. Устанавливается в третье состояние в режиме удержания. MSTRB# переходит в высокоимпедансное состояние, когда на OFF# низкий уровень
READY	I	Сигнал готовности данных. READY указывает на то, что внешнее устройство готово для шинного обмена данными. Если устройство не готово (низкий уровень READY), процессор ждет один цикл и вновь проверяет READY. Процессор производит обнаружение готовности только в случае, если запрограммировано не меньше двух циклов ожидания. Сигнал READY не опрашивается до окончания программных циклов ожидания

Продолжение таблицы 3

Обозначение вывода	Тип вывода	Описание
RD/WR#	O/Z	Сигнал чтения/записи. RD/WR# отображает направление передачи данных в период обмена с внешним устройством и обычно находится в режиме чтения (высокий уровень), за исключением тех случаев, когда процессор выполняет операцию записи (низкий уровень). Устанавливается в высокоимпедансное состояние в режиме удержания или когда на EMU1/OFF# низкий уровень
IOSTRB#	O/Z	Сигнал стробирования портов ввода-вывода. IOSTRB# всегда в высоком состоянии за исключением установления низкого уровня для индикации доступа к устройству ввода-вывода по внешней шине. Сигнал устанавливается в высокоимпедансное состояние в режиме удержания или когда на EMU1/OFF# низкий уровень
HOLD#	I	Вход сигнала состояния удержания. HOLD# предназначен для запроса управления адресными и управляющими шинами и шинами данных. Когда процессор получает подтверждение, эти линии переходят в высокоимпедансное состояние
HOLDA#	O/Z	Сигнал подтверждения состояния удержания. HOLDA# указывает внешним устройствам, что процессор находится в состоянии ожидания (hold), и что адресные и управляющие шины и шины данных находятся в высокоимпедансном состоянии и, следовательно, могут быть доступны для внешней схемы. Сигнал HOLDA# находится в высокоимпедансном состоянии, когда уровень EMU1/OFF# низкий
MSC#	O/Z	Сигнал завершения микросостояния. Уровень MSC# переходит в низкое состояние, когда последнее из двух или более внутренних программных состояний ожидания выполнено. При подключении к линии READY MSC# вызывает один внешний цикл состояния ожидания после того, как выполнится последний внутренний цикл ожидания. Сигнал MSC# переходит в высокоимпедансное состояние, когда уровень EMU1/OFF# низкий
IAQ#	O/Z	Сигнал строба выполнения инструкции. Низкий уровень IAQ# устанавливается тогда, когда адрес инструкции выставляется на шине адреса. Вывод переходит в высокоимпедансное состояние при низком уровне EMU1/OFF#
Сигналы таймера и тактового генератора		
CLKOUT	O/Z	Главный выходной тактовый сигнал. Цикл CLKOUT соответствует внутреннему циклу процессора. Внутренний машинный цикл начинается с передним фронтом сигнала. Сигнал CLKOUT переходит в высокоимпедансное состояние при низком уровне EMU1/OFF#
CLKMD1 CLKMD2 CLKMD3	I	Входные сигналы выбора режима тактового генератора. CLKMD1, CLKMD2 и CLKMD3 позволяют выбрать и конфигурировать разные режимы синхронизации
X2/CLKIN	I	Входом для внешнего тактового сигнала. Период внутреннего машинного цикла определяется сигналами режима тактового генератора CLKMD1, CLKMD2 и CLKMD3
TOUT	O/Z	Выход таймера. TOUT генерирует импульс, когда встроенный таймер обнуляется. Длина импульса равна ширине цикла CLKOUT. Сигнал TOUT устанавливается в высокоимпедансное состояние, когда на EMU1/OFF# низкий уровень

Продолжение таблицы 3

Обозначение вывода	Тип вывода	Описание
Сигналы буферизированного последовательного порта (BSP)		
BCLKR	I	Тактовый сигнал приема данных. Внешний тактовый сигнал для синхронизации данных с входа приема данных (DR) в приемный сдвиговый регистр буферизированного последовательного порта (BSR) должен появляться в течение передачи данных буферизированного последовательного порта. Если буферизированный последовательный порт не используется, то BCLKR может быть установлен как вход для бита IN0 регистра SPC
BCLKX	I/O/Z	Тактовый сигнал передачи данных. Тактовый сигнал для синхронизации данных из передающего сдвигового регистра последовательного порта (XSR) на выход передачи данных (DX). BCLKX может быть входом, если бит MCM в регистре управления последовательным портом установлен в 0. Когда бит MCM установлен в 1, то частота BCLKX может быть установлена устройством как $1/(CLKDV+1)$, где CLKDV находится в диапазоне 0 – 31 частоты CLKOUT. Если буферизированный последовательный порт не используется, BCLKX может быть установлен как вход для бита IN1 регистра SPC. BCLKX переходит в высокоимпедансное состояние, когда уровень на OFF# низкий
BDR	I	Вход приема данных буферизированного последовательного порта. Последовательные данные принимаются в XSR с BDR
BDX	O/Z	Выход данных буферизированного последовательного порта. Последовательные данные передаются из XSR в BDX. BDX устанавливается в высокоимпедансное состояние, когда нет передачи или уровень EMU1/OFF# низкий
BFSR	I	Кадровый синхронизирующий импульс для приема данных. Задний фронт импульса BFSR инициирует процесс принятия данных с началом тактирования XSR
BFSX	I/O/Z	Вывод кадровых синхроимпульсов передаваемых данных. Задний фронт импульса BFSX инициирует процесс передачи данных с началом тактирования XSR. После сброса BFSX по умолчанию конфигурируется как вход. BFSX может быть выбран программно как выход, если бит TXM в регистре управления последовательным портом установлен в 1. BFSX переходит в высокоимпедансное состояние, когда уровень EMU1/OFF# низкий
Сигналы мультиплексного последовательного порта с разделением по времени TDM		
TCLKR	I	TDM вход синхронизации приема данных
TDR	I	TDM вход приема последовательных данных
TFSR/TADD	I/O/Z	TDM кадровый импульс синхронизации приема данных / адрес последовательного порта в режиме разделения времени (TDM)
TCLKX	I/O/Z	TDM синхронизация передачи данных
TDX	O/Z	TDM выход передачи последовательных данных
TFSX/TFRM	I/O/Z	Вывод сигнала кадровой синхронизации не в режиме разделения времени/ сигнала кадровой синхронизации в режиме разделения времени (TDM)
Разные сигналы		
NC	–	Вывод не подключен.

Продолжение таблицы 3

Обозначение вывода	Тип вывода	Описание
Сигналы интерфейса host-порта (HPI)		
HD0 – HD7	I/O/Z	Параллельная двунаправленная шина данных. HD0 – HD7 находится в высокоимпедансном состоянии, когда нет данных для передачи. HD0 – HD7 переходит в высокоимпедансное состояние, когда уровень EMU1/OFF# низкий
HCNTL0 HCNTL1	I	Входы управления
HBIL	I	Вход идентификации байта
HCS#	I	Вход сигнала выбора кристалла
HDS1# HDS2#	I	Входы стробирования данных
HAS#	I	Вход стробирования адреса
HRD/WR#	I	Вход чтения/записи
HRDY	O/Z	Выход чтения. HRDY переходит в высокоимпедансное состояние, когда уровень EMU1/OFF# низкий
HINT#	O/Z	Выход прерывания. После сброса, на HINT# – высокий уровень.
HPIENA	I	Вход выбора модуля HPI. Для выбора модуля HPI сигнал HPIENA должен находиться в состоянии логической 1. Если этот сигнал не подключен или подсоединен к земле, то модуль HPI не может быть выбран; для входов HPI разрешаются внутренние резисторы подкачки к единице и шина данных HPI переходит в состояние хранения (keepers set). Этот вход имеет внутренний резистор подкачки нуля, который становится активным, когда на RESET# низкий уровень. HPIENA проверяется, когда RESET# переходит в 1, и игнорируется до тех пор, пока на RESET# низкий уровень
Контакты земли и питания		
VDDC		Вывод питания ядра процессора
VDDIB		Вывод питания буферов ввода и схемы управления буферами ввода, вывода и ввода-вывода
VDDOB		Вывод питания буферов вывода, ввода-вывода
GNDC		Общий вывод ядра процессора
GNDIB, GNDOB		Общие выводы буферов ввода-вывода
Тестовые контакты IEEE1149.1		
TCK	I	Тестовый тактовый сигнал стандарта IEEE1149.1. Изменения на входах (TMS и TDI) тестового порта (TAP) защелкиваются в TAP-контроллере, регистре инструкций или в выбранном регистре тестовых данных по переднему фронту TCK. Выходные сигналы TAP (TDO) изменяются по заднему фронту TCK
TDI	I	Вход тестовых данных стандарта IEEE1149.1. Вход имеет внутренний резистор подкачки к единице. TDI синхронизирован с выбранным регистром (команд или данных) по переднему фронту TCK
TDO	O/Z	Выход тестовых данных стандарта IEEE1149.1. Содержимое выбранного регистра (команд или данных) сдвигается на TDO по заднему фронту TCK. По умолчанию TDO находится в высокоимпедансном состоянии за исключением моментов времени, когда производится сканирование данных. TDO переходит в третье состояние, когда уровень EMU1/OFF# низкий

Окончание таблицы 3

Обозначение вывода	Тип вывода	Описание
TMS	I	Сигнал выбора тестового режима стандарта IEEE1149.1. Вход имеет внутренний резистор подкачки к 1. Этот последовательный вход управления синхронизирован с TAP-контроллером по переднему фронту TCK
TRST#	I	Сигнал тестового сброса стандарта IEEE1149.1. Высокий уровень TRST# позволяет, в соответствии со стандартом IEEE1149.1, управлять операциями системы сканирования устройства. Если этот сигнал не подсоединен или на нем низкий уровень, то устройство работает в функциональном режиме и сигналы стандарта IEEE1149.1 игнорируются. Вход имеет внутренний резистор подкачки к нулю
EMU0	I/O/Z	Вывод сигнала 0 прерывания эмулятора. Когда на TRST# низкий уровень, уровень EMU0 должен быть высоким для активации условия EMU1/OFF#. Когда на TRST# высокий уровень, EMU0 используется как прерывание в или из системы эмулятора и определяется как вход/выход для системы сканирования стандарта IEEE1149.1
EMU1/OFF#	I/O/Z	Вывод сигнала 1 прерывания эмулятора/перевод выводов в третье состояние. Когда на TRST# высокий уровень, EMU1/OFF# используется как прерывание в или из системы эмулятора и определяется как вход/выход для системы сканирования стандарта IEEE1149.1. Когда на TRST# низкий уровень, EMU1/OFF# сконфигурирован как OFF#. Когда уровень EMU1/OFF# низкий, он переводит все выходы в высокоимпедансное состояние. Сигнал OFF# используется исключительно с целью тестирования или эмуляции (не для мультипроцессорного применения). Таким образом, состояние OFF# активизируется при следующих условиях: TRST# – низкий уровень; EMU0 – высокий уровень; EMU1/OFF# – низкий уровень
RSV1	O	Зарезервированный вывод
RSV2, RSV3	I	Зарезервированные выводы
<p>Примечание – Принятые условные обозначения:</p> <ul style="list-style-type: none"> - I – вход, - O – выход, - I/O – вход/выход, - O/Z – выход/третье состояние, - I/O/Z – вход/выход/третье состояние. 		

6 Описание архитектуры ИС 1867ВМ8Т

Процессор цифровой обработки сигналов 1867ВМ8Т реализован на основе модифицированной Гарвардской архитектуры, увеличивающей производительность процессора за счёт применения высоко параллельной шинной архитектуры, использующей три отдельные шины для обслуживания памяти данных и одну для памяти программ. Разделение памяти программ и памяти данных позволяет осуществлять одновременный доступ, как к программному коду, так и к данным, обеспечивая высокую степень параллельности вычислений. Например, две операции чтения и одна операция записи могут быть выполнены за один машинный цикл. Инструкции с параллельным сохранением и загрузкой и специализированные инструкции позволяют полностью использовать архитектуру устройства. Кроме того, данные могут быть перемещены между памятью программ и памятью данных. Такой параллелизм поддерживает мощный набор арифметики, логики, а также операции с отдельными битами, которые могут быть выполнены в одном машинном цикле. В устройстве ИС 1867ВМ8Т имеется также механизм управления прерываниями, операции управления циклами и вызовами подпрограмм.

Функциональная блок-схема, представленная на рисунке 2, включает основные блоки и структуру шин в данном устройстве.

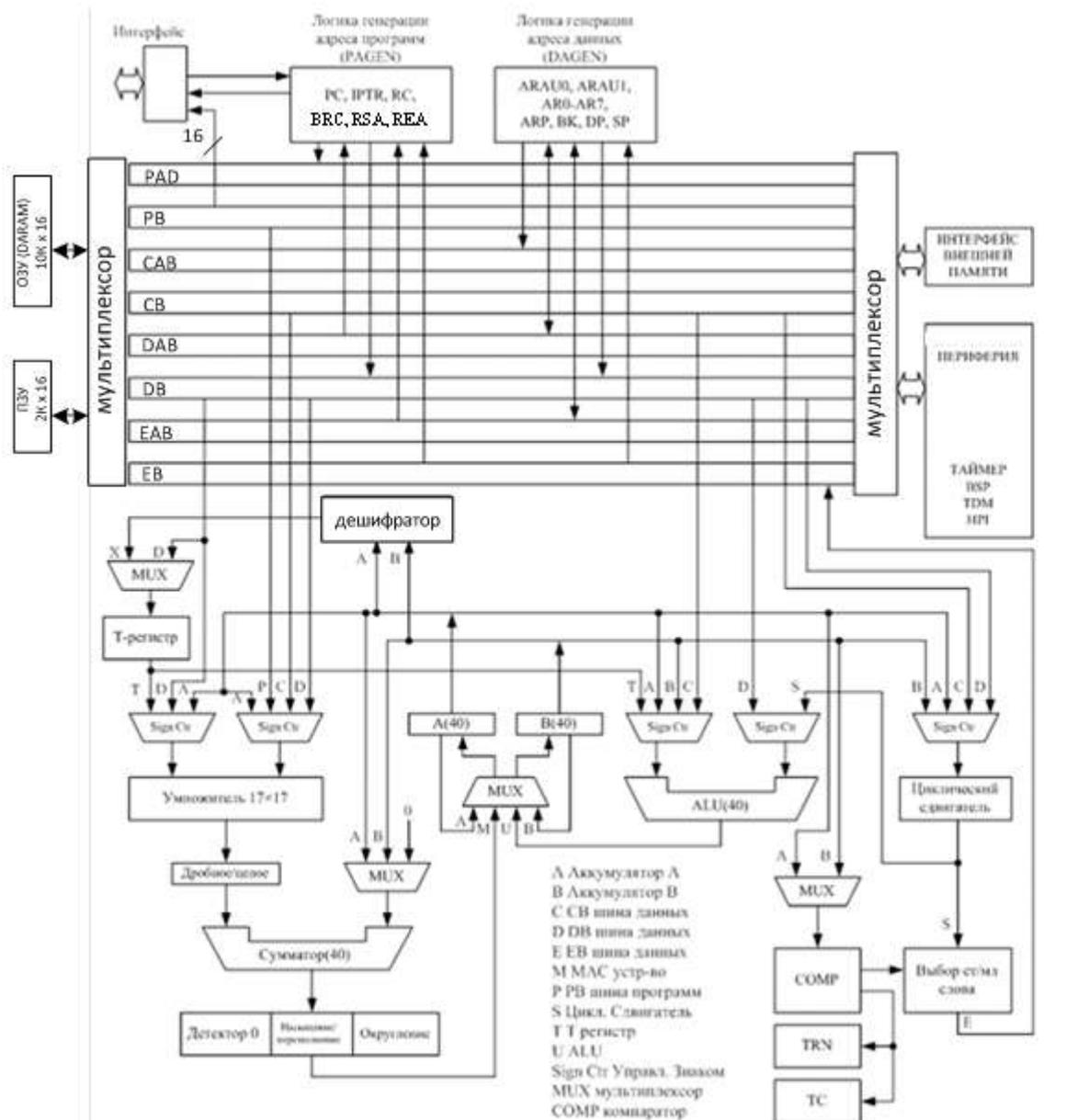


Рисунок 2 – Функциональная блок-схема процессора 1867ВМ8Т

6.1 Центральное процессорное устройство (CPU) ИС 1867ВМ8Т

Центральное процессорное устройство (CPU) ИС 1867ВМ8Т включает в себя:

- 40-битное арифметико-логическое устройство (ALU);
- два 40-битных аккумулятора;
- циклический сдвигатель;
- 17×17 бит умножитель/сумматор;
- устройство сравнения, выборки и хранения (CSSU).

6.2 Арифметико-логическое устройство (ALU) ИС 1867ВМ8Т

ИС 1867ВМ8Т выполняет арифметические действия в двоичном дополнительном коде, используя 40-разрядное ALU и два 40-разрядных аккумулятора (АССА и АССВ). ALU может также выполнять логические операции.

Когда бит С16 регистра состояния (ST1) установлен в 1, то ALU может функционировать как два независимых 16-разрядных ALU и выполнять две 16-битные операции одновременно.

6.3 Аккумуляторы

Аккумуляторы АССА и АССВ сохраняют результат операции ALU или блока умножитель/сумматор. Аккумулятор также может служить дополнительным входом для ALU или блока умножитель/сумматор. Аккумуляторы разделены на три части:

- биты безопасности (биты от 32 до 39);
- старшее слово (биты от 16 до 31);
- младшее слово (биты от 0 до 15).

Инструкции обеспечивают сохранение битов безопасности, старших и младших слов аккумулятора в памяти данных и возможность для обмена 32-разрядными словами аккумулятора с памятью данных. Любой из аккумуляторов может быть использован для временного хранения содержимого другого аккумулятора.

6.4 Циклический сдвигатель

Циклический сдвигатель имеет 40-битный вход, подключенный к аккумулятору или к памяти данных (через шины СВ, DB) и 40-битный выход, подключенный к ALU или памяти данных (шина EB). Циклический сдвигатель производит сдвиг входных данных влево на величину от 0 до 31 бит и сдвиг вправо на величину от 0 до 16 бит. Величина сдвига определяется в поле счета сдвига (ASM) регистра состояния ST1 или во временном регистре (Т-регистр), которые описываются как регистр счета сдвига. Сдвигатель и экспоненциальный детектор нормализуют значение аккумулятора за один машинный цикл. Младшие значащие биты (LSBs) выхода заполняются нулями. Старшие значащие биты (MSBs) могут быть заполнены либо нулями, либо расширением знака в зависимости от значения бита режима знакового расширения (SXM) регистра состояния ST1.

Возможности сдвигателя позволяют процессору выполнять цифровое масштабирование, операции извлечения отдельных битов, операции расширенной арифметики и операции предотвращения переполнения.

6.5 Умножитель/сумматор

Умножитель/сумматор выполняет 17×17 -разрядное умножение в дополнительном коде с 40-разрядным накоплением за один машинный цикл. Блок умножителя/сумматора состоит из нескольких элементов: умножитель, сумматор, схема управления знаком, логика управления дробной частью, детектор нуля, устройство округления (двоичное дополнение), логика переполнения/насыщения и временный регистр Т. Умножитель имеет

два входа: на один вход подается содержимое T-регистра, операнд памяти данных или выход аккумулятора; на другой поступают операнды из памяти программ, памяти данных, аккумулятора или непосредственное значение. Быстродействие встроенного умножителя позволяет ИС 1867BM8T эффективно выполнять такие операции как свертка, корреляция и фильтрация.

Кроме того, умножитель и ALU совместно выполняют вычисления умножения с накоплением (MAC) и операции ALU параллельно в одном машинном цикле. Эти функции могут использоваться в определении Евклидова расстояния и в LMS-фильтрах (метод минимальной среднеквадратичной ошибки), которые необходимы для реализации алгоритмов обработки комплексных чисел.

6.6 Устройство сравнения, выборки и хранения (CSSU)

Устройство сравнения, выборки и хранения CSSU выполняет сравнение старшего и младшего слов аккумулятора, позволяет биту флага теста/управления (TC) регистра состояния (ST0) и регистру перехода (TRN) хранить истории их изменений и выбирать большее слово в аккумуляторе для сохранения в памяти данных. Устройство CSSU также позволяет ускорить вычисление алгоритма Витерби («бабочка») посредством оптимизированного аппаратного обеспечения.

7 Программное управление ИС 1867BM8T

Программное управление обеспечивается несколькими аппаратными и программными механизмами:

- Контроллер программ декодирует команды, управляет конвейером, сохраняет состояние операций и декодирует условные операции. В контроллер программ включены некоторые аппаратные элементы: счетчик программ, регистр состояния и управления, стек и логика генерации адреса.

- Для контроллера программ используются несколько программных механизмов, включающих в себя ветвления, вызовы подпрограмм, условные инструкции, инструкции организации циклов, сброс и прерывания.

8 Режимы пониженного энергопотребления ИС 1867BM8T

Существуют три режима пониженного энергопотребления, активируемые инструкциями IDLE1, IDLE2 и IDLE3. В этих режимах ИС 1867BM8T переводится в «спящий» режим, при котором потребляется значительно меньшая мощность, чем в нормальном режиме. Инструкция IDLE1 используется для перевода в неактивное состояние ядра процессора 1867BM8T. Инструкция IDLE2 используется для отключения ядра процессора и периферийных устройств ИС 1867BM8T.

9 Структура шин ИС 1867ВМ8Т

Архитектура ИС 1867ВМ8Т построена на основе восьми 16-битных шин:

- одна шина чтения памяти программ (РВ), по которой передаются коды команд и непосредственные операнды из памяти программ;
- две шины для чтения данных (СВ, DB) и одна шина для записи данных (ЕВ), которые соединены с различными элементами, такими как CPU, логикой генерации адреса данных и адреса программ, внутрикристалльными периферийными устройствами и памятью данных. Шины СВ и DB передают операнды при чтении из памяти данных;
- ЕВ используется для записи данных в память;
- четыре адресные шины РАВ, САВ, DAB и EAB необходимы для исполнения инструкций.

ИС 1867ВМ8Т может генерировать до двух адресов памяти данных в одном машинном цикле, которые сохраняются в двух арифметических устройствах вспомогательных регистров (АРАU0 и АРАU1).

Шина РВ может передавать операнды данных, сохраненные в памяти программ (например, таблицы коэффициентов) в умножитель для выполнения операций умножения с накоплением или для адресации памяти данных для команд перемещения данных. Эта способность позволяет выполнять в одном цикле трехоперандные инструкции, такие как FIRS.

Процессор 1867ВМ8Т также имеет встроенную двунаправленную шину для доступа к внутрикристалльным периферийным устройствам; эта шина подсоединена к DB через устройство шинного обмена в интерфейсе CPU. Доступ с использованием этой шины может требовать более чем двух циклов для чтения и записи в зависимости от структуры периферийных устройств.

Таблица 4 суммирует возможности использования шин для различных типов доступа.

Таблица 4 – Возможности использования шин для различных типов доступа

Тип доступа	Шина адреса				Шина программ	Шина данных		
	РАВ	САВ	DAB	EAB		СВ	DB	ЕВ
Программное чтение	√				√			
Программная запись	√							√
Одиночное чтение данных			√				√	
Двойное чтение данных		√	√			√	√	
Чтение 32-битных данных		√ ст. сл.	√ мл. сл.			√ ст. сл.	√ мл. сл.	
Одиночная запись данных				√				√
Чтение данных/запись данных			√	√			√	√
Двойное чтение/ Чтение коэффициентов	√	√	√		√	√	√	
Периферийное чтение			√				√	
Периферийная запись				√				√
<p>Примечание – Принятые сокращения:</p> <ul style="list-style-type: none"> - ст. сл. – старшее 16-разрядное слово; - мл. сл. – младшее 16-разрядное слово. 								

Полный адресный диапазон памяти устройства ИС 1867ВМ8Т составляет (192К×16) бит. Пространство памяти разделено на три отдельных сегмента памяти:

(64К × 16) бит памяти программ, (64К × 16) бит памяти данных и (64К × 16) бит пространства памяти ввода-вывода.

Пространство памяти программ содержит инструкции для выполнения, а также исполняемые таблицы. Пространство памяти данных хранит данные, используемые командами. Пространство памяти ввода-вывода служит интерфейсом к внешним, отображаемым в памяти, периферийным устройствам и также может служить дополнительным пространством для хранения данных.

Свойство параллельности архитектуры ядра процессора 1867ВМ8Т позволяет выполнять четыре происходящих одновременно операции с памятью в любом данном машинном цикле:

- выборка команды;
- чтение двух операндов;
- запись операнда.

Для этого используются четыре параллельные шины: шина чтения программ (РВ), шина записи данных (ЕВ) и две шины чтения данных (СВ и ДВ). Каждая шина обращается к различным пространствам памяти для обеспечения разных видов операций ИС 1867ВМ8Т. Такая архитектура позволяет выполнять чтение двух операндов, чтение с параллельным сохранением и осуществлять доступ к длинным 32-разрядным словам.

10 Внутрикристалльное ПЗУ (ROM)

ИС 1867ВМ8Т имеет (2К × 16) бит внутрикристалльного масочного ПЗУ, в котором расположена программа начальной загрузки (boot loader). Эта программа начальной загрузки может быть использована для конфигурирования сегмента DARAM в память программ и передачи в этот сегмент пользовательского кода из внешнего источника при включении питания. Если в течение аппаратного сброса на входе МР/МС# устройства выбран низкий уровень, то исполнение команд начинается с адреса FF80h встроенного ПЗУ. Этот адрес содержит команду перехода на начало программы начальной загрузки. Процессор 1867ВМ8Т обеспечивает различные пути загрузки кода в соответствии с различными системными требованиями:

- параллельная загрузка из 8-битного или 16-битного ППЗУ (EPROM);
- параллельная загрузка из портов ввода-вывода;
- последовательная загрузка по последовательному порту в режиме 8-бит или 16-бит;
- загрузка с через host-порт интерфейс (HPI);
- «теплый» старт (warm boot).

11 Внутрикристалльное ОЗУ с двойным доступом (DARAM)

ИС 1867ВМ8Т имеет (10К × 16) бит внутрикристалльного ОЗУ двойного доступа (DARAM) – 5 блоков по 2К каждый.

К каждому из этих блоков ОЗУ можно обратиться дважды за один машинный цикл. Эта память предназначена, прежде всего, для хранения данных, однако она также может использоваться для хранения программ. При сбросе DARAM картируется в пространство памяти данных. DARAM может отображаться и в пространство памяти программ установкой бита OVLY в регистре PMST.

12 Защита встроенной памяти

В СБИС 1867ВМ8Т предусмотрена маскируемая опция защиты содержимого внутрикристалльной памяти. Когда эта опция задействована, никакая внешняя инструкция не может получить доступ к содержимому внутрикристалльной памяти. Карта памяти ИС 1867ВМ8Т представлена на рисунке 3.

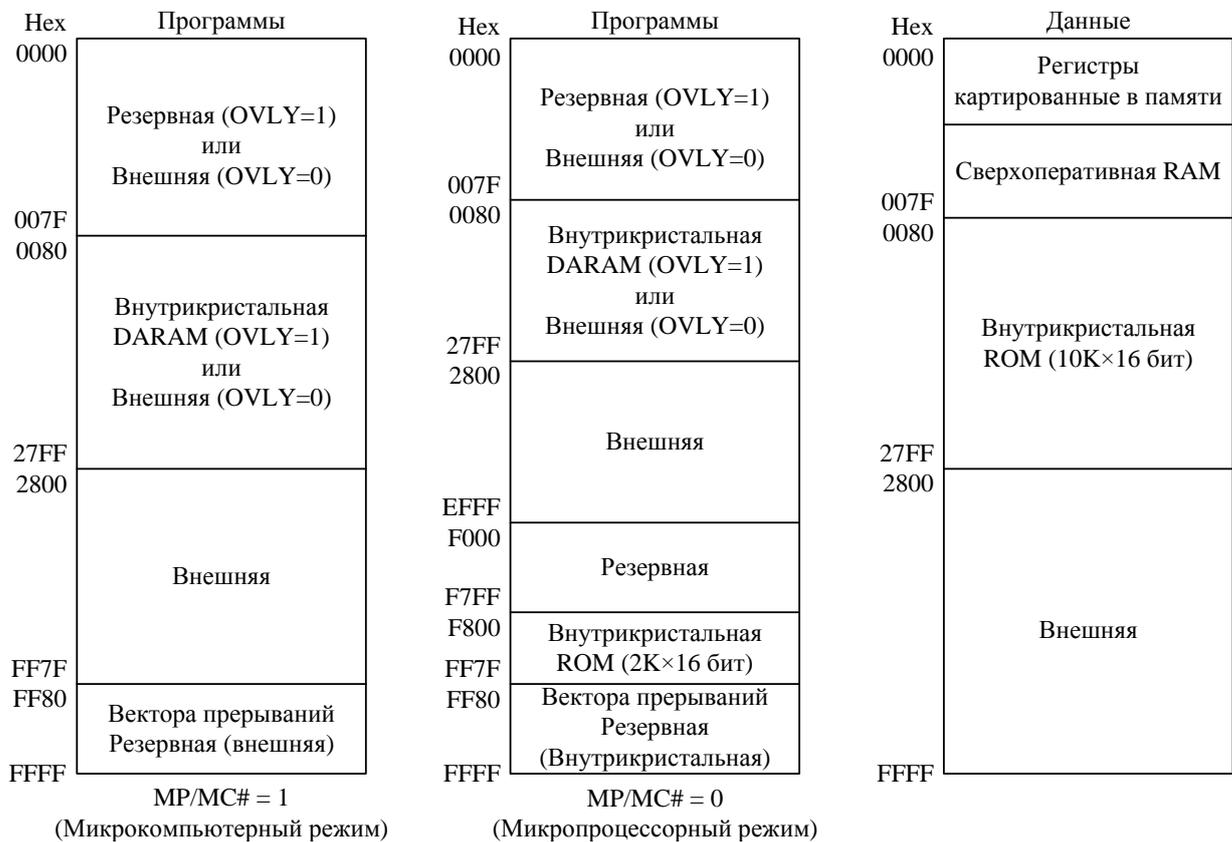


Рисунок 3 – Карта памяти ИС 1867BM8Т

13 Память программ

Пространство внешней памяти программ ИС 1867BM8Т может составлять максимально до $(64K \times 16)$ бит. Кроме варианта $MP/МС\# = 0$, когда из $(64K \times 16)$ бит общего пространства памяти программ $(2K \times 16)$ бит занимает внутрикристалльное ПЗУ (ROM), существует возможность программным способом сконфигурировать ячейки внутренней оперативной памяти процессора (DARAM) в карту программных адресов (см. рисунок 3). Для этого необходимо установить в 1 бит OVLY регистра состояния и режимов процессора PMST. Надо заметить, что при этом нулевая страница памяти (0h-7Fh), содержащая картированные в память регистры (0h-5Fh) и сверхоперативную память (60h-7Fh) не картируется в программную область. При $OVLY = 1$ процессор автоматически получает доступ к DARAM, если программный адрес находится в диапазоне 0080h-27FFh. Когда блок генерации адреса программ (PAGEN) формирует адрес, выходящий за границы этого диапазона, то процессор автоматически генерирует доступ к внешней памяти программ. Преимущества использования внутрикристалльной памяти следующие:

- высокая производительность из-за отсутствия циклов ожидания;
- меньшие аппаратные затраты по организации внешнего интерфейса;
- меньшая потребляемая мощность, чем с внешней памятью;
- преимущества использования внешней памяти заключаются в возможности доступа к большому адресному пространству.

14 Карта адресов памяти программ

Векторы сброса и прерываний расположены в пространстве памяти программ. Эти векторы являются программными – это означает, что процессор, когда происходит прерывание, загружает счетчик команд (PC) адресом вектора прерывания и исполняет код, расположенный по этому адресу. Четыре слова в каждом векторе зарезервировано для размещения задержанных команд перехода и любых двух однословных команд или одной двухсловной команды, которые позволяют осуществлять переход на соответствующую подпрограмму обработки прерывания без перекрытия с векторами других прерываний.

При сбросе процессора вектора сброса и прерываний отображаются, начиная с адреса FF80h в области памяти программ. Однако после сброса, эти векторы могут быть перекартированы в начало любой 128-словной страницы в области программ. Это делается загрузкой битов указателя страницы векторов прерываний (IPTR) в регистре PMST соответствующим адресом 128-словной страницы. После загрузки IPTR любое пользовательское прерывание или вектор системного прерывания отображаются в новую 128-словную страницу. Например:

STM #05800h, PMST ; Область векторов прерываний начинается с адреса 5800h.

Этот пример перемещает векторы прерываний в программной памяти, начиная с адреса 5800h. Любое последующее прерывание (за исключением сброса устройства) выбирает свой вектор из этого нового места расположения. Для примера, если после загрузки IPTR появляется внешнее прерывание INT2#, вектор подпрограммы обработки прерывания выбирается с адреса 5848h памяти программ, в отличие от FFC8h. Эта особенность облегчает перемещение нужных векторов из загрузочного ПЗУ, с последующим удалением ПЗУ из карты памяти.

После загрузки под управлением boot loader системного программного кода в процессор, приложение перегружает IPTR значением указателя для новых векторов. Необходимо отметить, что инструкция STM, использованная в приведенном примере для изменения IPTR, модифицирует и другие биты управления и состояния в регистре PMST.

Вектор аппаратного сброса RESET # не может быть перекартирован, потому что аппаратный сброс загружает в IPTR 1FFh. Поэтому вектор сброса всегда обрабатывается по адресу FF80h памяти программ. В процессоре 1867BM8T дополнительно зарезервировано 128 слов во встроенном ПЗУ для целей тестирования устройства. При реализации прошивки внутрикристального масочного ПЗУ пользовательским кодом, эти 128 слов в диапазоне адресов FF00h-FF7Fh резервируются и не могут быть использованы заказчиком прошивки.

15 Память данных

Общее пространство адресов памяти данных в ИС 1867BM8T составляет 64К 16-разрядных слов. Диапазон адресов от 0h до 27FFh занят внутренней оперативной памятью процессора, включая картированные в память регистры (0h-5Fh), сверхоперативную память (60h-7Fh) и остальное ОЗУ (0080h-27FFh), см. рисунок 3. Необходимо отметить, что карта памяти данных не зависит от бита OVLY регистра состояния и режимов процессора PMST. При OVLY = 1 DARAM картируется в программную память, но при этом остается и в карте памяти данных. При выходе за границу диапазона 0080h-27FFh процессор автоматически генерирует доступ к внешней памяти данных.

Преимущества работы с внутрикристальной памятью следующие:

- высокая производительность из-за отсутствия циклов ожидания;
- меньшие аппаратные затраты по организации внешнего интерфейса;
- меньшая потребляемая мощность, чем с внешней памятью.

Преимущество работы с внешней памятью состоит в возможности доступа к большему адресному пространству.

16 Встроенные периферийные устройства

ИС 1867BM8T содержит ряд внутрикристалльных периферийных устройств:

- программно-управляемый генератор состояний ожидания;
- программируемый модуль переключения банков памяти;
- параллельные порты ввода-вывода;
- последовательные порты (TDM и BSP);
- аппаратный таймер;
- тактовый генератор.

17 Программно-управляемый генератор состояний ожидания

Программно-управляемый генератор состояний ожидания может быть использован для увеличения длительности цикла внешней шины до семи машинных тактов при организации интерфейса с медленной внешней памятью или устройствами ввода-вывода. Программно-управляемый генератор состояний ожидания функционирует без какого-либо внешнего аппаратного обеспечения. Для доступа к внешней памяти число состояний ожидания может быть установлено отдельно для каждого 32К-словного блока пространств памяти программ и памяти данных и для одного 64К-словного блока пространства адресов ввода-вывода, через программирование регистра состояний ожидания (SWWSR).

18 Программируемый модуль переключения банков памяти

Программируемый модуль переключения банков памяти может быть использован для вставки одного цикла при пересечении границы банков памяти из области памяти программ в пространство памяти данных. Этот дополнительный цикл позволяет устройствам памяти освободить шину, прежде чем другие устройства начнут использовать эту шину, избегая, таким образом, конфликтов на шине (шинных коллизий). Размер банка памяти определяется регистром управления переключения банков памяти (BSCR).

19 Параллельные порты ввода-вывода

ИС 1867BM8T имеет 64К портов ввода-вывода. Доступ к этим портам реализуется инструкциями PORTR или PORTW. Сигнал IS# служит признаком операции чтения/записи через порт ввода-вывода (I/O). Сигнал IS# позволяет легко налаживать интерфейсные связи с внешними устройствами посредством портов ввода-вывода, требуя при этом минимального количества внешних схем декодирования адреса.

20 Интерфейс host-порта (HPI)

Host-порт интерфейс HPI – это 8-битный параллельный порт, используемый для связи главного процессора (host-процессор) с устройством ИС 1867BM8T. Обмен данными между ИС 1867BM8T и главным процессором осуществляется через внутрикристалльную память, которая доступна для обоих устройств. ИС 1867BM8T имеет доступ к регистру управления HPI (HPIC), и host-процессор может адресоваться к памяти HPI через регистр адреса HPI (HPIA). Память HPI представляет собой блок (2К×16) бит DARAM, который постоянно находится в диапазоне адресов с 1000h по 17FFh в памяти данных и может быть также использован как внутрикристалльная, общего назначения DARAM.

Передача 16-разрядных слов данных происходит двумя последовательными байтами при участии вывода HBIL, указывающего какой: старший или младший байт

слова, передается в данный момент. Два вывода HCNTL1 и HCNTL0 управляют доступом host-процессора к HPIA, к HPI данным (с возможностью автоматического инкремента адреса) или к HPIС. Host-процессор может прерывать ИС 1867ВМ8Т записью в HPIС. Процессор может инициировать прерывание host-процессора с помощью предназначенного для этого вывода HINT#, которое host-процессор может подтвердить и очистить.

HPI имеет два режима работы: режим распределенного доступа (SAM) и режим только главного процессора (НОМ). В режиме SAM (нормальный режим работы) оба устройства имеют доступ к памяти HPI. В этом режиме асинхронный доступ host-процессора повторно синхронизируется внутри и, в случае конфликта, host-процессор имеет приоритет, а процессор ожидает один такт. В режиме НОМ только главный процессор может обращаться к HPI памяти, в то время как процессор находится в сбросе или в режиме IDLE2 с остановленными внутренними и внешними тактовыми генераторами. Следовательно, host-процессор может обращаться к HPI RAM, в то время как ИС 1867ВМ8Т находится в режиме минимального потребления мощности.

Регистр управления HPI имеет два stroba данных, HDS1# и HDS2#, strob чтения/запись HRD/WR# и адресный strob HAS#, которые позволяют связать HPI с различными, соответствующими промышленному стандарту, главными устройствами с использованием минимального количества дополнительной логики или без неё. HPI легко адаптируется к мультиплексной шине адреса/данных главного процессора вследствие наличия отдельных шин адреса и данных и двух управляющих strobov (stroby данных и чтения/записи или два отдельных stroba для чтения и записи).

HPI поддерживает высокую скорость обмена в обоих направлениях. В режиме распределенного доступа HPI может передать один байт каждые пять циклов CLKOUT (то есть 64 Мбит/с) при частоте тактового генератора 40 МГц. HPI позволяет host-процессору обмениваться данными на частотах до $(F_d \times n)/5$, где F_d – частота CLKOUT, а n – число ведущих циклов для внешнего доступа. В режиме НОМ HPI поддерживает даже более высокую скорость обмена в обе стороны порядка одного байта на каждые 50 нс (т. е. 160 Мбит/с), независимо от тактовой частоты ИС 1867ВМ8Т.

21 Последовательные порты

Процессор 1867ВМ8Т содержит высокоскоростные полнодуплексные последовательные порты, которые позволяют напрямую связываться с другими процессорами 1867ВМ8Т, кодеками или другими устройствами в системе. Это – один последовательный порт с передачей данных в режиме разделения времени (TDM-порт) и один буферизированный последовательный порт (BSP-порт), каждый из которых может работать в режиме стандартного последовательного порта.

TDM-порт позволяет обмениваться информацией, используя мультиплексирование с разделением по времени, с другими процессорами 1867ВМ8Т (до семи устройств). Мультиплексирование с разделением по времени подразумевает разделение интервала времени на несколько подинтервалов, каждый из которых отводится под определённый канал связи. TDM-порт последовательно передает 16-разрядные слова по одиночной линии данных (TDAT) и адрес приемника по одиночной линии адреса (TADD). Каждое устройство может передать данные по одному каналу и получать данные от одного или более восьми каналов, предоставляя простой и эффективный интерфейс для мультипроцессорных приложений. Импульс кадровой синхронизации появляется каждые 128 тактовых циклов, соответствуя передаче одного 16-битного слова на каждом из этих восьми каналов. Подобно последовательному порту общего назначения, TDM-порт – это порт с двойной буферизацией для входных и выходных данных. TDM-порт может также программно конфигурироваться для функционирования в режиме последовательного порта общего назначения. Оба типа портов способны работать на частоте до одной четвертой от частоты машинного цикла (CLKOUT).

Буферизованный последовательный порт (BSP) содержит полнодуплексный с двойной буферизацией интерфейс последовательного порта (SPI) и устройство автоматической буферизации (ABU). Блок SPI буферизованного последовательного порта является расширенной версией стандартного последовательного порта. Блок ABU позволяет SPI читать и записывать данные непосредственно во внутреннюю память, используя соответствующую шину независимо от CPU. Этот результат в минимальной степени влияет на транзакции SPI и скорость передачи данных.

Когда авто-буферизация запрещена (стандартный режим), передача данных с SPI выполняется соответственно программному управлению через прерывания. В этом режиме базовые прерывания (WXINT и WRINT) выполняют те же функции, что и прерывание по передаче (XINT) и прерывание по приему (RINT) каждого слова. Когда авто-буферизация разрешена, передача слова проводится напрямую между SPI и внутренней памятью ИС 1867ВМ8Т, используя встроенный в ABU генератор адреса.

ABU имеет свой собственный набор регистров с циклической адресацией с соответствующими устройствами генерации адреса. Буферная память размещается в 2К×16 бит внутренней памяти ИС 1867ВМ8Т. Длина и стартовый адрес буфера устанавливается программно. При опустошении/переполнении буфера генерируется запрос на соответствующее прерывание процессора. Авто-буферизация может быть разрешена отдельно для секции передачи и для секции приема. Когда авто-буферизация запрещена, последовательный порт функционирует аналогично последовательному порту общего назначения.

SPI позволяет передавать 8-, 10-, 12- или 16-разрядные пакеты данных. В пакетном режиме потоки данных передаются с импульсами кадровой синхронизации для каждого пакета. В непрерывном режиме передачи пакетов кадровые синхроимпульсы FSX/FSR не нужны, за исключением первого импульса. Частота и полярность сигнала кадровой синхронизации и тактовых импульсов может изменяться программно. SPI полностью статичен и может работать на любых произвольно низких частотах. Максимальная частота работы SPI соответствует CLKOUT и составляет 40 Мбайт/с. Буферизованный последовательный порт работает с памятью данных в диапазоне адресов 0800h-0FFFh.

22 Аппаратный таймер

Таймер обеспечивает удобный и эффективный способ генерации системного времени для аналогового интерфейса. Процессор 1867ВМ8Т содержит 16-битный счетчик таймера с программируемым 4-битным предварительным делителем. Счетчик таймера уменьшается на 1 на каждом цикле CLKOUT. Если счетчик таймера уменьшается до нуля, то генерируется прерывание таймера. Таймер может быть остановлен, сброшен или запрещен установкой соответствующих битов состояния.

23 Тактовый генератор

В таблице 5 представлены режимы задающего генератора в зависимости от состояния выводов CLKMD1, CLKMD2 и CLKMD3.

Таблица 5 – Режимы задающего генератора

Входы выбора режима			Режим задающего генератора
CLKMD1	CLKMD2	CLKMD3	
0	0	1	От внешнего генератора, с делением на 2
1	0	1	От внешнего генератора
0	1	1	Режим останова

24 Регистры, картированные в памяти данных

ИС 1867BM8T имеет 26 картированных в памяти регистров CPU, которые отображаются в памяти данных в диапазоне адресов от 0 до 1Fh. Кроме того, ИС 1867BM8T имеет набор картированных в памяти регистров, функционально связанных с соответствующими периферийными устройствами. В таблице 6 представлен список отображаемых на память регистров (MMR) ИС 1867BM8T. Таблица 7 показывает дополнительные картированные в память регистры, связанные с периферийными устройствами.

Таблица 6 – Картированные в память регистры ядра процессора ИС 1867BM8T

Имя	Адрес		Описание
	DEC	HEX	
IMR	0	0	Регистр маски прерывания
IFR	1	1	Регистр флага прерывания
–	2 – 5	2 – 5	Зарезервировано для тестовых целей
ST0	6	6	Регистр состояния 0
ST1	7	7	Регистр состояния 1
AL	8	8	Аккумулятор А, младшее слово (15 – 0)
AH	9	9	Аккумулятор А, старшее слово (31 – 16)
AG	10	A	Аккумулятор А, биты безопасности (39 – 32)
BL	11	B	Аккумулятор В, младшее слово (15 – 0)
BH	12	C	Аккумулятор В, старшее слово (31 – 16)
BG	13	D	Аккумулятор В, биты безопасности (39 – 32)
TREG	14	E	Временный регистр
TRN	15	F	Регистр перехода
AR0	16	10	Вспомогательный регистр 0
AR1	17	11	Вспомогательный регистр 1
AR2	18	12	Вспомогательный регистр 2
AR3	19	13	Вспомогательный регистр 3
AR4	20	14	Вспомогательный регистр 4
AR5	21	15	Вспомогательный регистр 5
AR6	22	16	Вспомогательный регистр 6
AR7	23	17	Вспомогательный регистр 7
SP	24	18	Регистр указателя стека
BK	25	19	Регистр размера циклического буфера
BRC	26	1A	Счетчик повторения блока
RSA	27	1B	Регистр стартового адреса повторения блока
REA	28	1C	Регистр конечного адреса повторения блока
PMST	29	1D	Регистр состояния режима процессора
–	30	1E	Не используется
–	31	1F	Зарезервировано

Таблица 7 – Картированные в память регистры периферийных устройств ИС 1867BM8T

Имя	Адрес		Описание
	DEC	HEX	
BDRR	32	20	Регистр приема данных BSP
BDXR	33	21	Регистр передачи данных BSP
BSPC	34	22	Регистр управления BSP
BSPCE	35	23	Расширенный регистр управления BSP
TIM	36	24	Регистр таймера
PRD	37	25	Регистр периода таймера

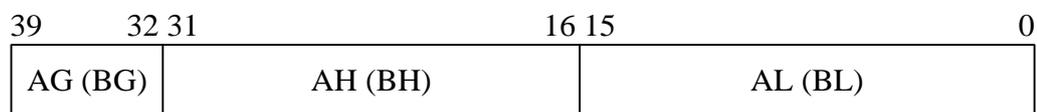
Имя	Адрес		Описание
	DEC	HEX	
TCR	38	26	Регистр управления таймером
–	39	27	Зарезервировано
SWWSR	40	28	Регистр программируемых состояний ожидания
BSCR	41	29	Регистр управления переключением внешних банков памяти
–	42 – 43	2A – 2B	Зарезервировано
HPIC	44	2C	Регистр управления HPI
–	45-47	2D-2F	Зарезервировано
TRCV	48	30	Регистр приема данных TDM
TDXR	49	31	Регистр передачи данных TDM
TSPC	50	32	Регистр управления TDM
TCSR	51	33	Регистр выбора каналов TDM
TRTA	52	34	Регистр приема/передачи TDM
TRAD	53	35	Регистр адреса приема TDM
–	54 – 55	36-37	Зарезервировано
AXR	56	38	Регистр адреса передачи ABU BSP
BKX	57	39	Регистр размера буфера передачи ABU
ARR	58	3A	Регистр адреса приема ABU BSP
BKR	59	3B	Регистр размера буфера приема ABU BSP
–		3C-5F	Зарезервировано

24.1 Регистры состояния (ST0, ST1)

Регистры состояния ST0 и ST1 содержат состояние различных условий и режимов ИС 1867BM8T. Регистр ST0 содержит флаги OV, C и TC, выставляемые арифметическими и поразрядными операциями; указатель страницы памяти (DP) и указатель вспомогательных регистров (ARP). Регистр ST1 содержит различные режимы и условия, которые процессор обрабатывает и выполняет.

24.2 Аккумуляторы (AL, AH, AG и BL, BH, BG)

ИС 1867BM8T имеет два 40-битных аккумулятора: аккумулятор А и аккумулятор В. Каждый аккумулятор отображается в памяти и разделен на младшее слово аккумулятора (AL, BL), старшее слово аккумулятора (AH, BH) и биты безопасности аккумулятора (AG, BG).



24.3 Вспомогательные регистры (AR0–AR7)

Восемь регистров AR0-AR7 могут быть доступны CALU и модифицированы арифметическими устройствами вспомогательных регистров ARAU0 и ARAU1. Основная функция вспомогательных регистров – это генерация 16-разрядных адресов для области данных. Однако эти регистры могут также использоваться как регистры общего назначения.

24.4 Временный регистр (T)

T-регистр используется для хранения одного из сомножителей в операциях умножения и умножения с накоплением, динамического (программируемого) сдвига операнда в инструкциях типа ADD, LD и SUB для определения динамического номера бита для инструкции BITT. Инструкция EXP сохраняет вычисленную величину порядка в T-регистре, после чего инструкция NORM использует переменную T-регистра для нормализации результата. Для операции ACS декодирования по Витерби T-регистр хранит метрику перехода, используемую инструкциями DADST и DSADT.

24.5 Регистр перехода (TRN)

TRN – 16-разрядный регистр перехода сохраняет решение перехода для пути к новой метрике, чтобы выполнить алгоритм Витерби. Инструкция CMPS (сравнение, выбор максимума и сохранение) модифицирует содержимое регистра TRN на основании сравнения старшего и младшего слов аккумулятора.

24.6 Регистр указателя стека (SP)

SP – 16-разрядный регистр указателя стека (stack pointer) содержит адрес вершины стека системы. Регистр SP всегда указывает на последний элемент, помещенный в стек. Стек управляется прерываниями, вызовами, возвратами, а инструкции PSHD, PSHM, POPD и POPM вталкивают и выталкивают данные из стека, а также наращивают и уменьшают указатель стека.

24.7 Регистр размера циклического буфера (BK)

16-разрядный регистр BK используется в арифметических устройствах ARAU0 и ARAU1 при циклической адресации для определения размера блока данных.

24.8 Регистры организации циклов (BRC, RSA, REA)

Счетчик повторения блока (BRC) представляет собой 16-разрядный регистр, который определяет, сколько раз должен повториться организованный в программе блок. 16-разрядный регистр стартового адреса (RSA) содержит начальный адрес блока повторений в памяти программы. 16-разрядный регистр конца блока повторения (REA) содержит адрес последней команды блока повторений в памяти программы.

24.9 Регистры организации прерываний (IMR, IFR)

Регистр маски прерываний (IMR) используется для индивидуального маскирования нужных прерываний в требуемое время. Регистр флага прерывания (IFR) показывает текущее состояние прерываний.

24.10 Регистр режимов работы процессора (PMST)

Регистр состояния режимов процессора (PMST) управляет конфигурацией памяти ИС 1867BM8T.

25 Электрические характеристики ИС 1867ВМ8Т и условия работы

Электрические параметры микросхемы при приемке и поставке в диапазоне рабочих температур от минус 60 до плюс 85 °С представлены в таблице 8, предельно допустимые и предельные режимы эксплуатации микросхемы представлены в таблице 9.

Таблица 8 – Электрические параметры микросхем при приемке и поставке

Наименование параметра, единица измерения, (режим измерения)	Буквенное обозначение параметра	Норма параметра		Темпера- тура среды, °С
		не менее	не более	
1 Выходное напряжение низкого уровня буферов ввода-вывода, В ($U_{CC} = 3,0$ В, $I_{OL} = 2,0$ мА)	U_{OL}	–	0,45	–60±3 25±10 85±3
2 Выходное напряжение высокого уровня буферов ввода-вывода, В ($U_{CC} = 3,0$ В, $I_{OH} = -0,3$ мА)	U_{OH}	$U_{CC} - 0,3$	–	
3 Входной ток низкого уровня, мкА ($U_{CC} = 3,6$ В, $U_{IL} = 0$ В)	Вход «pull-down»	–15	15	
	Входы «pull-up»	–200	–15	
	Вход X2/CLKIN	–15	15	
	Все остальные входы	–15	15	
4 Входной ток высокого уровня, мкА ($U_{CC} = 3,6$ В, $U_{IH} = U_{CC}$)	Вход «pull-down»	15	200	
	Входы «pull-up»	–15	15	
	Вход X2/CLKIN	–15	15	
	Все остальные входы	–15	15	
5 Выходной ток низкого уровня буфера с третьим состоянием в состоянии «Выключено», мкА ($U_{CC} = 3,6$ В, $U_{OZL} = 0$ В)	I_{OZL}	–15	15	
6 Выходной ток высокого уровня буфера с третьим состоянием в состоянии «Выключено», мкА ($U_{CC} = 3,6$ В, $U_{OZH} = U_{CC}$)	I_{OZH}	–15	15	
7 Суммарный динамический ток потребления буферов микросхемы, мА, $U_{CC} = 3,6$ В, $f_{CI} = 40$ МГц	$I_{OCC1,3}$	–	40	
8 Динамический ток потребления ядра микросхемы, мА ($U_{CC} = 3,6$ В, $f_{CI} = 40$ МГц)	I_{OCC2}	–	100	
9 Функциональный контроль $U_{CC} = (3,0; 3,6)$ В, $f_{CI} = 40$ МГц	ФК	–	–	
<p>П р и м е ч а н и я</p> <p>1 Параметры I_I, I_{OZL}, I_{OZH} при температуре минус 60 °С не измеряются, а гарантируются нормами при температуре (25 ± 10) °С.</p> <p>2 В данной таблице и далее напряжения источников питания буферов ввода-вывода U_{CC1} и U_{CC3}, напряжение источника питания ядра U_{CC2} имеют одинаковые значения на всех тестах и для сокращения записи обозначены как U_{CC}, где $U_{CC} = U_{CC1} = U_{CC2} = U_{CC3}$.</p> <p>3 Входы TMS, TCK, TDI через резистор (типа «pull-up») соединены с шиной питания.</p> <p>4 Вход TRST# через резистор (типа «pull-down») соединен с шиной земля.</p>				

Таблица 9 – Предельно допустимые и предельные режимы эксплуатации микросхем в диапазоне рабочих температур от минус 60 до плюс 85 °С

Наименование параметра, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1 Напряжение питания буферов вывода и ввода-вывода, В ^{1), 2)}	U _{CC1}	3,0	3,6	-0,3	4,5
2 Напряжение питания ядра ИС, В ^{1), 2)}	U _{CC2}	3,0	3,6	-0,3	4,5
3 Напряжение питания буферов ввода и схемы управления буферами ввода, вывода и ввода-вывода, В ^{1), 2)}	U _{CC3}	3,0	3,6	-0,3	4,5
4 Входное напряжение низкого уровня, В ²⁾	U _{IL}	0	0,6	-0,3	–
5 Входное напряжение высокого уровня, В ²⁾	U _{IH}	2,0	U _{CC}	–	U _{CC} + 0,3
6 Напряжение на выходе с третьим состоянием в состоянии «Выключено», В ²⁾	U _{OZ}	0	U _{CC}	-0,3	U _{CC} + 0,3
7 Выходной ток низкого уровня, мА ²⁾	I _{OL}	–	2,0	–	2,5
8 Выходной ток высокого уровня, мА ²⁾	I _{OIH}	-0,3	–	-0,5	–
9 Частота следования импульсов тактовых сигналов, МГц	f _{Cl}	–	40	–	–
10 Емкость нагрузки, пФ	C _L	–	20	–	20

1) Между напряжениями питания должны сохраняться соотношения:
|U_{CC1} – U_{CC2}| ≤ 0,3 В, |U_{CC2} – U_{CC3}| ≤ 0,3 В и |U_{CC1} – U_{CC3}| ≤ 0,3 В.

2) Время работы в одном из предельных режимов должно быть не более 5 с.

Значения электрических параметров микросхем, изменяющиеся во время и после воздействия специальных факторов со значениями характеристик, приведенными в таблице 11 в диапазоне рабочих температур от минус 60 до плюс 85 °С, должны соответствовать нормам, установленным в таблице 10 в соответствии с ГОСТ РВ 20.39.414.2-98. Остальные параметры до и после воздействия спецфакторов должны соответствовать нормам при приемке и поставке, приведенным в таблице 8.

Таблица 10

Наименование параметра, единица измерения (режим измерения)	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
1 Выходное напряжение высокого уровня буферов ввода-вывода, В (U _{CC} = 3,0 В, I _{OIH} = -0,3 мА)	U _{OIH}	2,0	–	-60±3 25±10 85±3
2 Динамический ток потребления ядра микросхемы, мА (U _{CC} = 3,6 В, f _{Cl} = 40 МГц)	I _{oCC2}	–	150	

Примечание – Значения остальных параметров должны соответствовать нормам таблицы 8 при приемке и поставке.

Микросхемы должны быть стойкими к воздействию специальных факторов 7.И, 7.С, 7.К с характеристиками по группам исполнения ГОСТ РВ 20.39.414.2-98, указанным в таблице 11.

Таблица 11

Условное обозначение микросхемы	Группа исполнения для специальных факторов с характеристиками								
	7.И ₁	7.И ₆	7.И ₇	7.И ₁₂ 7.И ₁₃	7.С ₁	7.С ₄	7.К ₁	7.К ₄	7.К ₁₁
1867ВМ8Т	5У _с	5У _с	0,5×5У _с	2×2Р	5У _с	5У _с	0,5×2К ¹⁾ 2К ²⁾	0,5×1К ¹⁾ 1К ²⁾	60 МэВ·см ² /мг ³⁾

- 1) При совместном воздействии факторов с характеристиками 7.К₁ и 7.К₄.
 2) При независимом воздействии факторов с характеристиками 7.К₁ и 7.К₄.
 3) По катастрофическим отказам и тиристорному эффекту.

Требования к специальным факторам с характеристиками 7.И₂ – 7.И₅, 7.И₉ – 7.И₁₁, 7.С₂, 7.С₃, 7.С₅, 7.К₂, 7.К₃, 7.К₅ – 7.К₈ не предъявляются.

Допускается в процессе и непосредственно после воздействия специальных факторов с характеристиками 7.И₁, 7.И₆ временная потеря работоспособности микросхем. По истечении 2 мс от начала воздействия работоспособность должна быть восстановлена.

Уровень бессбойной работы по 7.И₈ (по характеристике 7.И₆) должен быть не хуже 1У_с.

Критериями работоспособности являются U_{OL}, U_{OH}, I_{ОСС2}, ФК.

26 Измерение параметров

26.1 Символика временных параметров

Сокращения названий, используемых в этом разделе:

Нижний индекс описания и его значение:

- a – время доступа;
- c – время цикла (период);
- d – время задержки;
- dis – время запрещения;
- en – время разрешения;
- f – длительность падающего фронта;
- h – время удержания;
- r – длительность возрастающего фронта;
- su – время установки;
- t – время переноса;
- v – время истинности;
- w – продолжительность импульса (ширина);
- X – неизвестное состояние.

Литера, символ и его значение:

- H – высокий;
- L – низкий;
- V – истинный;
- Z – высокоимпедансный.

27 Внешний, деленный на два, тактовый генератор

Внешний источник частоты использован непосредственно при подключении вывода X2/CLKIN. CLKMD1 и CLKMD2 устанавливаются в низкий уровень, а CLKMD3 в высокий. Эта внешняя частота делится на два для генерации внутренних машинных тактов. В таблице 12 представлены характеристики переключений при рекомендованных эксплуатационных режимах. Внешний тактовый сигнал должен соответствовать спецификациям, перечисленным в таблице 13 рекомендованных параметров внешнего тактового сигнала. На рисунке 4 приведены временные характеристики внешнего деленного на два тактового сигнала.

Таблица 12 – Характеристики переключений при рекомендованных эксплуатационных режимах [$N = 0,5t_{c(CO)}$]

Условное обозначение и наименование параметра	Минимум	Типовое	Максимум	Ед. изм.
$t_{c(CO)}$ Тактовая частота, CLKOUT	25	$2t_{c(CI)}$ ¹⁾		нс
$t_{d(CIH-CO)}$ Время задержки, X2/CLKIN высокий в CLKOUT высокий/низкий	6	12	18	нс
$t_{f(CO)}$ Время спада, CLKOUT		2		нс
$t_{r(CO)}$ Время нарастания, CLKOUT		2		нс
$t_{w(COL)}$ Продолжительность импульса, CLKOUT низкий	$N-4$	$N-2$	N	нс
$t_{w(COH)}$ Продолжительность импульса, CLKOUT высокий	$N-4$	$N-2$	N	нс

¹⁾ Может варьироваться для каждого устройства индивидуально. Устройство разработано как полностью статичное и поэтому может работать с $2t_{c(CI)}$, приближающимся к ∞ . Устройство тестировалось в частотах, приближающихся к 0 Гц, однако для выполнения временных требований к сигналам минимальная частота должна быть более 3,25 МГц.

Таблица 13 – Временные требования по рекомендованным эксплуатационным режимам

Условное обозначение и наименование параметра	Минимум	Максимум	Ед. изм.
$t_{c(CI)}$ Время цикла, X2/CLKIN	12,5	¹⁾	нс
$t_{f(CI)}$ Время спада, X2/CLKIN	4	4	нс
$t_{r(CI)}$ Время нарастания, X2/CLKIN	4	4	нс
$t_{w(CIL)}$ Длительность импульса, X2/CLKIN низкий	3	¹⁾	нс
$t_{w(CIH)}$ Длительность импульса, X2/CLKIN высокий	3	¹⁾	нс

¹⁾ Может варьироваться для каждого устройства индивидуально. Устройство разработано как полностью статичное и поэтому может работать с $2t_{c(CI)}$, приближающимся к ∞ . Устройство тестировалось в частотах, приближающихся к 0 Гц, однако для выполнения временных требований к сигналам минимальная частота должна быть более 6,7 МГц.

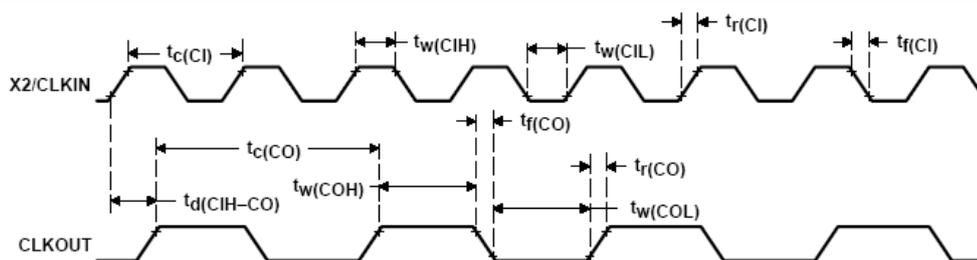


Рисунок 4 – Временные характеристики внешнего, деленного на два, тактового сигнала

28 Внешний, умноженный на 1, тактовый генератор

Внешний тактовый сигнал используется введением его непосредственно в X2/CLKIN, биты CLKMD1, CLKMD2 и CLKMD3 устанавливаются согласно таблице конфигурации режима тактового генератора (таблица 5). Эта внешняя тактовая частота умножена на 1, чтобы генерировать внутренний машинный цикл.

В таблице 14 приведены характеристики переключений при рекомендованных эксплуатационных режимах.

Внешний тактовый сигнал должен соответствовать спецификациям, перечисленным в таблице 13 требований к внешнему тактовому сигналу ALU.

На рисунке 5 приведены временные характеристики умноженного на единицу внешнего тактового генератора.

Таблица 14 – Характеристики переключений при рекомендованных эксплуатационных режимах [$N = 0,5t_{c(CO)}$]

Условное обозначение и наименование параметра		Минимум	Типовое	Максимум	Ед. изм.
$t_{c(CO)}$	Время цикла, CLKOUT	25	$t_{c(CI)}/N$		нс
$t_{d(CIH-CO)}$	Время задержки X2/CLKIN низкий в CLKOUT высокий	$N = 1, 2, 3, 4, 5, 9$	12	18	нс
$t_{d(CIH-CO)}$	Время задержки, X2/CLKIN высокий к CLKOUT высокий/низкий	$N = 1,5; 2,5; 4,5$	12	18	нс
$t_{f(CO)}$	Время падения, CLKOUT		2		нс
$t_{r(CO)}$	Время нарастания, CLKOUT		2		нс
$t_{w(COL)}$	Длительность импульса, CLKOUT низкий	$N-4$	$N-2$	N	нс
$t_{w(COH)}$	Длительность импульса, CLKOUT высокий	$N-4$	$N-2$	N	нс
t_p	Время блокировки фазы			$50^{1)}$	нс
¹⁾ Значение получается расчетным методом и не тестируется.					

Таблица 15 – Временные требования по рекомендованным эксплуатационным режимам

Условное обозначение и наименование параметра		Минимум	Максимум	Ед. изм.
$t_{f(CI)}$	Время падения, X2/CLKIN ¹⁾		4	нс
$t_{r(CI)}$	Время нарастания, X2/CLKIN ¹⁾		4	нс
$t_{w(CIL)}$	Длительность импульса, X2/CLKIN низкий	8		нс
$t_{w(CIH)}$	Длительность импульса, X2/CLKIN высокий	8		нс
¹⁾ Значение получается расчетным методом и не тестируется.				

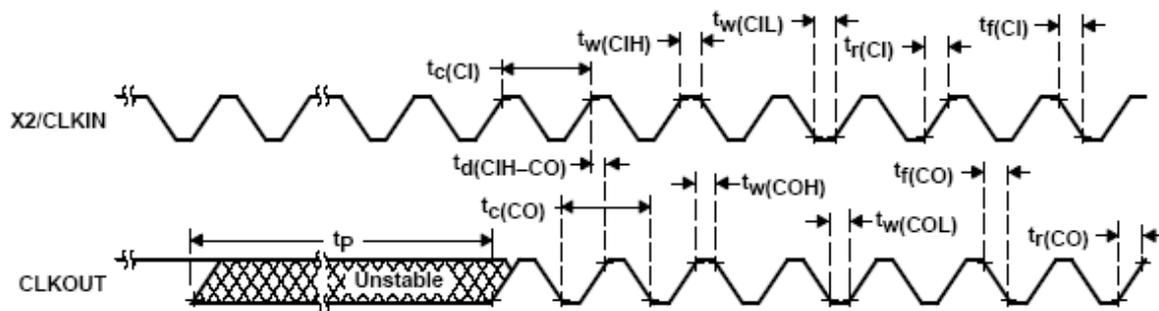


Рисунок 5 – Временные характеристики умноженного на единицу внешнего тактового генератора

29 Временные характеристики памяти и интерфейса параллельного ввода-вывода

В таблице 16 приведены характеристики переключений при рекомендованных эксплуатационных режимах. В таблице 17 приведены временные характеристики рекомендованным эксплуатационным режимам для чтения из памяти.

На рисунке 6 приведены диаграммы чтения из памяти.

Таблица 16 – Характеристики переключения по рекомендованным эксплуатационным режимам для чтения из памяти (MSTRB# = 0) [$H = 0,5 t_{c(CO)}$] ^{1), 2)}

Условное обозначение и наименование параметра		Мини-мум	Макси-мум	Ед. изм.
$t_{d(CLKL-A)}$	Время задержки, адрес действителен при переходе CLKOUT в низкий уровень ³⁾	0	5	нс
$t_{d(CLKH-A)}$	Время задержки, адрес действителен при переходе CLKOUT в высокий уровень (переход) ⁴⁾	0	5	нс
$t_{d(CLKL-MSL)}$	Время задержки, MSTRB# низкий из CLKOUT низкий	0	5	нс
$t_{d(CLKL-MSH)}$	Время задержки, MSTRB# высокий из CLKOUT низкий	2	3	нс
$t_{h(CLKL-A)R}$	Время удержания, адрес установлен после перехода CLKOUT в низкий уровень	0	5	нс
$t_{h(CLKH-A)R}$	Время удержания, адрес действителен после перехода CLKOUT в высокий уровень	0	5	нс
<p>¹⁾ Сигналы A15 – A0, PS# и DS# имеют все временные характеристики, определяемые как адресные сигналы.</p> <p>²⁾ Смотри таблицы 22, 23 и 24 для изменений временных характеристик шины адреса для различной емкости нагрузки.</p> <p>³⁾ В случае чтения памяти, предшествующего чтению памяти.</p> <p>⁴⁾ В случае чтения памяти, предшествующего записи памяти.</p>				

Таблица 17 – Временные характеристики по рекомендованным эксплуатационным режимам для чтения из памяти (MSTRB# = 0) [$H = 0,5 t_{c(CO)}$] ^{1), 2)}

Условное обозначение и наименование параметра		Мини-мум	Макси-мум	Ед. изм.
$t_{a(A)M}$	Время доступа, чтение данных после установления адреса		2Н–10	нс
$t_{a(MSTRBL)}$	Время доступа, чтение данных после перехода MSTRB# в низкий уровень		2Н–10	нс
$t_{su(D)R}$	Время установлений, чтение данных перед переходом CLKOUT в низкий уровень	5		нс
$t_{h(D)R}$	Время удержания, чтение данных после перехода CLKOUT в низкий уровень	0		нс
$t_{h(A-D)R}$	Время удержания, чтение данных после того, как адрес стал недействительным	0		нс
$t_{h(D)MSTRBH}$	Время удержания, чтение данных после перехода MSTRB# в высокий уровень	0		нс
<p>¹⁾ Сигналы A15 – A0, PS# и DS# имеют все временные характеристики, определяемые как адресные сигналы.</p> <p>²⁾ Смотри таблицы 22, 23 и 24 для изменений временных характеристик шины адреса для различной емкости нагрузки.</p>				

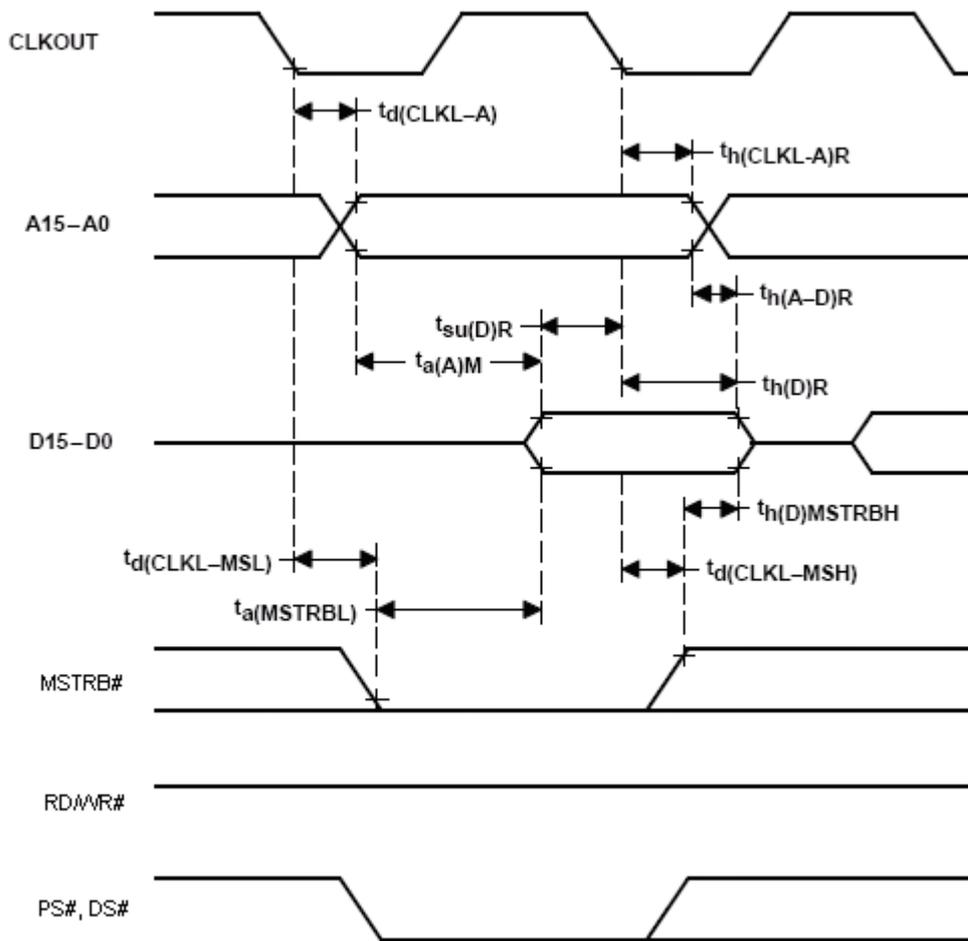


Рисунок 6 – Диаграммы чтения из памяти (MSTRB# = 0)

В таблице 18 приведены характеристики переключений при рекомендованных эксплуатационных режимах. В таблице 19 приведены временные характеристики по рекомендованным эксплуатационным режимам для записи в память. На рисунке 7 приведены диаграммы записи в память.

Таблица 18 – Характеристики переключения по рекомендованным эксплуатационным режимам для записи в память (MSTRB# = 0) [H = 0,5 t_{c(CO)}]^{1), 2)}

Условное обозначение и наименование параметра	Минимум	Максимум	Ед. изм.
t _d (CLKH-A)	0 ^{4), 5)}	5	нс
t _d (CLKL-A)	0 ^{4), 5)}	5	нс
t _d (CLKL-MSL)	0	5	нс
t _d (CLKL-D)W		10	нс
t _d (CLKL-MSH)	-2	3	нс
t _d (CLKH-RWL)	0	5	нс
t _d (CLKH-RWH)	-2	3	нс

Окончание таблицы 18

Условное обозначение и наименование параметра		Минимум	Максимум	Ед. изм.
$t_{d(RWL-MSTRBL)}$	Время задержки, MSTRB# в низкий после RD/WR# в низкий	- 2	3	нс
$t_{h(A)W}$	Время удержания, адрес доступен после перехода CLKOUT в высокий	0	5 ^{4), 5)}	нс

¹⁾ Сигналы A15 – A0, PS# и DS# имеют все временные характеристики, определяемые как адресные сигналы.
²⁾ Смотри таблицы 22, 23 и 24 для изменений временных характеристик шины адреса для различной емкости нагрузки.
³⁾ В случае чтения из памяти, предшествующей записи в память.
⁴⁾ В случае записи в память, предшествующей записи в порты ввода-вывода.
⁵⁾ Значение определяется расчетным методом и не тестируется.

Таблица 19 – Временные характеристики по рекомендованным эксплуатационным режимам для записи в память (MSTRB# = 0) [H = 0,5 t_{c(CO)}]^{1), 2)}

Условное обозначение и наименование параметра		Минимум	Максимум	Ед. изм.
$t_{h(D)MSH}$	Время удержания, допустимые записываемые данные после перехода MSTRB# в высокий уровень	H-5	H+5 ^{3), 4)}	нс
$t_{w(SL)MS}$	Длительность импульса, MSTRB# низкий	2H – 5		нс
$t_{su(A)W}$	Время установления, эффективный адрес перед переходом MSTRB# в низкий уровень	2H – 5		нс
$t_{su(D)MSH}$	Время установления, записываемые данные действительны перед переходом MSTRB# в высокий уровень	2H – 10	2H+10 ^{3), 4)}	нс

¹⁾ Сигналы A15 – A0, PS# и DS# имеют все временные характеристики, определяемые как адресные сигналы.
²⁾ Смотри таблицы 24, 25 и 26 для изменений временных характеристик шины адреса для различной емкости нагрузки.
³⁾ В случае записи в память, предшествующей записи в порты ввода-вывода.
⁴⁾ Значение определяется расчетным методом и не тестируется.

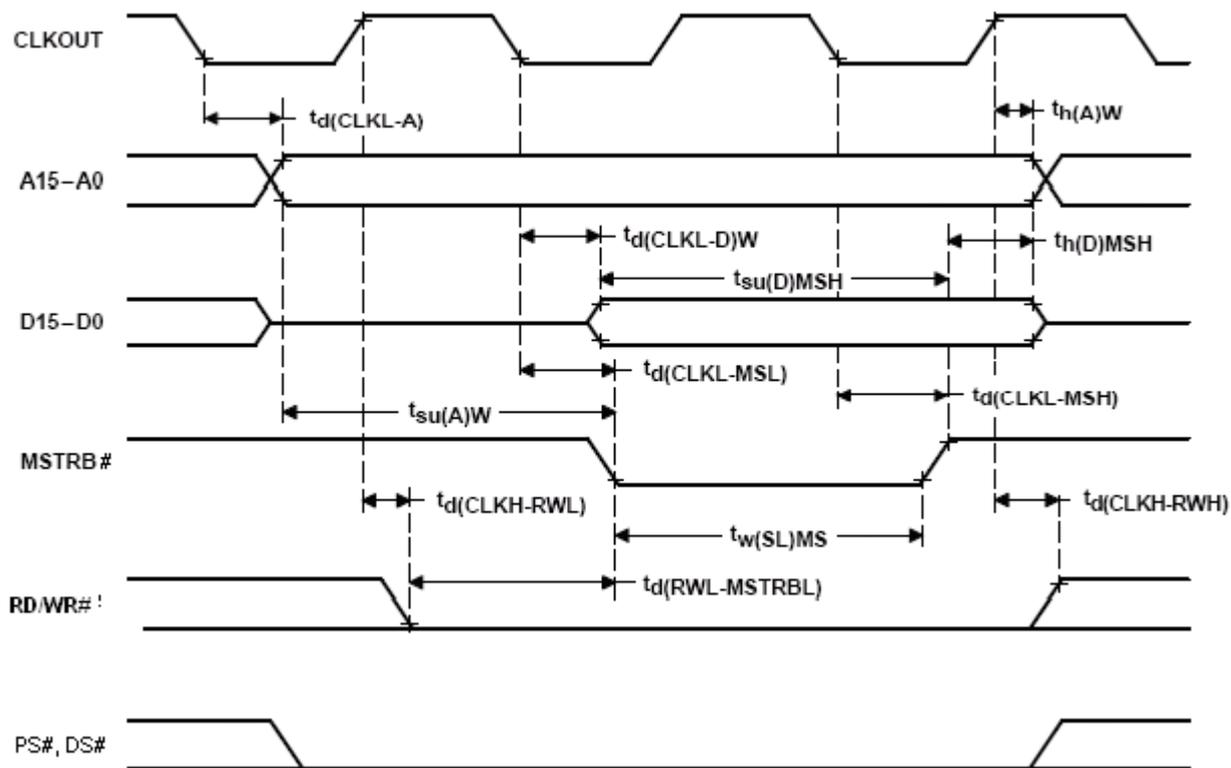


Рисунок 7 – Диаграммы записи в память (MSTRB# = 0)

В таблице 20 приведены характеристики переключений при рекомендованных эксплуатационных режимах. В таблице 21 приведены временные характеристики по рекомендованным эксплуатационным режимам для чтения параллельного порта ввода-вывода. На рисунке 8 приведены диаграммы чтения из параллельного порта ввода-вывода.

Таблица 20 – Характеристики переключения по рекомендованным эксплуатационным режимам для чтения параллельного порта ввода-вывода (IOSTRB# = 0) [H = 0,5 $t_{c(CO)}$] ^{1), 2)}

Условное обозначение и наименование параметра		Минимум	Максимум	Ед. изм.
$t_{d(CLKL-A)}$	Время задержки, адрес действителен при переходе из CLKOUT в низкий уровень	0 ³⁾	5	нс
$t_{d(CLKH-ISTRBL)}$	Время задержки, IOSTRB# низкий после перехода CLKOUT в высокий уровень	0	5	
$t_{d(CLKH-ISTRBH)}$	Время задержки, IOSTRB# высокий после перехода CLKOUT в высокий уровень	-2	3	
$t_{h(A)IOR}$	Время удержания, адрес после перехода CLKOUT в низкий уровень	0	5 ³⁾	
<p>¹⁾ Сигналы A15 – A0 и IS# имеют все временные характеристики, определяемые как адресные сигналы.</p> <p>²⁾ Смотри таблицы 24, 25 и 26 для изменений временных характеристик шины адреса для различной емкости нагрузки.</p> <p>³⁾ Значение определяется расчетным методом и не тестируется.</p>				

Таблица 21 – Временные характеристики по рекомендованным эксплуатационным режимам для чтения параллельного порта ввода-вывода (IOSTRB# = 0) [$H = 0,5 t_{c(CO)}$] ^{1), 2)}

Условное обозначение и наименование параметра		Минимум	Максимум	Ед. изм.
$t_{a(A)IO}$	Время доступа, чтение данных после установления адреса		3Н–10	нс
$t_{a(ISTRBL)IO}$	Время доступа, чтение данных после перехода IOSTRB# в низкий уровень		3Н–10	
$t_{su(D)IOR}$	Время доступа, чтение данных перед тем, как CLKOUT перейдет в высокий уровень	5		
$t_{h(D)IOR}$	Время удержания, чтение данных после перехода CLKOUT в высокий уровень	0		нс
$t_{h(ISTRBH-D)R}$	Время удержания, чтение данных после перехода IOSTRB# в высокий уровень	0		

¹⁾ Сигналы A15 – A0 и IS# имеют все временные характеристики, определяемые как адресные сигналы.

²⁾ Смотри таблицы 24, 25 и 26 для изменений временных характеристик шины адреса для различной емкости нагрузки.

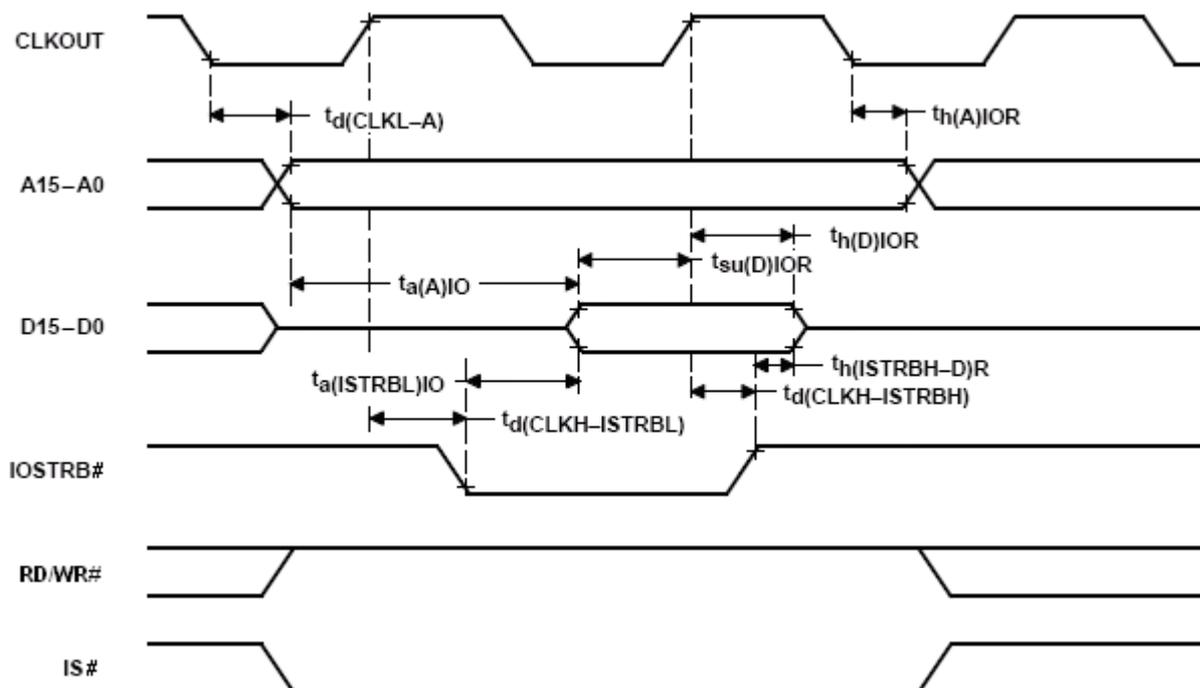


Рисунок 8 – Диаграммы чтения из параллельного порта ввода-вывода (IOSTRB# = 0)

В таблице 22 приведены характеристики переключений при рекомендованных эксплуатационных режимах. В таблице 23 приведены временные характеристики по рекомендованным эксплуатационным режимам для записи в параллельный порт ввода-вывода.

На рисунке 9 приведены диаграммы записи в параллельный порт ввода-вывода.

Таблица 22 – Характеристики переключения по рекомендованным эксплуатационным режимам для записи в параллельный порт ввода-вывода (IOSTRB# = 0) [H = 0,5 t_{c(CO)}]¹⁾

Условное обозначение и наименование параметра		Минимум	Максимум	Ед. изм.
t _{d(CLKL-A)}	Время задержки, адрес действителен после перехода CLKOUT в низкий уровень ²⁾	0 ³⁾	5	нс
t _{d(CLKH-ISTRBL)}	Время задержки, низкий IOSTRB# после перехода CLKOUT в высокий уровень	0	5	нс
t _{d(CLKH-D)IOW}	Время задержки, записанные данные действительны после перехода CLKOUT в высокий уровень	H-5 ³⁾	H+10	нс
t _{d(CLKH-ISTRBH)}	Время задержки, IOSTRB# в высоком уровне после перехода CLKOUT в высокий уровень	-2	3	нс
t _{d(CLKL-RWL)}	Время задержки, RD/WR# в низком уровне после перехода CLKOUT в низкий уровень	0	5	нс
t _{d(CLKL-RWH)}	Время задержки, RD/WR# в высоком уровне после перехода CLKOUT в низкий уровень	-2	3	нс
t _{h(A)IOW}	Время удержания, адрес действителен после перехода CLKOUT в низкий уровень	0	5 ³⁾	нс
<p>¹⁾ Сигналы A15 – A0 и IS# имеют все временные характеристики, определяемые как адресные сигналы.</p> <p>²⁾ Смотри таблицы 24, 25 и 26 для изменений временных характеристик шины адреса для различной емкости нагрузки.</p> <p>³⁾ Значение определяется расчетным методом и не тестируется.</p>				

Таблица 23 – Временные характеристики по рекомендованным эксплуатационным режимам для записи в параллельный порт ввода-вывода (IOSTRB# = 0) [H = 0,5 t_{c(CO)}]^{1), 2)}

Условное обозначение и наименование параметра		Минимум	Максимум	Ед. изм.
t _{h(D)IOW}	Время удержания, запись данных после перехода IOSTRB# в высокий уровень	H-5 ³⁾	H+5	нс
t _{su(D)IOSTRBH}	Время установления, запись данных перед переходом IOSTRB# в высокий уровень	H-7	H	нс
t _{su(A)IOSTRBL}	Время установления, адрес действителен перед переходом IOSTRB# в низкий уровень	H-5	H+5	нс
<p>¹⁾ Сигналы A15 – A0 и IS# имеют все временные характеристики, определяемые как адресные сигналы.</p> <p>²⁾ Смотри таблицы 24, 25 и 26 для изменений временных характеристик шины адреса для различной емкости нагрузки.</p> <p>³⁾ Значение определяется расчетным методом и не тестируется.</p>				

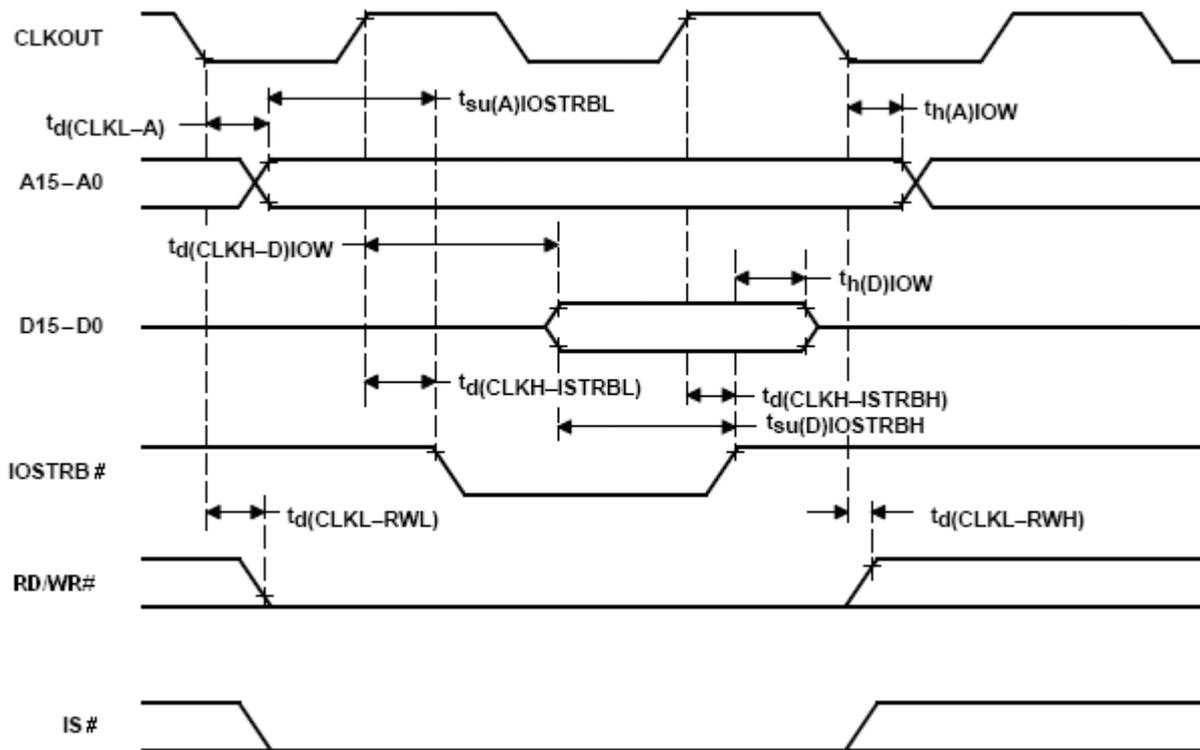


Рисунок 9 – Диаграммы записи в параллельный порт ввода-вывода (IOSTRB# = 0)

30 Изменение временных параметров с емкостной нагрузкой: результат SPICE-моделирования

Условия: Температура – 125 °С
 Емкость – (0 – 100) пФ
 Напряжение – (2,7 / 3,0 / 3,3) В
 Модель – Слабый/Номинал/Сильный

На рисунке 10 приведена диаграмма возрастающего и падающего фронтов сигнала при заданных условиях моделирования.



Рисунок 10 – Диаграмма возрастающего и падающего фронтов

Таблицы 24 – 26 описывают изменение временных параметров с емкостной нагрузкой при различных напряжениях питания.

Таблица 24 – Изменение временных параметров с емкостной нагрузкой: [2,7 В] (10 – 90) %

Емкость нагрузки, пФ	Слабый		Номинал		Сильный	
	передний фронт, нс	задний фронт, нс	передний фронт, нс	задний фронт, нс	передний фронт, нс	задний фронт, нс
0	0,476	0,457	0,429	0,391	0,382	0,323
10	1,511	1,278	1,386	1,148	1,215	1,049
20	2,551	2,133	2,350	1,956	2,074	1,779
30	3,614	3,011	3,327	2,762	2,929	2,512
40	4,664	3,899	4,394	3,566	3,798	3,264
50	5,752	4,786	5,273	4,395	4,655	4,010
60	6,789	5,656	6,273	5,206	5,515	4,750
70	7,817	6,598	7,241	6,000	6,442	5,487
80	8,897	7,531	8,278	6,928	7,262	6,317
90	10,021	8,332	9,152	7,735	8,130	7,066
100	11,072	9,299	10,208	8,537	8,997	7,754

Таблица 25 – Изменение временных параметров с емкостной нагрузкой: [3 В] (10 – 90) %

Емкость нагрузки, пФ	Слабый		Номинал		Сильный	
	передний фронт, нс	задний фронт, нс	передний фронт, нс	задний фронт, нс	передний фронт, нс	задний фронт, нс
0	0,436	0,387	0,398	0,350	0,345	0,290
10	1,349	1,185	1,240	1,064	1,092	0,964
20	2,273	1,966	2,098	1,794	1,861	1,634
30	3,226	2,765	2,974	2,539	2,637	2,324
40	4,168	3,573	3,849	3,292	3,406	3,013
50	5,110	4,377	4,732	4,052	4,194	3,710
60	6,033	5,230	5,660	4,811	5,005	4,401
70	7,077	5,997	6,524	5,601	5,746	5,117
80	8,020	6,899	7,416	6,336	6,559	5,861
90	8,917	7,709	8,218	7,124	7,323	6,498
100	9,885	8,541	9,141	7,830	8,101	7,238

Таблица 26 – Изменение временных параметров с емкостной нагрузкой: [3,3 В] (10 – 90) %; [3 В] (10 – 90) %

Емкость нагрузки, пФ	Слабый		Номинал		Сильный	
	передний фронт, нс	задний фронт, нс	передний фронт, нс	задний фронт, нс	передний фронт, нс	задний фронт, нс
0	0,404	0,361	0,371	0,310	0,321	0,284
10	1,227	1,081	1,133	1,001	1,000	0,892
20	2,070	1,822	1,915	1,675	1,704	1,530
30	2,931	2,567	2,719	2,367	2,414	2,169
40	3,777	3,322	3,515	3,072	3,120	2,823
50	4,646	4,091	4,319	3,779	3,842	3,466
60	5,487	4,859	5,145	4,503	4,571	4,142
70	6,405	5,608	5,980	5,234	5,301	4,767
80	7,284	6,463	6,723	5,873	5,941	5,446
90	8,159	7,097	7,560	6,692	6,740	6,146
100	8,994	7,935	8,300	7,307	7,431	6,822

31 Временные характеристики чтения для внешних сгенерированных состояний ожидания

В таблице 27 приведены временные характеристики по рекомендованным эксплуатационным режимам для внешних сгенерированных состояний ожидания.

На рисунке 11 приведены диаграммы чтения памяти с внешними сгенерированными состояниями ожидания, на рисунке 12 – диаграммы записи в память с внешними сгенерированными состояниями ожидания, на рисунке 13 – диаграммы чтения портов ввода-вывода с внешними сгенерированными состояниями ожидания, на рисунке 14 – диаграммы записи в порты ввода-вывода с внешними сгенерированными состояниями ожидания.

Таблица 27 – Временные характеристики по рекомендованным эксплуатационным режимам для внешних сгенерированных состояний ожидания [$H = 0,5 t_{c(CO)}$]¹⁾

Условное обозначение и наименование параметра	Минимум	Максимум	Ед. изм.
$t_{su(RDY)}$ Время установки, READY перед низким CLKOUT	10		нс
$t_{h(RDY)}$ Время удержания, READY после низкого CLKOUT	0		нс
$t_{v(RDY)MSTRB}$ Действительное время, READY после низкого MSTRB# ²⁾		4Н – 15	нс
$t_{h(RDY)MSTRB}$ Время удержания, READY после низкого MSTRB# ²⁾	4Н		нс
$t_{v(RDY)IOSTRB}$ Действительное время, READY после низкого IOSTRB# ²⁾		5Н – 15	нс
$t_{h(RDY)IOSTRB}$ Время удержания, READY после низкого IOSTRB# ²⁾	5Н		нс
$t_{v(MSCL)}$ Действительное время, MSC# низкий после низкого CLKOUT	0 ³⁾	5	нс
$t_{v(MSCH)}$ Действительное время, MSC# высокий после низкого CLKOUT	-2 ³⁾	3	нс

¹⁾ Аппаратные состояния ожидания могут использоваться только вместе с программными состояниями ожидания для расширения шинных циклов. Для генерации состояний ожидания до сигнала READY, должны быть запрограммированы не менее двух программных циклов ожидания.

²⁾ Эти значения включены только для справки. Критические значения для READY определены и для CLKOUT.

³⁾ Значение определяется расчетным методом и не тестируется.

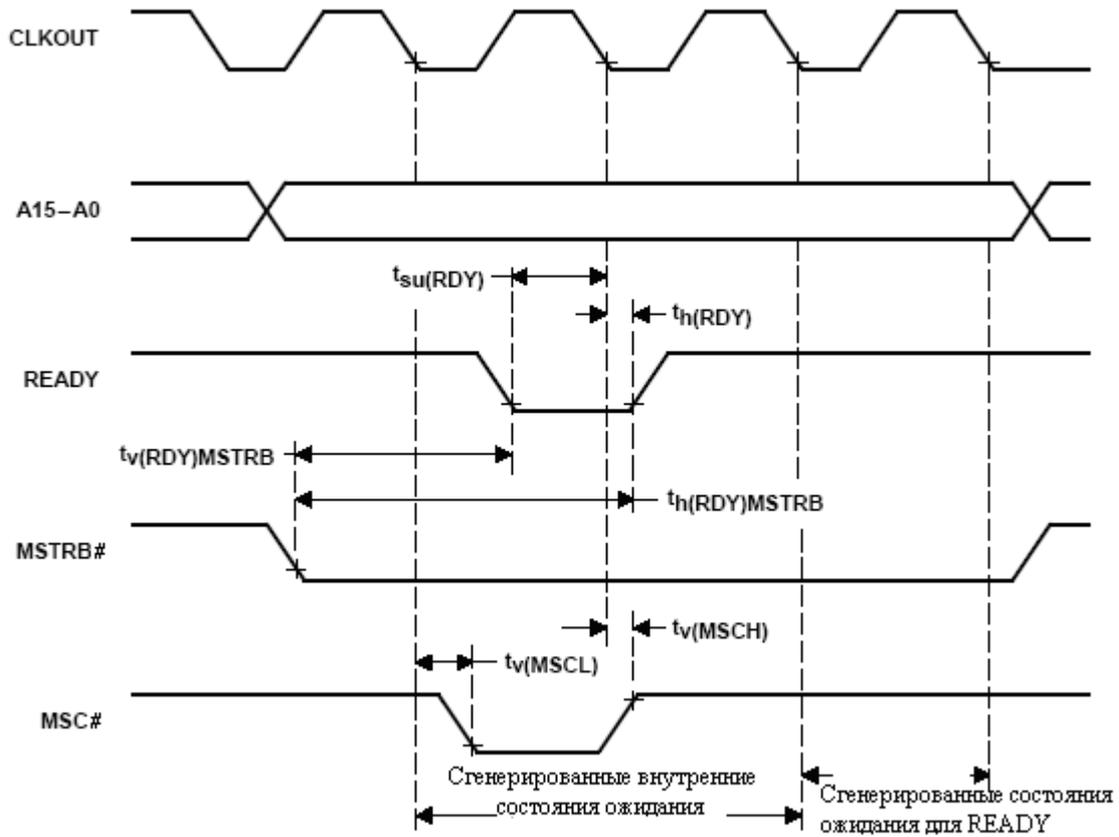


Рисунок 11 – Чтение памяти с внешними сгенерированными состояниями ожидания

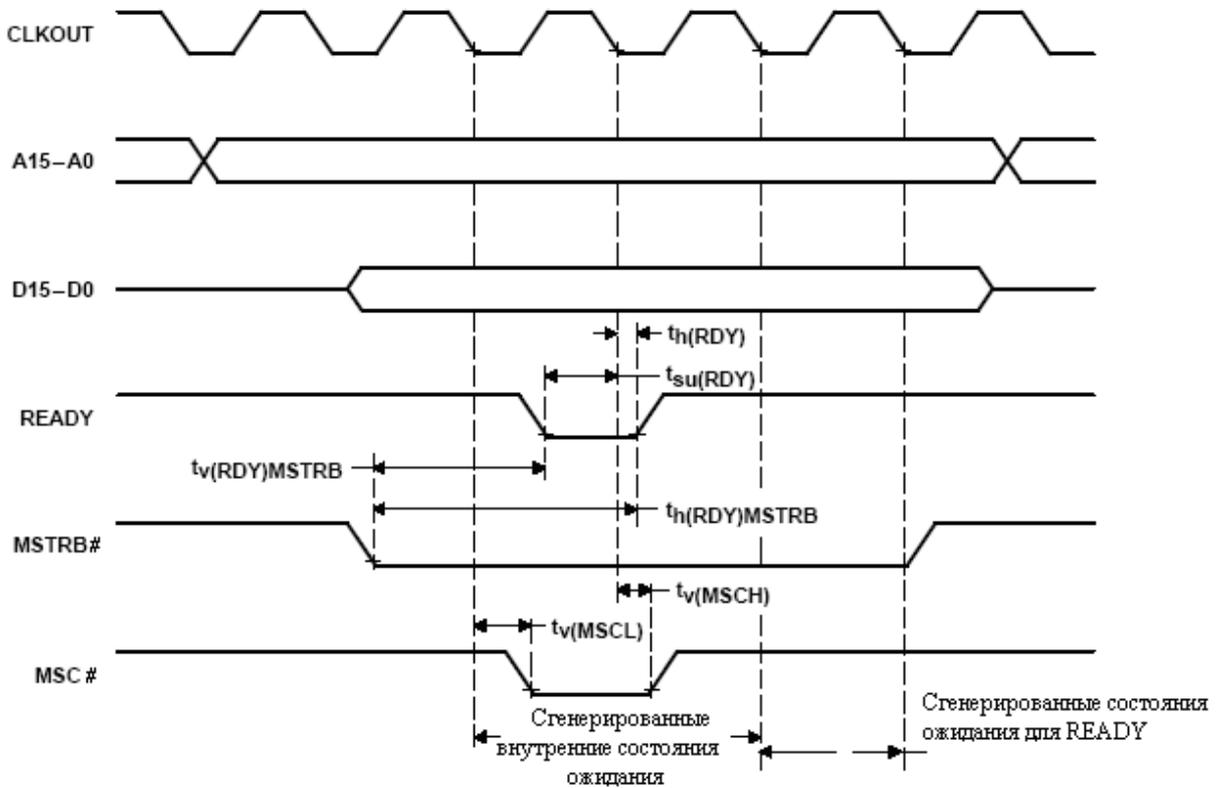


Рисунок 12 – Запись в память с внешними сгенерированными состояниями ожидания

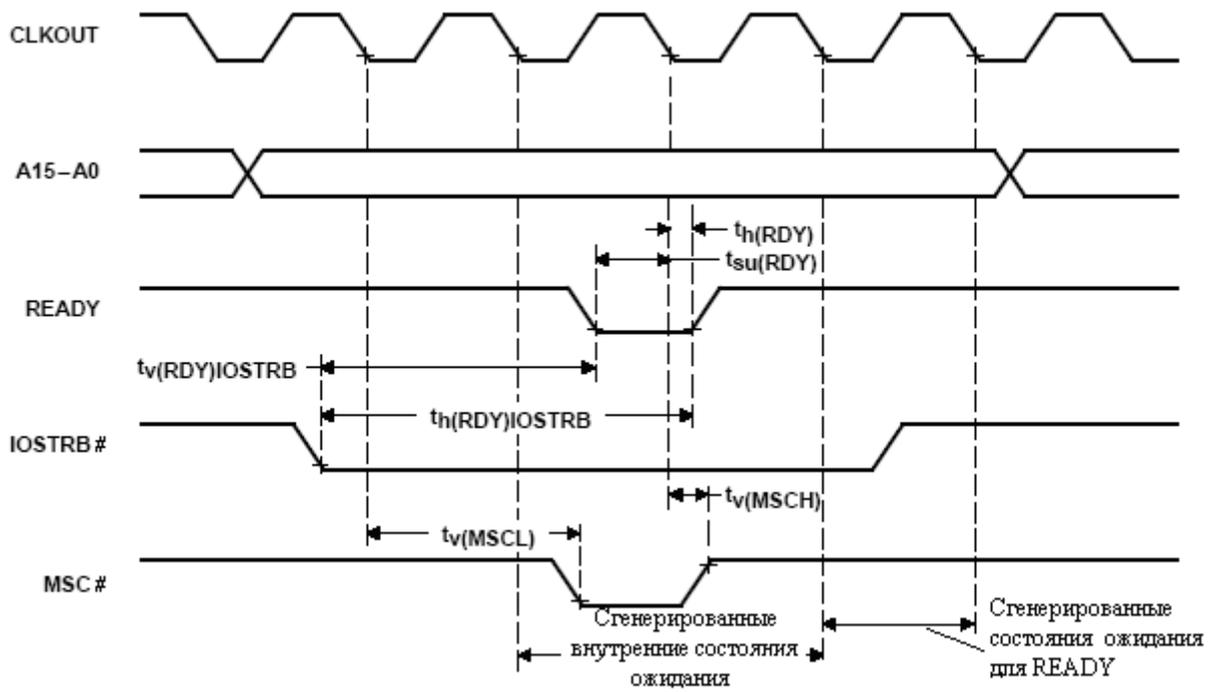


Рисунок 13 – Чтение портов ввода-вывода с внешними сгенерированными состояниями ожидания

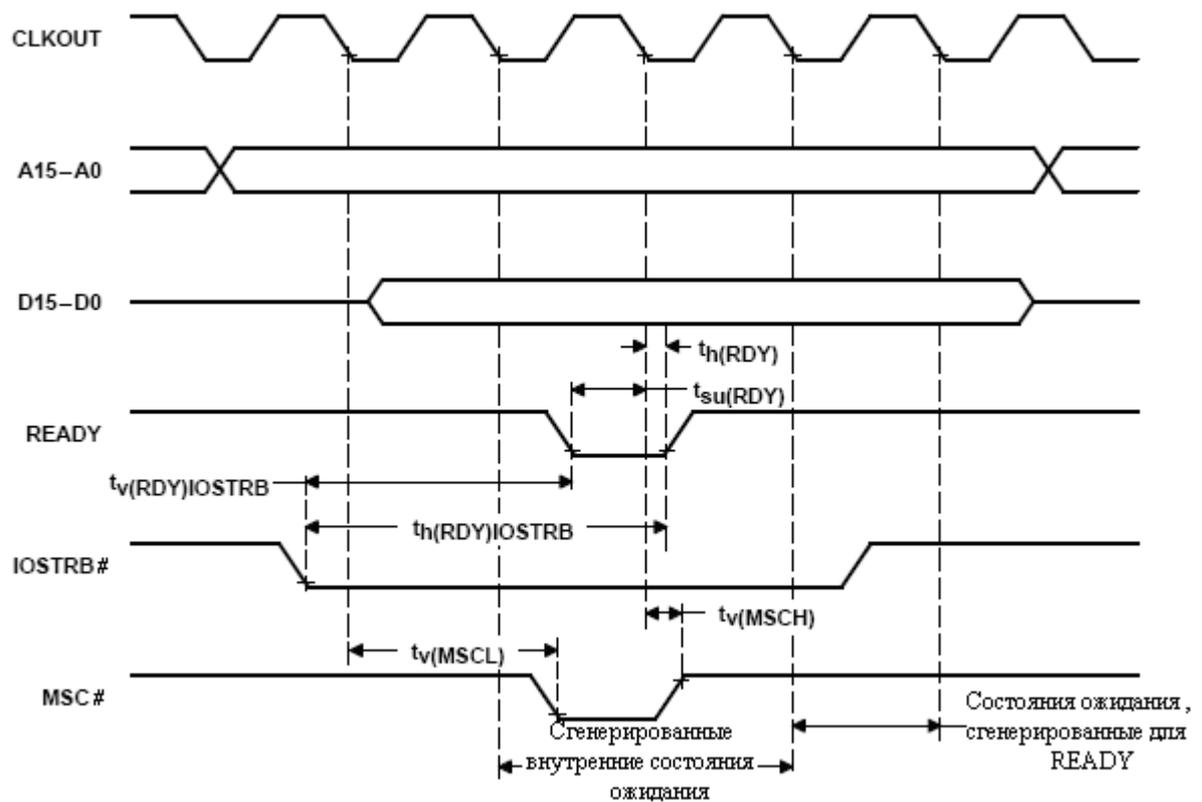


Рисунок 14 – Запись в порты ввода-вывода с внешними сгенерированными состояниями ожидания

32 Временные характеристики HOLD# и HOLDA#

В таблице 28 приведены характеристики переключений при рекомендованных эксплуатационных режимах, в таблице 29 приведены временные характеристики по рекомендованным эксплуатационным режимам для HOLD# и HOLDA#.

На рисунке 15 приведены временные характеристики HOLD# и HOLDA#.

Таблица 28 – Характеристики переключения по рекомендованным эксплуатационным режимам для HOLD# и HOLDA# (IOSTRB# = 0) [H = 0,5 t_{c(CO)}]

Условное обозначение и наименование параметра		Мини-мум	Макси-мум	Ед. изм.
t _{dis(CLKL-A)}	Время запрещения, CLKOUT низкий для адреса, DS#, PS#, IS#		5 ¹⁾	нс
t _{dis(CLKL-RW)}	Время запрещения, CLKOUT низкий для RD/WR#		5 ¹⁾	нс
t _{dis(CLKL-S)}	Время запрещения, CLKOUT низкий для MSTRB#, IOSTRB#		5 ¹⁾	нс
t _{en(CLKL-A)}	Время разрешения, CLKOUT низкий для адреса, DS#, PS#, IS#		2H+5	нс
t _{en(CLKL-RW)}	Время разрешения, CLKOUT низкий для разрешения RD/WR#		2H+5	нс
t _{en(CLKL-S)}	Время разрешения, CLKOUT низкий для разрешения MSTRB#, IOSTRB#		2H+5	нс
¹⁾ Значение определяется расчетным методом и не тестируется.				

Таблица 29 – Временные характеристики по рекомендованным эксплуатационным режимам для HOLD# и HOLDA# (IOSTRB# = 0) [H = 0,5 t_{c(CO)}]

Условное обозначение и наименование параметра		Мини-мум	Макси-мум	Ед. изм.
t _{w(HOLD)}	Длительность импульса, длительность низкого уровня HOLD#	4H+10		нс
t _{w(HOLDA)}	Длительность импульса, длительность низкого уровня HOLDA#	2H+10		нс
t _{su(HOLD)}	Время установления, HOLD# перед переходом CLKOUT в низкий уровень	10		нс
t _{v(HOLDA)}	Действительное время, HOLDA# после перехода CLKOUT в низкий уровень	-2 ¹⁾	5	нс
¹⁾ Значение определяется расчетным методом и не тестируется.				

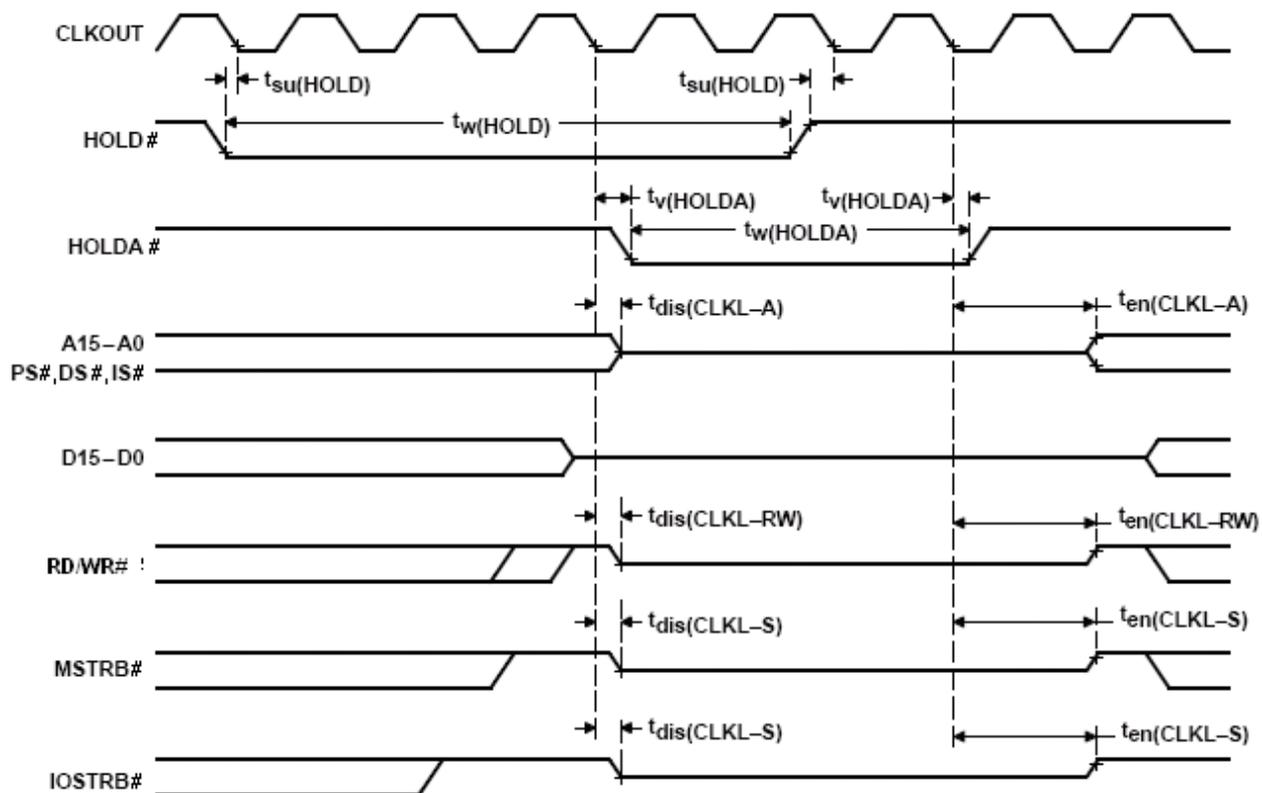


Рисунок 15 – Временные характеристики для HOLD# и HOLDA# (HM = 1)

33 Временные характеристики сигналов сброса, ВЮ#, прерываний и МР/МС#

В таблице 30 приведены временные характеристики по рекомендованным эксплуатационным режимам для сигналов сброса ВЮ#, прерываний и МР/МС#.

Таблица 30 – Временные характеристики по рекомендованным эксплуатационным режимам для сигналов сброса ВЮ#, прерываний и МР/МС# [$H = 0,5 t_{c(CO)}$]

Условное обозначение и наименование параметра		Минимум	Максимум	Ед. изм.
$t_{h(RS)}$	Время удержания, RESET# после низкого CLKOUT	0		нс
$t_{h(BIO)}$	Время удержания, ВЮ# после низкого CLKOUT	0		нс
$t_{h(INT)}$	Время удержания, INTn# и NMI# после низкого CLKOUT ¹⁾	0		нс
$t_{h(MPMC)}$	Время удержания, МР/МС# после низкого CLKOUT	0		нс
$t_{w(RSL)}$	Длительность импульса, RESET# низкий ^{2), 3)}	4H+10		нс
$t_{w(BIO)S}$	Длительность импульса, ВЮ# низкий, синхронный	2H+15		нс
$t_{w(BIO)A}$	Длительность импульса, ВЮ# низкий, асинхронный ²⁾	4H		нс
$t_{w(INT)S}$	Длительность импульса, INTn# и NMI# высокие, синхронные	2H+15		нс
$t_{w(INT)A}$	Длительность импульса, INTn# и NMI# высокие, асинхронные	4H		нс
$t_{w(INTL)S}$	Длительность импульса, INTn# и NMI# низкие, синхронные	2H+15		нс
$t_{w(INTL)A}$	Длительность импульса, INTn# и NMI# низкие, асинхронные ²⁾	4H		нс
$t_{w(INTL)WKP}$	Длительность импульса, INTn# и NMI# низкие, для выхода из IDLE2/IDLE3	10		нс
$t_{su(RS)}$	Время установления, RESET# перед низким X2/CLKIN ⁴⁾	5		нс
$t_{su(BIO)}$	Время установления, ВЮ# перед низким CLKOUT	15		нс
$t_{su(INT)}$	Время установления, INTn#, NMI#, RESET# перед низким CLKOUT	15		нс
$t_{su(MPMC)}$	Время установления, МР/МС# перед низким CLKOUT ⁵⁾	10		нс

¹⁾ Внешние прерывания INTn# и NMI# синхронизируются с ядром ЦПУ с помощью двух синхронизирующих тактов, которые измеряются на входе двух последовательных падающих фронтах CLKOUT. На контакте входа прерывания необходимо предоставить последовательность 1-0-0, синхронизированную с соответствующей последовательностью из трех CLKOUT.

²⁾ Значения получены расчетным методом и не тестируются.

³⁾ RESET# может быть причиной изменения в тактовой частоте, потому что изменяет значение H.

⁴⁾ Режим деления на два.

⁵⁾ Значения получены расчетным методом и не тестируются.

На рисунке 16 приведены временные характеристики сигналов RESET# и ВЮ#, на рисунке 17 – временные характеристики сигналов прерывания, на рисунке 18 – временные характеристики сигнала МР/МС#.

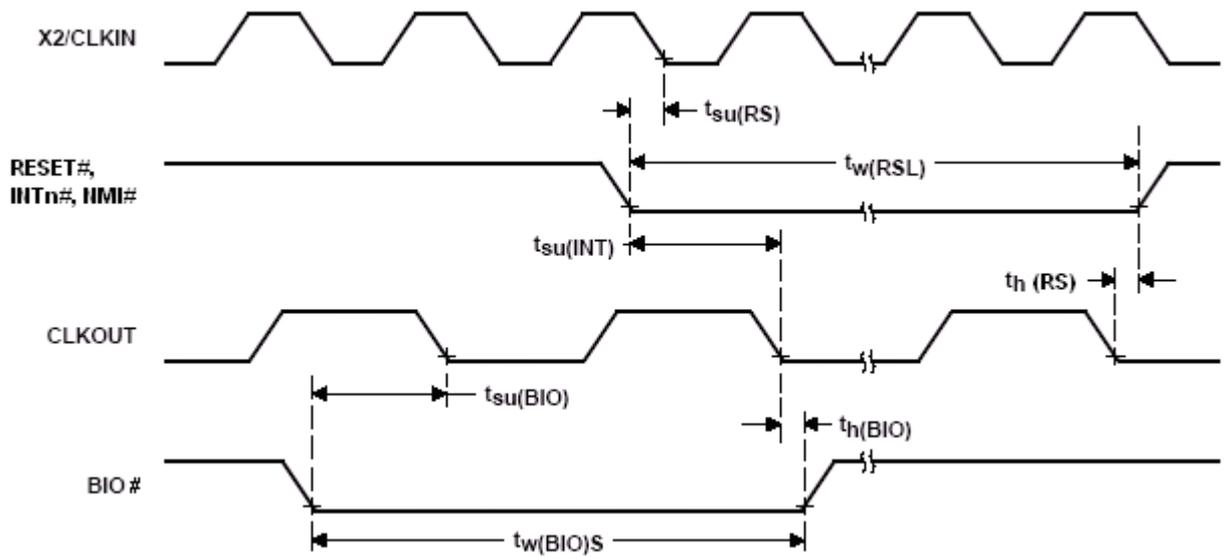


Рисунок 16 – Временные характеристики сигналов RESET# и BIO#

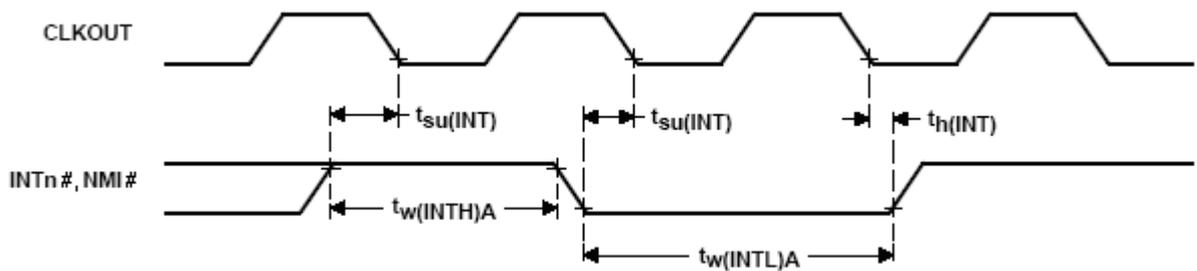


Рисунок 17 – Временные характеристики сигналов прерывания

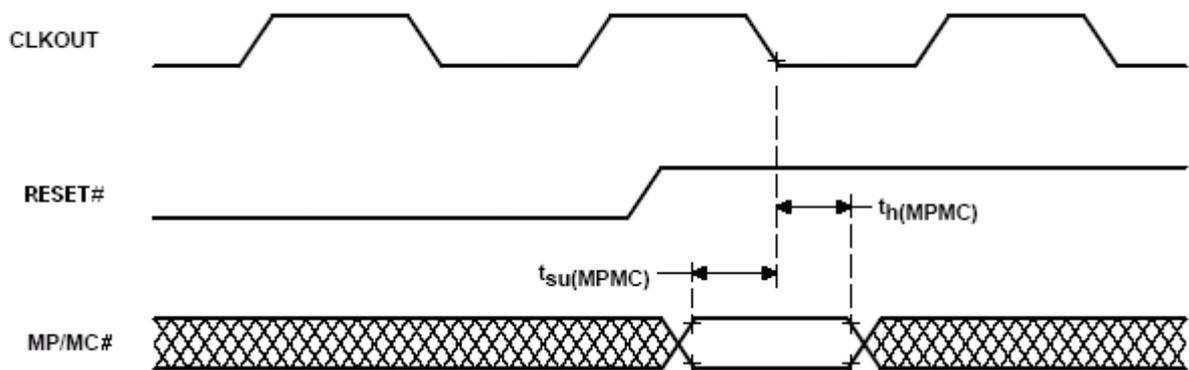


Рисунок 18 – Временные характеристики сигнала MP/MC#

34 Временные характеристики сигналов выполнения команды (IAQ#), подтверждения прерывания (IACK#), внешний флаг (XF) и TOUT

В таблице 31 приведены временные характеристики по рекомендованным эксплуатационным режимам для IAQ# и IACK#, а в таблице 32 приведены временные характеристики по рекомендованным эксплуатационным режимам для внешнего флага XF и TOUT.

На рисунке 19 приведены временные характеристики сигналов IAQ# и IACK#, на рисунке 20 – временные характеристики внешнего флага (XF), на рисунке 21 – временные характеристики TOUT.

Таблица 31 – Характеристики переключения по рекомендованным эксплуатационным режимам для IAQ# и IACK# [$H = 0,5 t_{c(CO)}$]

Условное обозначение и наименование параметра	Минимум	Максимум	Ед. изм.
$t_{d(CLKL-IAQL)}$ Время задержки, IAQ# действительное после низкого CLKOUT	0 ¹⁾	5	нс
$t_{d(CLKL-IAQH)}$ Время задержки, IAQ# высокий после низкого CLKOUT	-2 ¹⁾	3	нс
$t_{d(A)IAQ}$ Время задержки, адрес действительное перед низким IAQ#		5	нс
$t_{d(CLKL-IACKL)}$ Время задержки, IACK# действительное после низкого CLKOUT	0 ¹⁾	5	нс
$t_{d(CLKL-IACKH)}$ Время задержки, IACK# высокий после низкого CLKOUT	-2	3	нс
$t_{d(A)IACK}$ Время задержки, адрес действительное перед низким IACK#		5	нс
$t_{h(A)IAQ}$ Время удержания, адрес действительное после высокого IAQ#	0		нс
$t_{h(A)IACK}$ Время удержания, адрес действительное после высокого IACK#	0		нс
$t_w(IAQL)$ Длительность импульса, IAQ# низкий	2H – 10		нс
$t_w(IACKL)$ Длительность импульса, IACK# низкий	2H – 10		нс
¹⁾ Значения получены расчетным методом и не тестируются.			

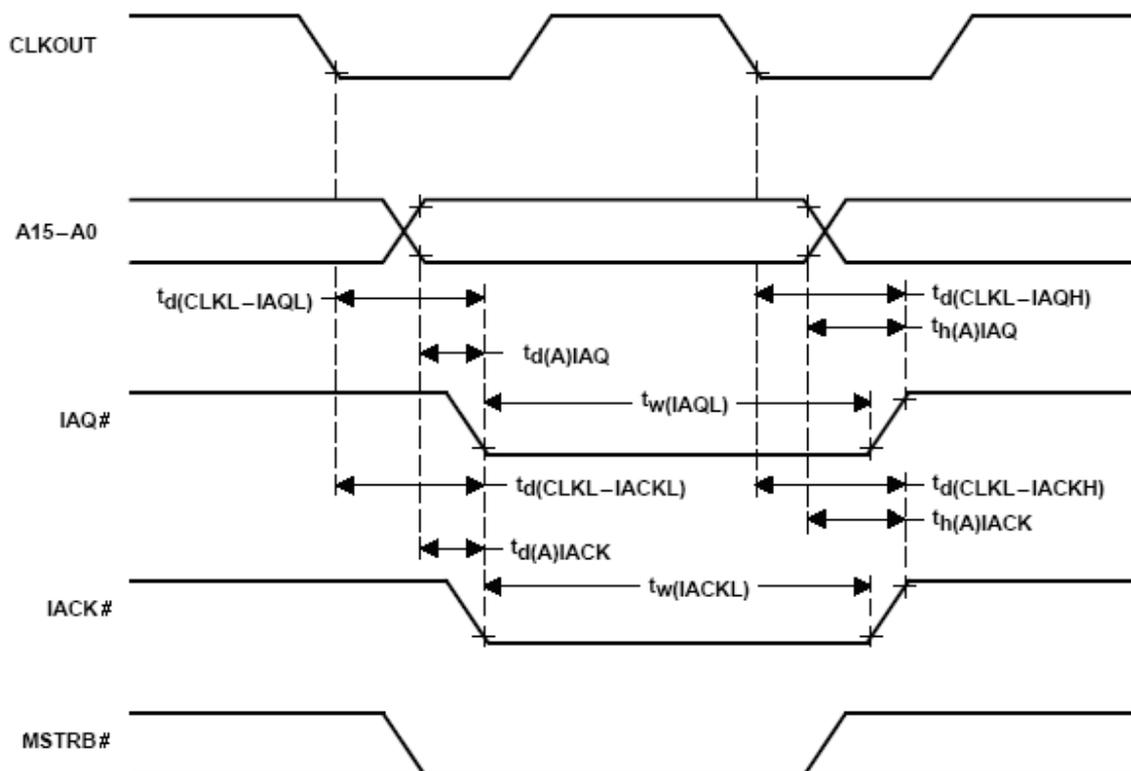


Рисунок 19 – Временные характеристики сигналов IAQ# и IACK#

Таблица 32 – Характеристики переключения по рекомендованным эксплуатационным режимам для внешнего флага XF и TOUT [$H = 0,5 t_{c(\text{CO})}$]

Условное обозначение и наименование параметра	Минимум	Максимум	Ед. изм.
$t_d(\text{XF})$ Время задержки, XF действительное после низкого CLKOUT	-2^1	5	нс
$t_d(\text{TOUTH})$ Время задержки, TOUT высокий после низкого CLKOUT	-2^1	3	нс
$t_d(\text{TOUTL})$ Время задержки, TOUT низкий после низкого CLKOUT	0^1	5	нс
$t_w(\text{TOUT})$ Длительность импульса, TOUT	2Н-10		нс

¹⁾ Значения получены расчетным методом и не тестируются.

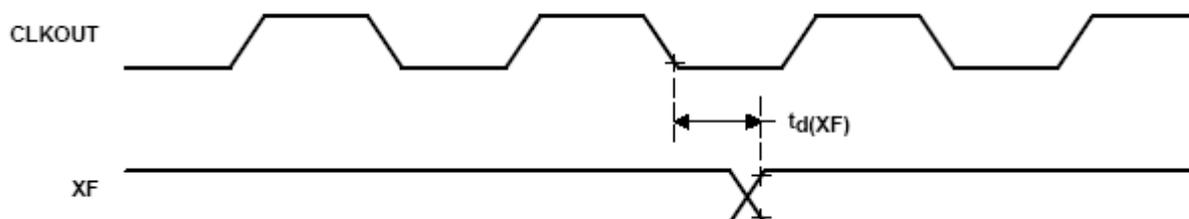


Рисунок 20 – Временные характеристики внешнего флага XF

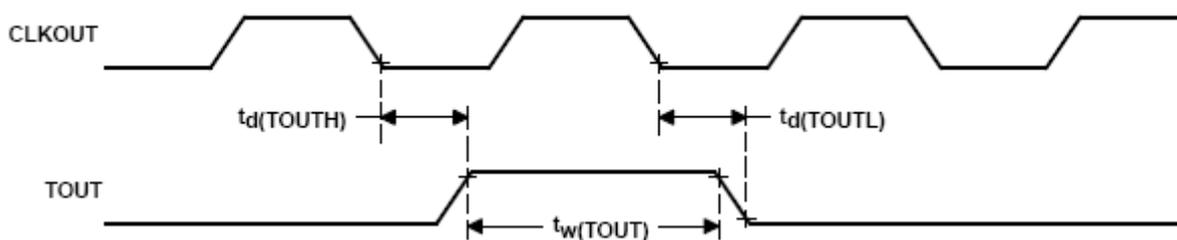


Рисунок 21 – Временные характеристики TOUT

35 Временные характеристики приема последовательного порта

В таблице 33 приведены характеристики переключения по рекомендованным эксплуатационным режимам. В таблице 32 приведены временные характеристики по рекомендованным эксплуатационным режимам для приема последовательного порта.

На рисунке 22 приведены временные характеристики приема последовательного порта.

Таблица 33 – Характеристики переключения по рекомендованным эксплуатационным режимам для приема последовательного порта [H = 0,5 t_c(CO)]

Условное обозначение и наименование параметра	Минимум	Максимум	Ед. изм.
t _h (FSR) Время удержания, FSR после падающего фронта CLKR	7		нс
t _h (DR) Время удержания, DR после падающего фронта CLKR	7		нс

Таблица 34 – Временные характеристики по рекомендованным эксплуатационным режимам для приема последовательного порта [H = 0,5 t_c(CO)]

Условное обозначение и наименование параметра	Минимум	Максимум	Ед. изм.
t _c (SCK) Время цикла, тактовый сигнал последовательного порта	6H	¹⁾	нс
t _f (SCK) Время падающего фронта, тактовый сигнал последовательного порта ²⁾		6	нс
t _r (SCK) Время возрастающего фронта, тактовый сигнал последовательного порта ²⁾		6	нс
t _w (SCK) Длительность импульса, тактовый сигнал последовательного порта низкий/высокий	3H		нс
t _{su} (FSR) Время установления, FSR перед падающим фронтом CLKR	7		нс
t _{su} (DR) Время установления, DR перед падающим фронтом CLKR	7		нс

¹⁾ Конструкция последовательного порта целиком статична, и поэтому он может работать с t_c(SCK), приближающимся к ∞. Это получено расчетным путем, но тестировалось на значительно более высокой частоте с целью уменьшить время тестирования.

²⁾ Значения получены расчетным методом и не тестируются.

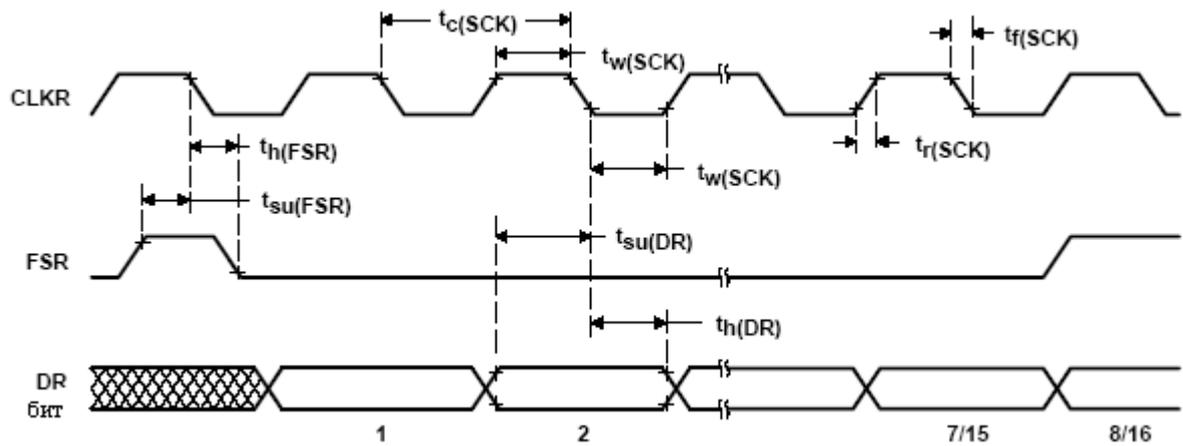


Рисунок 22 – Временные характеристики приема последовательного порта

36 Временные характеристики передачи последовательного порта

В таблице 35 приведены характеристики переключения по рекомендованным эксплуатационным режимам. В таблице 36 приведены временные характеристики по рекомендованным эксплуатационным режимам для передачи последовательного порта.

На рисунке 23 приведены временные характеристики передачи последовательного порта с внешним тактированием и кадровой синхронизацией.

Таблица 35 – Характеристики переключения по рекомендованным эксплуатационным режимам для передачи последовательного порта [$N = 0,5 t_{c(CO)}$]

Условное обозначение и наименование параметра	Минимум	Максимум	Ед. изм.
$t_{d(DX)}$ Время задержки, DX действительное после возрастающего фронта CLKX		25	нс
$t_{d(FSX)}$ Время задержки, FSX после возрастающего фронта CLKX		$2N - 8$	нс
$t_{dis(DX)}$ Время запрета, DX после возрастающего фронта CLKX ¹⁾		40	нс
¹⁾ Значения получены расчетным методом и не тестируются.			

Таблица 36 – Временные характеристики по рекомендованным эксплуатационным режимам для передачи последовательного порта [$N = 0,5 t_{c(CO)}$]

Условное обозначение и наименование параметра	Минимум	Максимум	Ед. изм.
$t_{c(SCK)}$ Время цикла, тактовый сигнал последовательного порта	6Н	¹⁾	нс
$t_{h(DX)}$ Время удержания, DX действительное после нарастающего фронта CLKX	-5		нс
$t_{h(FSX)}$ Время удержания, FSX после падающего фронта CLKX	7		нс
$t_{h(FSX)H}$ Время удержания, FSX после нарастающего фронта CLKX		$(2N - 8)$ ²⁾	нс

Условное обозначение и наименование параметра	Мин	Макс	Ед. изм.
$t_{f(SCK)}$ Время падающего фронта, тактовый сигнал последовательного порта ³⁾		6	нс
$t_{r(SCK)}$ Время нарастающего фронта, тактовый сигнал последовательного порта ³⁾		6	нс
$t_{w(SCK)}$ Длительность импульса, тактовый сигнал последовательного порта низкий/высокий	3Н		нс

Примечание – Комбинация внутренней синхронизации с внешним FSX и наоборот также допустима. Однако временные характеристики FSX для CLKX всегда определяются в зависимости от источника FSX и временные характеристики CLKX всегда зависят от источника CLKX. Определенно, отношения FSX к CLKX независимы от источника CLKX.

¹⁾ Конструкция последовательного порта целиком статична, и поэтому он может работать с $t_{c(SCK)}$, приближающимся к ∞ . Это получено расчетным путем, но тестировалось на значительно более высокой частоте с целью уменьшить время тестирования.

²⁾ Если импульс FSX не соответствует данной спецификации, то первый бит последовательной передачи не передается на DX до тех пор, пока не появится падающий фронт FSX. После того, как появился падающий фронт FSX, данные сдвигаются на DX. Прерывание по передаче генерируется, когда выполнены требования спецификации $t_{h(FSX)}$ и $t_{h(FSX)H}$.

³⁾ Значения получены расчетным методом и не тестируются.

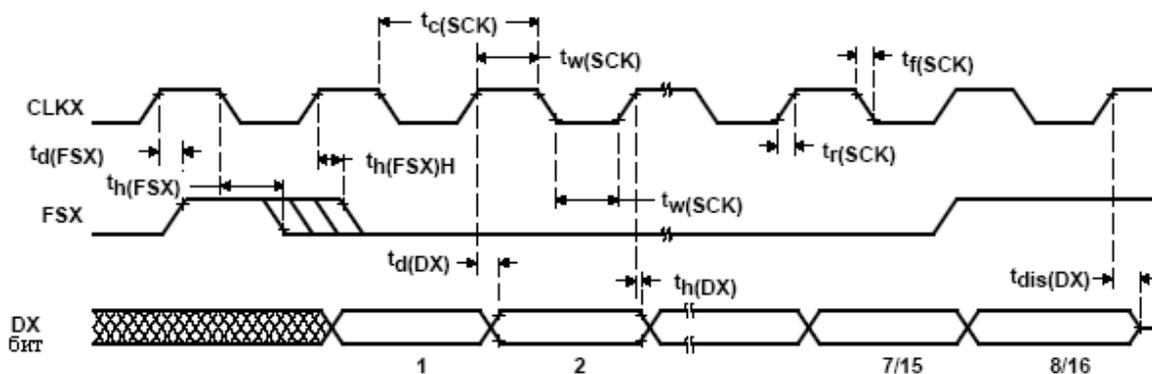


Рисунок 23 – Временные характеристики передачи последовательного порта с внешним тактированием и кадровой синхронизацией

В таблице 37 приведены характеристики переключения по рекомендованным эксплуатационным режимам для передачи последовательного порта с внутренней синхронизацией и кадром.

На рисунке 24 приведены временные характеристики передатчика последовательного порта с внутренним тактированием и кадровой синхронизацией.

Таблица 37 – Характеристики переключения по рекомендованным эксплуатационным режимам для передачи последовательного порта с внутренней синхронизацией и кадром [H = 0,5 t_{c(CO)}]

Условное обозначение и наименование параметра	Минимум	Типовое	Максимум	Ед. изм.
t _{c(SCK)} Время цикла, тактовый сигнал последовательного порта		8Н		нс
t _{d(FSX)} Время задержки, нарастающий фронт CLKX к FSX			15	нс
t _{d(DX)} Время задержки, нарастающий фронт CLKX к DX			15	нс
t _{dis(DX)} Время запрещения, нарастающий фронт CLKX к DX ¹⁾			20	нс
t _{h(DX)} Время удержания, действительное после нарастающего фронта CLKX	-5			нс
t _{f(SCK)} Длительность падающего фронта, тактовый сигнал последовательного порта		4		нс
t _{r(SCK)} Длительность нарастающего фронта, тактовый сигнал последовательного порта		4		нс
t _{w(SCK)} Длительность импульса, тактовый сигнал последовательного порта низкий/высокий	4Н – 8			нс
¹⁾ Значения получены расчетным методом и не тестируются.				

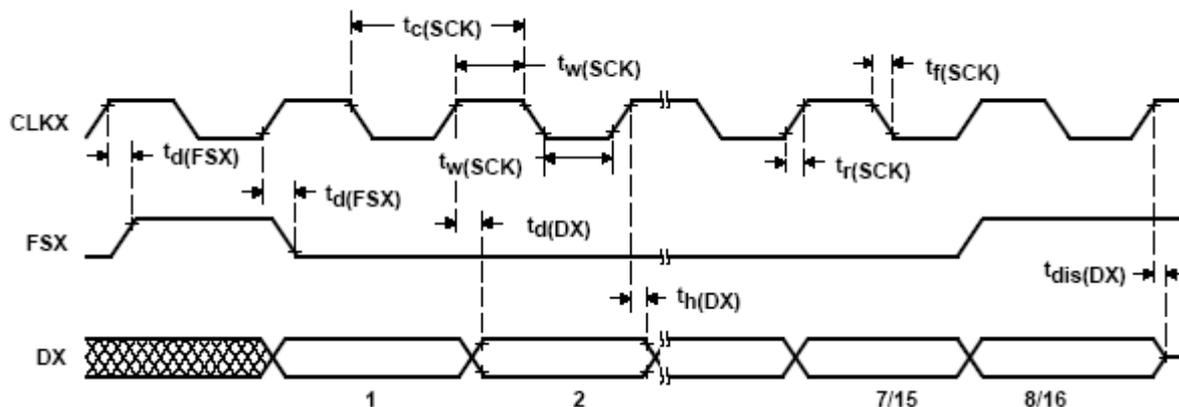


Рисунок 24 – Временные характеристики передатчика последовательного порта с внутренним тактированием и кадровой синхронизацией

37 Временные характеристики приема буферизованного последовательного порта

В таблице 38 приведены временные характеристики по рекомендованным эксплуатационным режимам для передачи буферизованного последовательного порта.

На рисунке 25 приведены временные характеристики приема буферизованного последовательного порта.

Таблица 38 – Временные характеристики по рекомендованным эксплуатационным режимам для передачи буферизованного последовательного порта [H = 0,5 t_{c(CO)}]

Условное обозначение и наименование параметра	Минимум	Максимум	Ед. изм.
t _{c(SCK)} Время цикла, тактовый сигнал последовательного порта	25	1)	нс
t _{f(SCK)} Длительность падающего фронта, тактовый сигнал последовательного порта ²⁾		4	нс
t _{r(SCK)} Длительность нарастающего фронта, тактовый сигнал последовательного порта ²⁾		4	нс
t _{w(SCK)} Длительность импульса, тактовый сигнал последовательного порта низкий/высокий ²⁾	8,5		нс
t _{su(BFSR)} Время установления, BFSR перед падающим фронтом (см. примечание)	2		нс
t _{h(BFSR)} Время удержания, BFSR после падающего фронта BCLKR (см. примечание)	10	(t _{c(SCK)} -2) ³⁾	нс
t _{su(BDR)} Время установления, BDR перед падающим фронтом BCLKR	0		нс
t _{h(BDR)} Время удержания, BDR после падающего фронта BCLKR	10		нс

Примечание – Временные характеристики для BCLKR и BFSR даются с битами полярности (BCLKP и BFSP), установленными в 0.

¹⁾ Конструкция последовательного порта целиком статична, и поэтому он может работать с t_{c(SCK)}, приближающимся к ∞. Это получено расчетным путем, но тестировалось на значительно более высокой частоте с целью уменьшить время тестирования.

²⁾ Значения получены расчетным методом и не тестируются.

³⁾ Первый бит читается, когда BFSR в низком уровне на такте BCLKR.

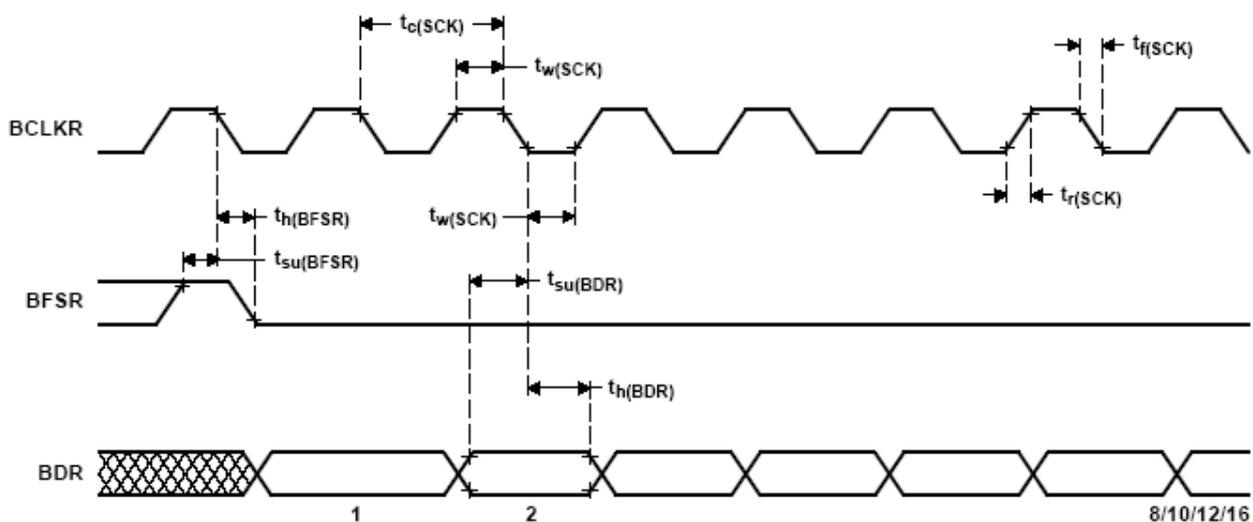


Рисунок 25 – Временные характеристики приема буферизованного последовательного порта

38 Временные характеристики передачи буферизованного последовательного порта с внешней кадровой синхронизацией

В таблице 39 приведены характеристики переключения по рекомендованным эксплуатационным режимам. В таблице 40 приведены временные характеристики по рекомендованным эксплуатационным режимам для передачи буферизованного последовательного порта. В таблице 41 приведены временные характеристики передачи буферизованного последовательного порта с внутренней кадровой синхронизацией и внутренним тактированием по рекомендованным эксплуатационным режимам.

На рисунке 26 приведены временные характеристики передатчика последовательного порта с внешним тактовым сигналом и внешней синхронизацией кадра. На рисунке 27 приведены временные характеристики передачи последовательного порта с внутренним тактовым сигналом и внутренней синхронизацией фреймов.

Таблица 39 – Характеристики переключения по рекомендованным эксплуатационным режимам для передачи буферизованного последовательного порта с $[H = 0,5 t_{c(CO)}]$

Условное обозначение и наименование параметра		Мини-мум	Макси-мум	Ед. изм.
$t_{d(BDX)}$	Время задержки, BDX действительное после нарастающего фронта BCLKX		18	нс
$t_{dis(BDX)}$	Время запрещения, BDX после нарастающего фронта BCLKX	4	6	нс
$t_{dis(BDX)pcm}$	Время запрещения, режим PCM, BDX после нарастающего фронта BCLKX		6	нс
$t_{en(BDX)pcm}$	Время разрешения, режим PCM, BDX после нарастающего фронта BCLKX	8		нс
$t_h(BDX)$	Время удержания, BDX действительное после нарастающего фронта BCLKX	4		нс

Таблица 40 – Временные характеристики по рекомендованным эксплуатационным режимам для передачи буферизованного последовательного порта с $[H = 0,5 t_{c(CO)}]$

Условное обозначение и наименование параметра		Мини-мум	Макси-мум	Ед. изм.
$t_{c(SCK)}$	Время цикла, тактовый сигнал последовательного порта	25	1)	нс
$t_f(SCK)$	Длительность падающего фронта, тактовый сигнал последовательного порта ²⁾		4	нс
$t_r(SCK)$	Длительность нарастающего фронта, тактовый сигнал последовательного порта ²⁾		4	нс
$t_w(SCK)$	Длительность импульса, тактовый сигнал последовательного порта низкий/высокий	8,5		нс
$t_h(BFSX)$	Время удержания, BFSX после падающего фронта CLKX (см. примечания)	6	$(t_{c(SCK)} - 6)^{3)}$	нс
$t_{su}(BFSX)$	Время установления, FSX перед падающим фронтам CLKX (см. примечания)	6		нс
<p>П р и м е ч а н и я</p> <p>1 Комбинация внутреннего тактового генератора с внешним BFSX и наоборот также допустима. Однако временные характеристики BFSX к BCLKX всегда определяются в зависимости от источника BFSX и временные характеристики BCLKX всегда зависят от источника BCLKX, отношение BFSX к BCLKX независимо от источника BCLKX.</p>				

2 Временные характеристики для BCLKR и BFSR даются с битами полярности (BCLKP и BFSP), установленными на 0.

1) Конструкция последовательного порта целиком статична, и поэтому он может работать с $t_{c(SCK)}$, приближающимся к ∞ . Это получено расчетным путем, но тестировалось на значительно более высокой частоте с целью уменьшить время тестирования.

2) Значения получены расчетным методом и не тестируются.

3) Если импульс BFSX не соответствует данной спецификации, то первый бит последовательной передачи направляется на BDX до тех пор, пока не появится падающий фронт BFSX. После того, как появился падающий фронт BFSX, данные сдвигаются на BDX.

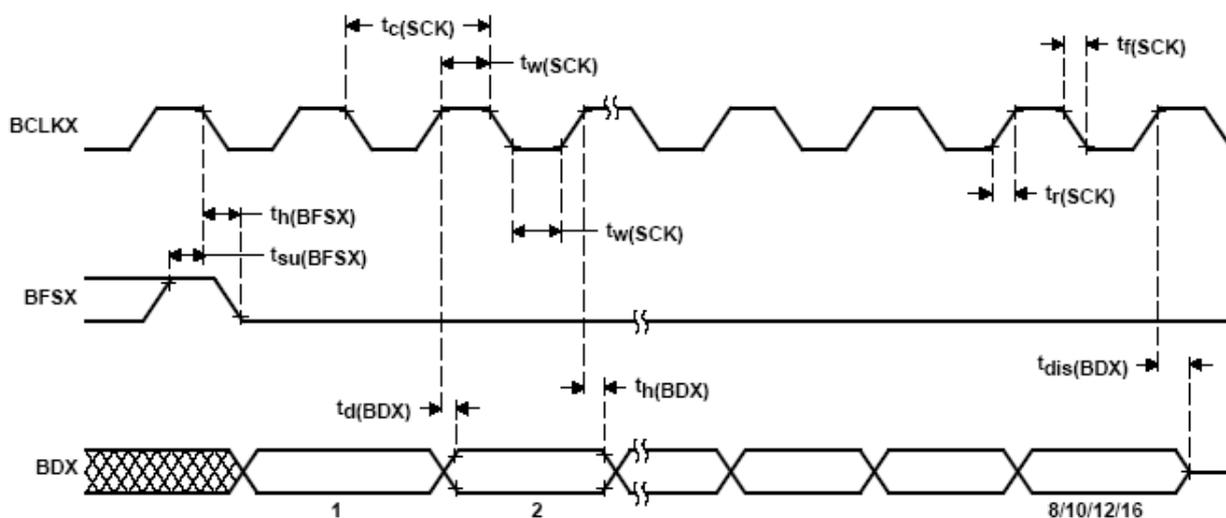


Рисунок 26 – Временные характеристики передатчика последовательного порта с внешним тактовым сигналом и внешней синхронизацией кадра

Таблица 41 – Временные характеристики передачи буферизованного последовательного порта с внутренней кадровой синхронизацией и внутренним тактированием по рекомендованным эксплуатационным режимам [$H = 0,5 t_{c(CO)}$]

Условное обозначение и наименование параметра	Минимум	Максимум	Ед. изм.
$t_{c(SCK)}$ Время цикла, тактовый сигнал последовательного порта	2H	62H	нс
$t_{d(BFSX)}$ Время задержки, BFSX после нарастающего фронта BCLKX (см. примечания)		10	нс
$t_{d(BDX)}$ Время задержки, BDX действительное после нарастающего фронта BCLKX		5	нс
$t_{dis(BDX)}$ Время запрещения, BDX после нарастающего фронта BCLKX ¹⁾	0	5	нс
$t_{dis(BDX)_{pcm}}$ Время запрещения, режим PCM, BDX после нарастающего фронта BCLKX ¹⁾		5	нс
$t_{en(BDX)_{pcm}}$ Время разрешения, режим PCM, BDX после нарастающего фронта BCLKX ¹⁾	7		нс
$t_h(BDX)$ Время запрещения, BDX действительное после нарастающего фронта BCLKX	0		нс
$t_f(SCK)$ Время падающего фронта, тактовый сигнал BSP		4 ²⁾	нс
$t_r(SCK)$ Время нарастающего фронта, тактовый сигнал последовательного порта ²⁾		4	нс
$t_w(SCK)$ Длительность импульса, низкое/высокое состояние тактового сигнала BSP ²⁾	H-4		нс

Примечания

1 Комбинация внутренней синхронизации с внешним BFSX и наоборот также допустима. Однако временные характеристики BFSX к BCLKX всегда определяются в зависимости от источника BFSX и временные характеристики BCLKX всегда зависят от источника BCLKX, отношение BFSX к BCLKX независимы от источника BCLKX.

2 Временные характеристики для BCLKR и BFSR даются с битами полярности (BCLKP, BFSP), установленными в 0.

¹⁾ Значения получены расчетным методом и не тестируются.

²⁾ Значение гарантировано, но не тестируется.

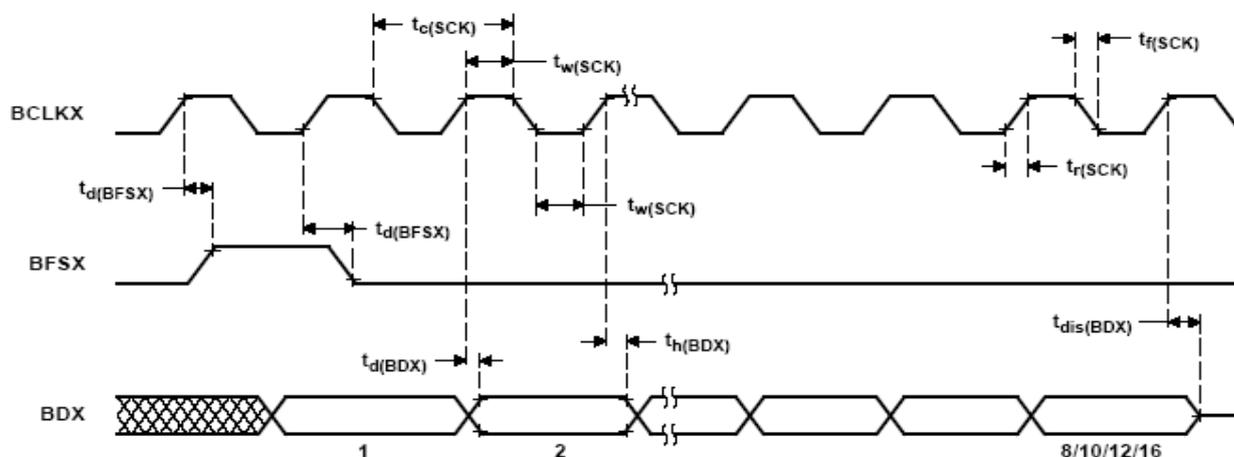


Рисунок 27 – Временные характеристики передачи последовательного порта с внутренним тактовым сигналом и внутренней синхронизацией фреймов

39 Временные характеристики приема последовательного порта в TDM режиме

В таблице 42 приведены временные характеристики приема последовательного порта в TDM режиме по рекомендованным эксплуатационным режимам.

На рисунке 28 приведены временные характеристики приема последовательного порта в TDM режиме.

Таблица 42 – Временные характеристики приема последовательного порта в TDM режиме по рекомендованным эксплуатационным режимам с $[H = 0,5 t_{c(CO)}]$

Условное обозначение и наименование параметра	Минимум	Максимум ¹⁾	Ед. изм.
$t_{c(SCK)}$ Время цикла, тактовый сигнал последовательного порта	8Н	2)	нс
$t_{f(SCK)}$ Время падающего фронта, тактовый сигнал последовательного порта		6	нс
$t_{r(SCK)}$ Время нарастающего фронта, тактовый сигнал последовательного порта		6	нс
$t_{w(SCK)}$ Длительность импульса, низкое/высокое состояние тактового сигнала последовательного порта	4Н		нс
$t_{su(TD-TCL)}$ Время установления, TDAT/TADD перед падающим фронтом TCLK	– (3Н–9)		нс
$t_{h(TCH-TD)}$ Время удержания, TDAT/TADD после нарастающего фронта TCLK, $t_{w(SCKL)} < 5Н$	0		нс
$t_{h(TCL-TD)}$ Время удержания, TDAT/TADD после падающего фронта TCLK, $t_{w(SCKL)} < 5Н$	5Н+5		
$t_{su(TF-TCH)}$ Время установления, TFRM перед нарастающим фронтом TCLK ³⁾	10		нс
$t_{h(TCH-TF)}$ Время удержания, TFRM после нарастающего фронта TCLK ³⁾	10		нс

¹⁾ Значения получены расчетным методом и не тестируются.

²⁾ Конструкция последовательного порта целиком статична, и поэтому он может работать с $t_{c(SCK)}$, приближающимся к ∞ . Это получено расчетным путем, но тестировалось на значительно более высокой частоте с целью уменьшить время тестирования.

³⁾ Временные характеристики и диаграмма TFRM показаны на рисунке 29 для внешнего TFRM. TFRM может конфигурироваться и как внутренний. В этом случае временные характеристики иллюстрируются на рисунке 30.

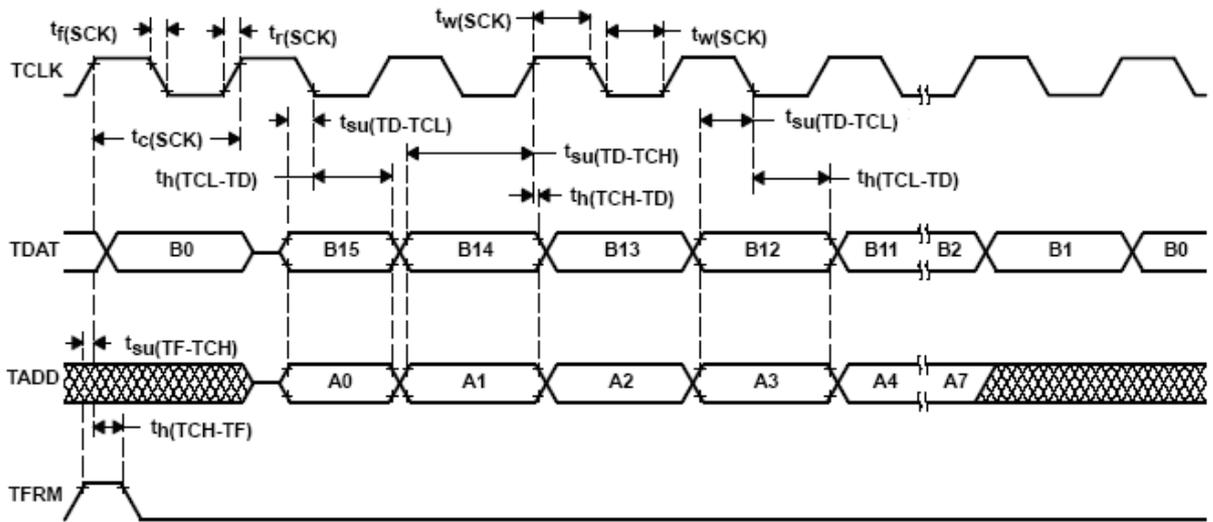


Рисунок 28 – Временные характеристики приема последовательного порта в TDM режиме

40 Временные характеристики передачи последовательного порта в TDM режиме

В таблице 43 приведены характеристики переключения передачи по рекомендованным эксплуатационным режимам. В таблице 44 приведены временные характеристики передатчика последовательного порта в TDM режиме по рекомендованным эксплуатационным режимам.

Таблица 43 – Характеристики переключения передачи последовательного порта в TDM режиме по рекомендованным эксплуатационным режимам [$H = 0,5 t_{c(CO)}$]

Условное обозначение и наименование параметра		Минимум	Максимум	Ед. изм.
$t_{h(TCH-TDV)}$	Время удержания, TDATA/TADD действительное после нарастающего фронта TCLK, TCLK внешний	3 ¹⁾		нс
$t_{h(TCH-TDV)}$	Время удержания, TDATA/TADD действительное после нарастающего фронта TCLK, TCLK внутренний	1 ¹⁾		нс
$t_{d(TCH-TFV)}$	Время задержки, TFRM действительное после нарастающего фронта TCLK, TCLK внешний ²⁾	H	3H + 22	нс
	Время задержки, TFRM действительное после нарастающего фронта TCLK, TCLK внутренний ²⁾	H	3H + 12	нс
$t_{d(TC-TDV)}$	Время задержки, TCLK действительное после нарастающего фронта TDATA/TADD, TCLK внешний	18		нс
	Время задержки, TCLK действительное после нарастающего фронта TDATA/TADD, TCLK внутренний	18		нс

¹⁾ Значения получены расчетным методом и не тестируются.
²⁾ Временные характеристики и форма волны TFRM показаны на рисунке 28 для внешнего TFRM. TFRM может конфигурироваться и как внутренний. В этом случае временные характеристики иллюстрируются на рисунке 29.

Таблица 44 – Временные характеристики передатчика последовательного порта в TDM режиме по рекомендованным эксплуатационным режимам [$N = 0,5 t_{c(CO)}$]

Условное обозначение и наименование параметра	Минимум ¹⁾	Максимум	Ед. изм.
$t_{c(SCK)}$ Время цикла, тактовый сигнал последовательного порта	8Н	2)	нс
$t_{f(SCK)}$ Время падающего фронта, тактовый сигнал последовательного порта		6 ³⁾	нс
$t_{r(SCK)}$ Время нарастающего фронта, тактовый сигнал последовательного порта		6 ³⁾	нс
$t_{w(SCK)}$ Длительность импульса, низкое/высокое состояние тактового сигнала последовательного порта	4Н		нс

1) Типичное значение, когда SCK генерируется внутренним источником.
 2) Конструкция последовательного порта целиком статична, и поэтому он может работать с $t_{c(SCK)}$, приближающимся к ∞ . Это получено расчетным путем, но тестировалось на значительно более высокой частоте с целью уменьшить время тестирования.
 3) Значения гарантировано, но не тестируется.

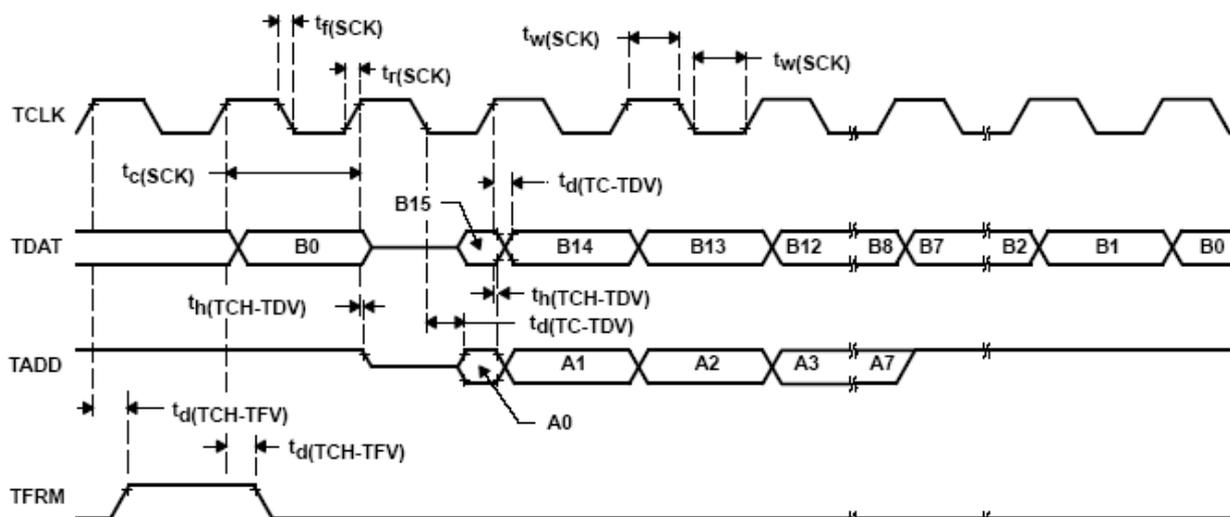


Рисунок 29 – Временные характеристики передачи последовательного порта в TDM режиме

41 Временные характеристики интерфейса host-порта

В таблице 45 приведены характеристики переключения по рекомендованным эксплуатационным режимам. В таблице 46 приведены временные характеристики интерфейса host-порта по рекомендованным эксплуатационным режимам.

Таблица 45 – Характеристики переключения интерфейса host-порта по рекомендованным эксплуатационным режимам с $[H = 0,5 t_{c(CO)}]$

Условное обозначение и наименование параметра	Минимум	Максимум	Ед. изм.
$t_{d(DSL-HDV)}$ Время задержки, DS# низкий к HD	5 ¹⁾	12 ²⁾	нс
$t_{d(HEL-HDV1)}$ Время задержки от падающего фронта HDS# к HD, разрешенное для первого байта, не являющегося результатом чтения: max 20 нс ³⁾ Случай 1: режим SAM, если $t_{w(DSH)} < 7H$ Случай 2: режим SAM, если $t_{w(DSH)} > 7H$ Случай 3: режим HOM, если $t_{w(DSH)} < 20$ нс Случай 4: режим HOM, если $t_{w(DSH)} > 20$ нс		$7H+20-t_{w(DSH)}$ 20 ²⁾ $40-t_{w(DSH)}$ 20 ²⁾	нс
$t_{d(DSL-HDV2)}$ Время задержки от низкого DS# к действительному HD, второй байт данных	5	20	нс
$t_{d(DSH-HYH)}$ Время задержки от высокого DS# до высокого HRDY		$(10H+10)^{2)}$	нс
$t_{su(HDV-HYH)}$ Время установления, HD действительное перед нарастающим фронтом HRDY	$(3H-10)^{2)}$		нс
$t_h(DSH-HDV)$ Время удержания, HD действительное после нарастающего фронта DS#	0	12	нс
$t_{d(COH-HYH)}$ Время задержки от нарастающего фронта CLKOUT до высокого HRDY		10 ²⁾	нс
$t_{d(DSH-HYL)}$ Время задержки от высокого HDS# или HAS# до низкого HRDY		12 ²⁾	нс
$t_{d(COH-HTX)}$ Время задержки от нарастающего фронта CLKOUT до изменения HINT#		15	нс
<p>Примечания</p> <p>1 SAM-режим распределенного доступа, HOM-режим только для host-порта. HDS# относится к HDS1# или HDS2#. DS# относится к логическому «ИЛИ» HCS# и HDS#.</p> <p>2 В режиме доступа чтения host-порта для HPI, время установления HD перед нарастающим фронтом DS# зависит от формы сигнала от host-порта и не может быть здесь определено.</p> <p>1) Значения получены расчетным методом и не тестируются.</p> <p>2) Значения гарантированы, но не тестируются.</p> <p>3) Временные характеристики HOM-режима применяются для доступа чтения HPIС или HPIA, запись в BOB и сброс DSPINT или HINT# в 0 – в SAM-режиме. HRDY не переходит в низкий уровень в этих режимах доступа.</p>			

Таблица 46 – Временные характеристики интерфейса host-порта по рекомендованным эксплуатационным режимам с $[H = 0,5 t_{c(CO)}]$

Условное обозначение и наименование параметра		Мини-мум	Макси-мум	Ед. изм.
$t_{su(HBV-DSL)}$	Время установления, HAD/HBIL действительное перед падающим фронтом DS#	10		нс
$t_h(DSL-HBV)$	Время удержания, HAD/HBIL действительное после падающего фронта DS#	10		нс
$t_{su(HSL-DSL)}$	Время установления, низкий HAS# перед падающим фронтом DS#	12		нс
$t_w(DSL)$	Длительность импульса, низкий DS#	30 ¹⁾		нс
$t_w(DSH)$	Длительность импульса, низкий DS#	10		нс
$t_{c(DSH-DSH)}$ ¹⁾	Время цикла от нарастающего фронта DS# до следующего нарастающего фронта DS#: Случай 1: когда используется HRDY (см. рисунок 33). Случай 2a: Запись в DSPINT или HINT# при активном SAM и HOM без использования HRDY (см. рисунки 30 и 31). Случай 2b: Когда не используется HRDY для других доступов HOM	50	10H ²⁾	нс
$t_{su(HDV-DSH)}$	Время установления, HD действительное перед нарастающим фронтом DS#	12		нс
$t_h(DSH-HDV)$	Время удержания, HD действительное после нарастающего фронта DS#	12		нс
<p>¹⁾ Host-порт, не использующий HRDY, должен удовлетворять требованию 10H на все временные параметры, если не используется программное подтверждение связи для изменения скорости доступа в режиме HPI.</p> <p>²⁾ Значения гарантированы, но не тестируются.</p>				

На рисунке 30 приведены временные характеристики чтения и записи без использования HRDY или HAS#, на рисунке 31 – временные характеристики чтения и записи с использованием HAS# без HRDY, на рисунке 32 – временные характеристики чтения и записи с использованием HRDY, на рисунке 33 – сигнал HRDY, когда HCS# всегда в низком уровне.

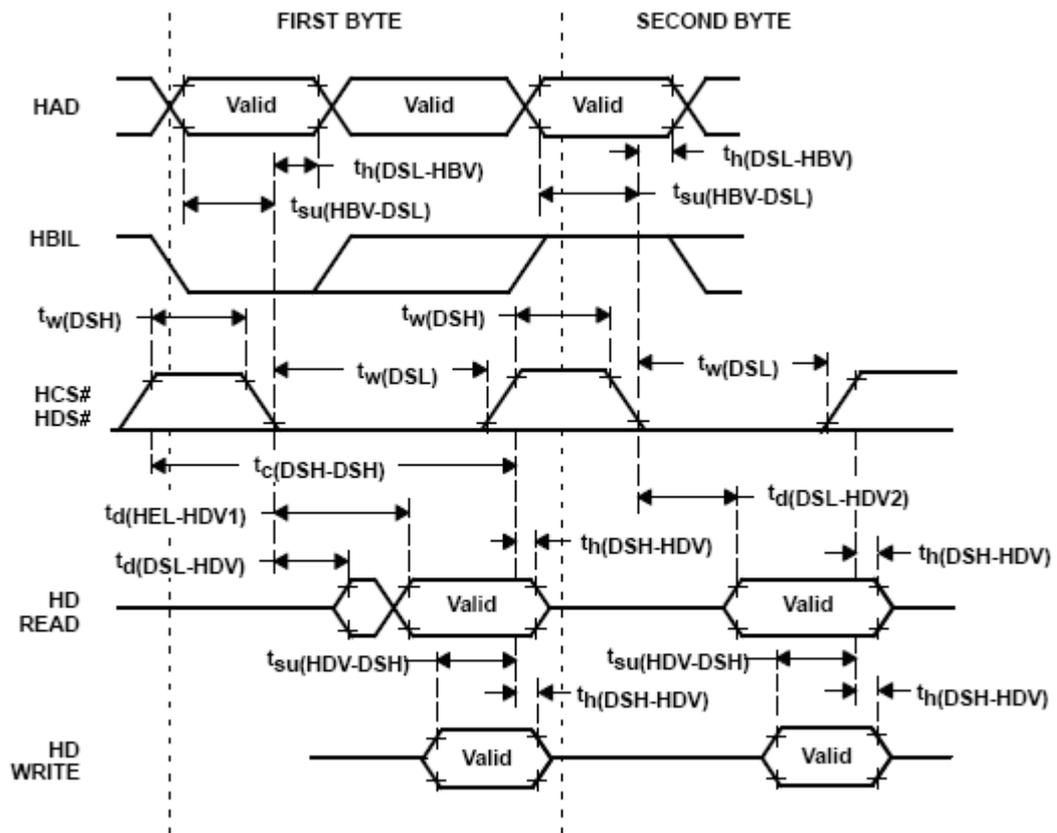


Рисунок 30 – Временные характеристики чтения и записи без использования HRDY или HAS#

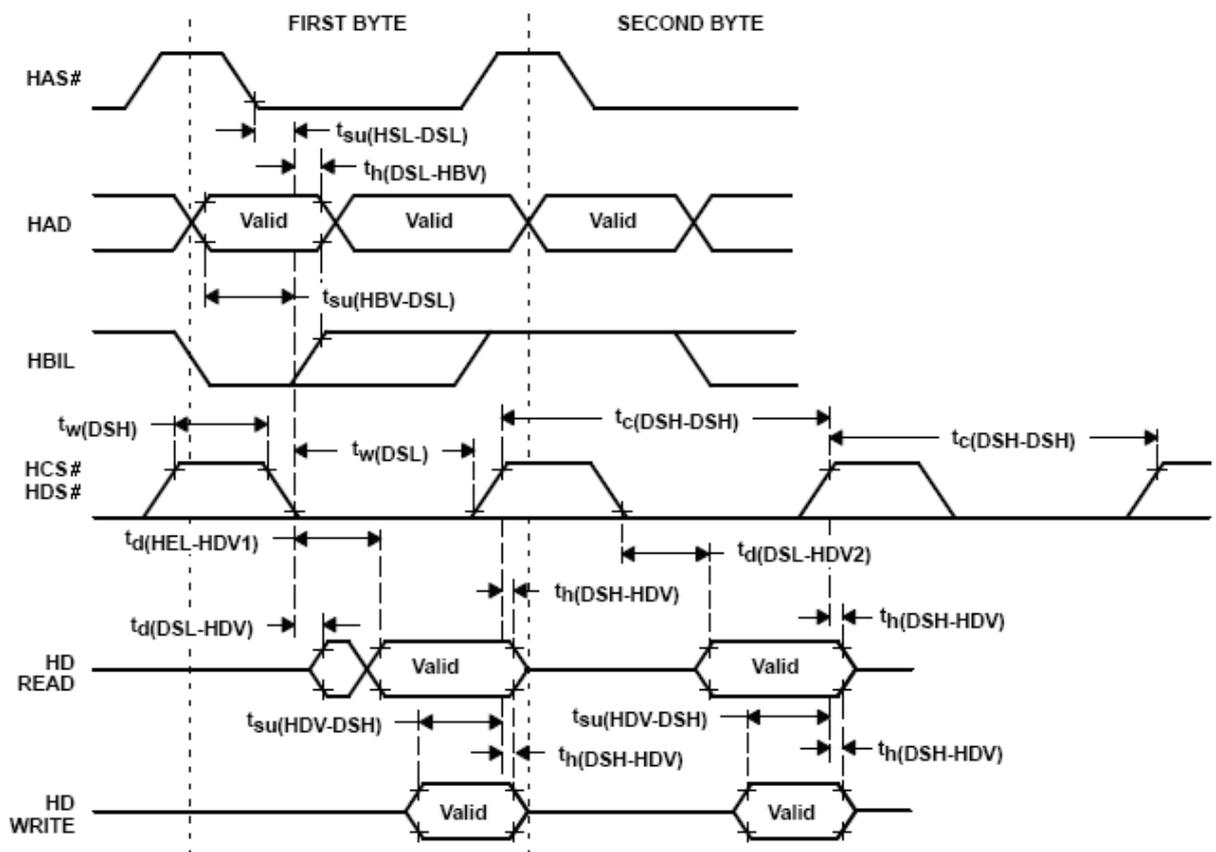


Рисунок 31 – Временные характеристики чтения и записи с использованием HAS# без HRDY

42 Проработка вопросов отладки, отладочные средства для ИС

Разрабатываемые микропроцессоры в соответствии с техническим заданием являются полным функциональным аналогом высокопроизводительного 16-разрядного микропроцессора TMS320VC54x, поэтому для него применимы аппаратно-программные средства фирмы Texas Instrument и других производителей, разработанные для аналога.

Для отладки систем на основе микроконтроллера TMS320VC54x разработана и поставляется обширная номенклатура программных и аппаратных средств, в том числе:

- компиляторы C, C++ с интегрированной средой под Windows-XX;
- ассемблеры, дизассемблеры;
- операционные системы реального времени;
- отладчики-симуляторы;
- внутрисхемные эмуляторы;
- наборы Starter Kit's.

42.1 Программные средства поддержки разработок, среда разработчика Code Composer Studio

Code Composer Studio – интегрированная среда разработчика, имеющая удобный графический интерфейс в сочетании с мощными средствами конфигурирования и отладки, ориентированными на ЦОС приложения. При ее разработке было достигнуто оптимальное сочетание визуальных средств конфигурирования и разработки с мощностью и возможностями продукта.

Система ориентирована на создание максимального удобства для разработчика. Ее применение позволяет в несколько раз сократить сроки разработки и отладки ЦОС систем.

Являясь полностью функционально законченным продуктом Code Composer Studio позволяет не выходя из отладочной среды редактировать, компилировать и отлаживать программы.

Code Composer Studio имеет комфортный графический оконный интерфейс, сделанный аналогично интерфейсу MS VisualC. Возможно открытие любого количества окон просмотра кода и дизассемблирования, одновременная отладка на C и ассемблере, одновременная работа с несколькими процессорами.

Code Composer Studio имеет гибкую систему настроек, а также C-подобный внутренний язык сценариев (JTM), который позволяет настроить интерфейс практически как угодно, вплоть до добавления пунктов в меню. Такая возможность написания собственных сценариев и встраивание их в интерфейс позволяет сделать рабочее место максимально удобным.

Мощные возможности анализа и отладки систем в реальном времени дают возможность отлаживать и анализировать поведение системы без остановки процессора.

Уникальные возможности визуализации данных и состояния системы позволяют быстрее и результативнее оценивать состояние устройства.

Для специфических приложений, таких как телекоммуникации, задачи управления и обработка изображений особенно важны возможности Code Composer Studio по графической визуализации данных в реальном времени.

Работа в Code Composer Studio, использующая новые технологии TI, такие как Real Time Data Exchange и DSP BIOS, позволяет существенно уменьшить время разработки и освобождает разработчика от решения текущих проблем, позволяя сосредоточиться непосредственно на разработке приложений.

Основные новшества Code Composer Studio включают в себя:

- Непрерывный обмен между ЦСП и отладчиком в реальном времени.
- Анализ и отладка в реальном времени.
- Визуализацию состояния системы в реальном времени.

- Расширенную визуализацию, включающую быстрое преобразование Фурье, временной анализ, множество видов стандартных диаграмм и многое другое.
- Возможность подключения нескольких различных отладочных систем.
- Возможность работы с несколькими различными процессорами на одном JTAG канале.
- Сетевой менеджмент проектов, позволяющий координировать совместную разработку проектов группой.
- Готовность к отладке с использованием ОС реального времени.

42.2 Аппаратные средства поддержки разработок

Для аппаратной поддержки разработок на основе микропроцессоров 1867BM8T предлагается широкий спектр средств, как фирмы Texas Instruments, так и других фирм, которые можно классифицировать как по назначению, так и по стоимости внутри каждого класса. Можно выделить следующие классы аппаратных средств по их назначению:

- стартовые наборы разработчика (Starter Kits);
- внутрисхемные эмуляторы (In-Circuit Emulators);
- специализированные наборы разработчика.

Некоторые аппаратные средства являются универсальными и одновременно могут быть отнесены к нескольким классам, например к стартовым наборам разработчика и внутрисхемным программаторам.

Внутрисхемный эмулятор SDSP-510 с интерфейсом JTAG 3/5 В предназначен для отладки аппаратного и программного обеспечения процессоров фирмы Texas Instruments серий C2xx/C5x/C54x.

Внутрисхемный эмулятор состоит из платы, устанавливаемой в слот ISA и кабеля для подключения к отлаживаемому устройству.

Отлаживаемый процессор и эмулятор соединяются по пятипроводному последовательному интерфейсу JTAG через специальные выделенные на процессоре выводы. Такое подключение дает возможность отлаживать устройство в той конфигурации и на том процессоре, с которым оно будет работать. Это снимает как вопросы быстродействия эмулятора, так и вопросы изменения электрических параметров при подключении эмулятора.

Подключение внутрисхемного эмулятора полностью прозрачно для исполняемой программы и не оказывает на ее выполнение никакого влияния. При этом программа исполняется на полной скорости процессора без каких-либо задержек и ограничений по производительности.

Внутрисхемный эмулятор позволяет:

- производить загрузку команд программы и данных как в ОЗУ процессора, так и во внешнее ОЗУ;
- устанавливать любое количество точек останова;
- производить контроль и модификацию содержимого памяти, регистров процессора и регистров периферийных устройств;
- проводить пошаговое выполнение программы;
- измерять время выполнения программы или ее частей.

К одному внутрисхемному эмулятору SDSP-510 одновременно может подключаться несколько одновременно отлаживаемых процессоров.

Программное обеспечение не входит в состав внутрисхемного эмулятора и должно приобретаться отдельно для каждого из процессоров.

43 Указания по применению и эксплуатации

1 Микросхемы должны использоваться в соответствии с указаниями по применению и эксплуатации микросхем по ОСТ В 11 0998-99 с дополнениями и уточнениями, приведенными в настоящем разделе.

2 Эксплуатация микросхемы производится в соответствии с КФДЛ.431299.026, КФДЛ.431299.026.1, КФДЛ.431299.026.2, в которых приведено изложение принципа работы, архитектура и система команд.

3 При монтаже микросхемы все выводы GNDC, GNDOB, GNDIB, а также входы, постоянно находящиеся при эксплуатации в состоянии низкого уровня (TRST, CLKMD1, CLKMD2 и т. п.), подключить к общей шине. На все выводы U_{VDDC} (U_{CC2}) относительно корпуса подключить безкорпусные емкости типа К-16 величиной 0,1 мкФ. Входы/выходы BCLKX, TCLKX, TFSX/TFRM подключить через соответствующий резистор нагрузки 2,2...10 кОм к шине питания ядра. При эксплуатации входы и входы/выходы микросхемы должны быть подключены к выводам обрамляющих микросхем. Не используемые входы и входы/выходы микросхемы, с учетом выше изложенного, рекомендуется подключить через резисторы подпитки 10 кОм к шине питания ядра, кроме входов TMS, TCK, TDI, имеющих внутрисхемную подпитку. Не используемые выходы могут быть свободными.

4 Подача входных напряжений и сигналов синхронизации, на микросхему разрешается после достижения номинального напряжения U_{VDDC} (U_{CC2}) в соответствии с системой команд и временными диаграммами, приведенными в КФДЛ.431299.026ТО, КФДЛ.431299.026.1ТО и КФДЛ.431299.026.2ТО.

Между напряжениями питания должны сохраняться соотношения:

$$|U_{CC1} - U_{CC2}| \leq 0,3 \text{ В}, |U_{CC2} - U_{CC3}| \leq 0,3 \text{ В} \text{ и } |U_{CC1} - U_{CC3}| \leq 0,3 \text{ В}.$$

Примечание – Напряжения источников питания ядра U_{CC2} (U_{VDDC}), буферов ввода-вывода U_{CC1} и U_{CC3} имеют одинаковые значения на всех тестах и для сокращения записи обозначены как U_{CC} , где $U_{CC} = U_{CC1} = U_{CC2} = U_{CC3}$.

44 Типовые характеристики электрических параметров

Выбор состава отбраковочных испытаний и методов осуществлялся на основе анализа технического задания на разработку, особенностей конструкции и технологии ИС и рекомендаций регламентирующих документов.

Все отбраковочные технологические испытания микросхем, включая температурное циклирование в диапазоне температур от минус 60 до плюс 150 °С, испытание на воздействие линейного ускорения, электротренировка, проверка динамических параметров и функциональный контроль при нормальных условиях, а также в диапазоне температур соответствуют базовому технологическому маршруту 7622964.10200.00229 и требованиям ОСТ В 11 0998-99 «Микросхемы интегральные. Общие технические условия».

Ниже приведены результаты экспериментальной работы по определению типовых характеристик электрических параметров, проведенной по пункту 3.2.6 технического задания. Работа проведена в соответствии с рекомендациями РМ 11 070.071-81.

В КФДЛ.431299.026ТО приведены типовые характеристики электрических параметров ИС 1867ВМ8Т на рисунках 34 – 50:

Рисунок 34 – Зависимость выходного напряжения низкого уровня на выводах D15-D0 и A15-A0 от напряжения питания при $I_{OL} = 2 \text{ мА}$

Рисунок 35 – Зависимость выходного напряжения низкого уровня на выводе CLKOUT от напряжения питания при $I_{OL} = 2 \text{ мА}$.

Рисунок 36 – Зависимость выходного напряжения низкого уровня на выводах D15-D0 и A15-A0 от выходного тока низкого уровня при $U_{CC} = 3,0 \text{ В}$.

Рисунок 37 – Зависимость выходного напряжения низкого уровня на выводе CLKOUT от выходного тока низкого уровня при $U_{CC} = 3,0 \text{ В}$.

Рисунок 38 – Зависимость выходного напряжения высокого уровня на выводах D15-D0 и A15-A0 от напряжения питания при $I_{OH} = -0,3$ мА.

Рисунок 39 – Зависимость выходного напряжения высокого уровня на выводе CLKOUT от напряжения питания при $I_{OH} = -0,3$ мА.

Рисунок 40 – Зависимость выходного напряжения высокого уровня на выводах D15-D0 и A15-A0 от выходного тока высокого уровня при $U_{CC} = 3,0$ В.

Рисунок 41 – Зависимость выходного напряжения высокого уровня на выводе CLKOUT от выходного тока высокого уровня при $U_{CC} = 3,0$ В.

Рисунок 42 – Зависимость входного тока на входе X2/CLKIN от входного напряжения при $U_{CC} = 3,6$ В.

Рисунок 43 – Зависимость входного тока на входе RESET# от входного напряжения при $U_{CC} = 3,6$ В.

Рисунок 44 – Зависимость входного тока на входе READY от входного напряжения при $U_{CC} = 3,6$ В.

Рисунок 45 – Зависимость динамического тока потребления буферов ввода-вывода от напряжения питания при $f_{Cl} = 40$ МГц.

Рисунок 46 – Зависимость динамического тока потребления ядра от напряжения питания источника при $f_{Cl} = 40$ МГц.

Рисунок 47 – Зависимость динамического тока потребления буферов ввода-вывода от напряжения питания источника при $f_{Cl} = 40$ МГц.

Рисунок 48 – Зависимость динамического тока потребления буферов ввода-вывода от тактовой частоты при $U_{CC} = 3,6$ В.

Рисунок 49 – Зависимость динамического тока потребления ядра от тактовой частоты при $U_{CC} = 3,6$ В.

Рисунок 50 – Зависимость динамического тока потребления буферов ввода-вывода от тактовой частоты при $U_{CC} = 3,6$ В.

Полученные типовые зависимости электрических параметров соответствуют требованиям технического задания и могут быть использованы для оценки технологических запасов в производстве и применении в изделиях ВТ, а также при разработке проектов справочного листа и технических условий.

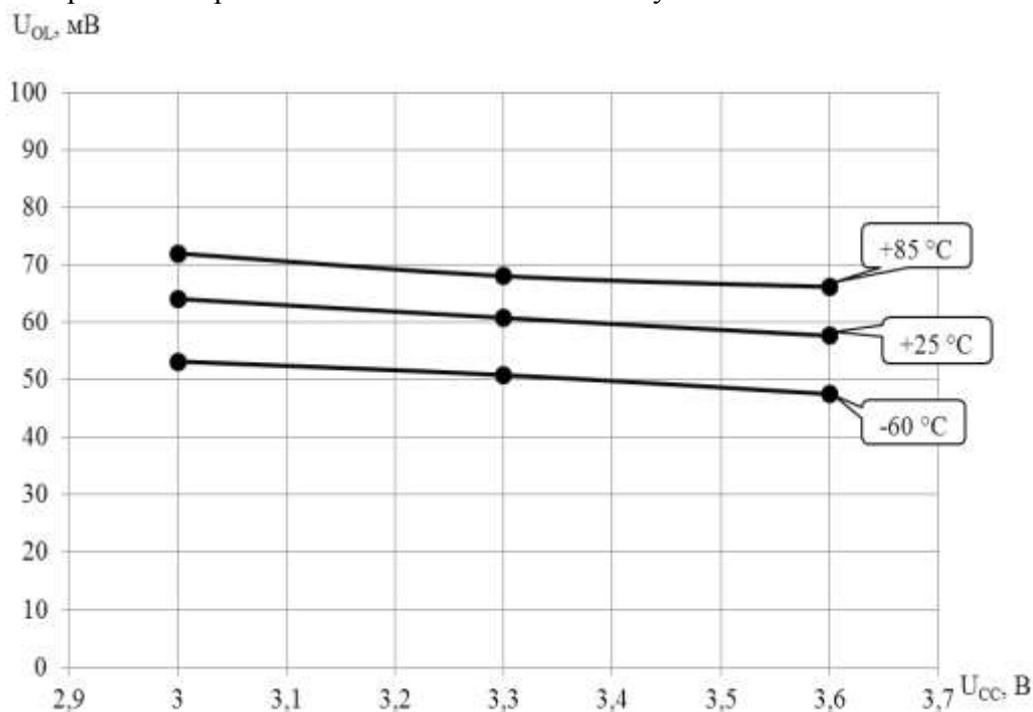


Рисунок 34 – Зависимость выходного напряжения низкого уровня на выводах D15-D0 и A15-A0 от напряжения питания при $I_{OL} = 2$ мА

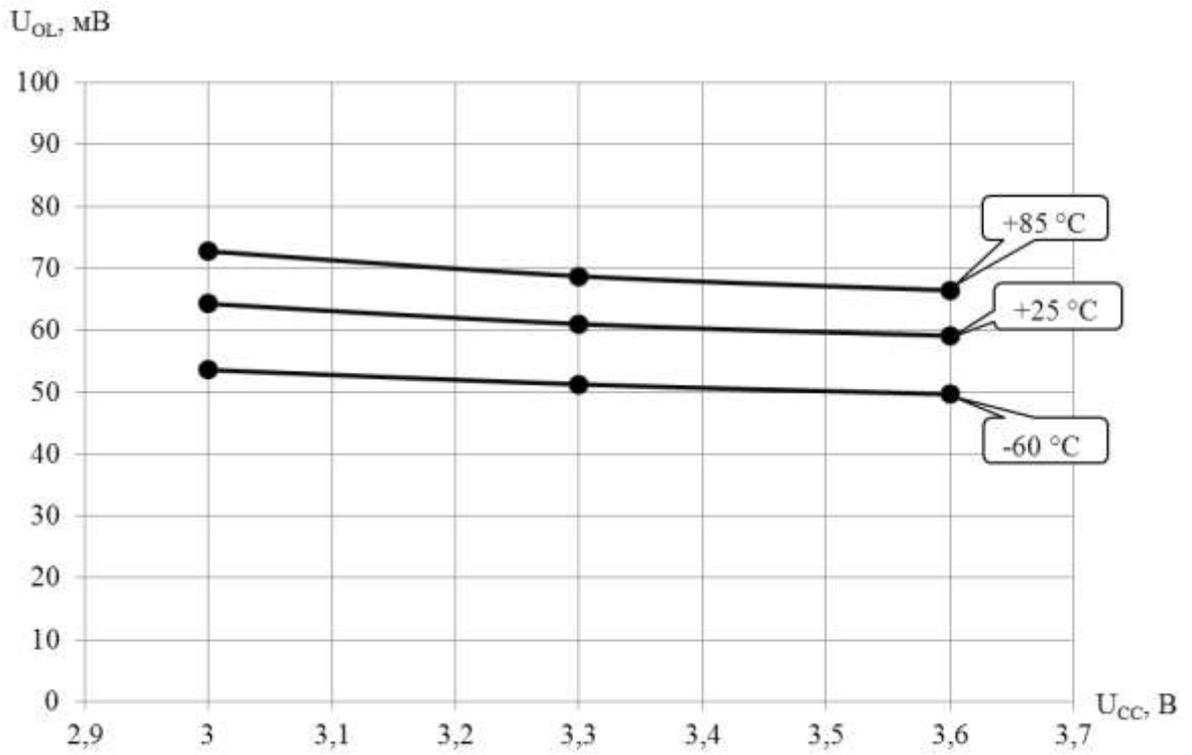


Рисунок 35 – Зависимость выходного напряжения низкого уровня на выводе CLKOUT от напряжения питания при $I_{OL} = 2 \text{ mA}$

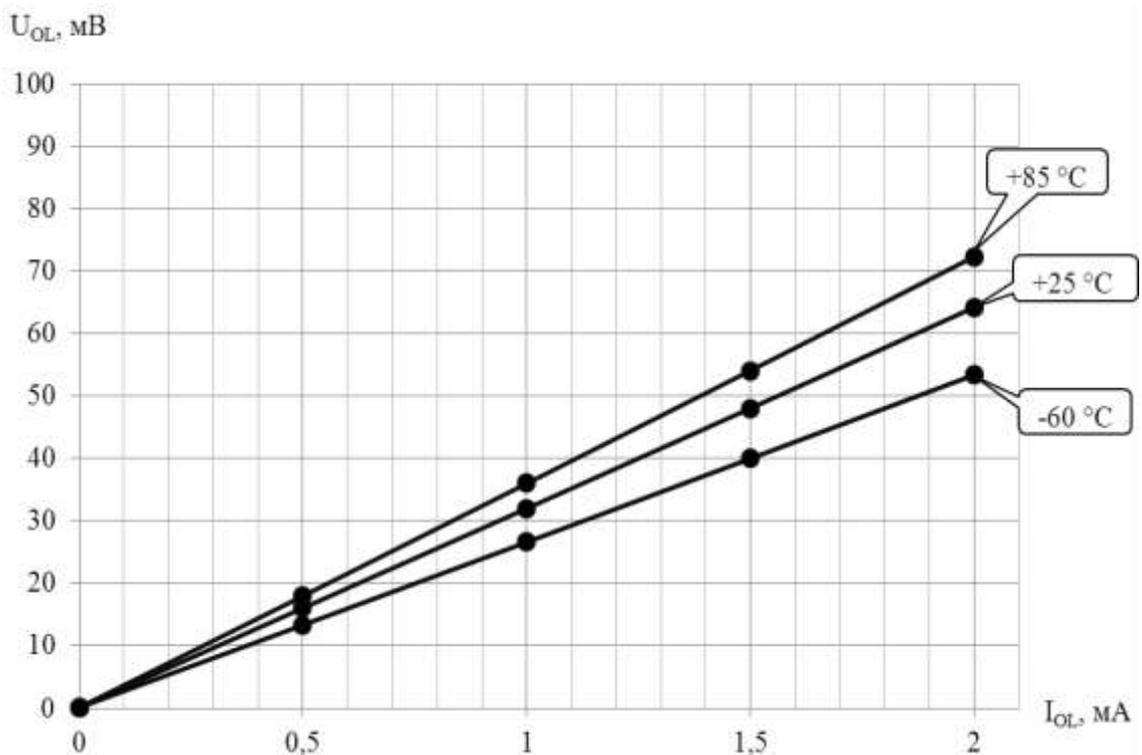


Рисунок 36 – Зависимость выходного напряжения низкого уровня на выводах D15-D0 и A15-A0 от выходного тока низкого уровня при $U_{CC} = 3,0 \text{ V}$

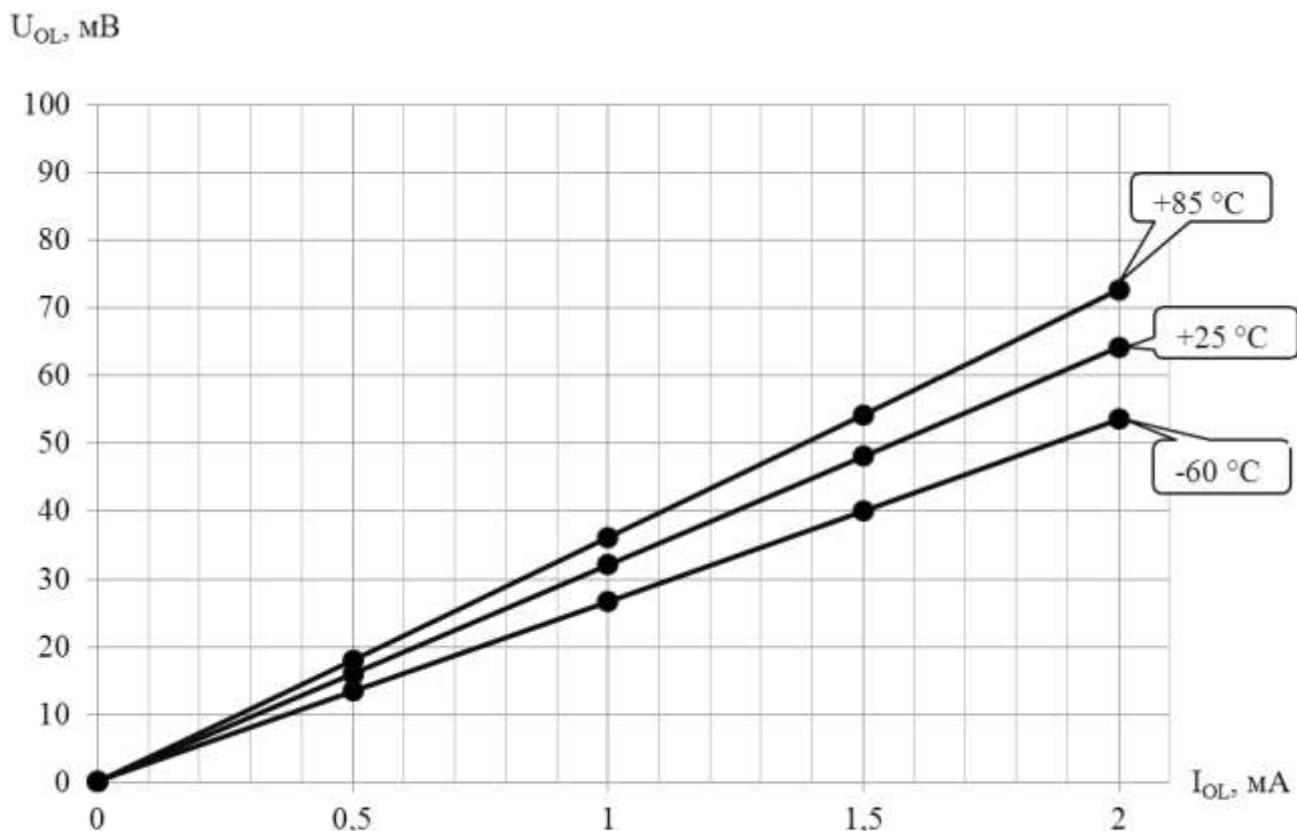


Рисунок 37 – Зависимость выходного напряжения низкого уровня на выводе CLKOUT от выходного тока низкого уровня при $U_{CC} = 3,0$ В

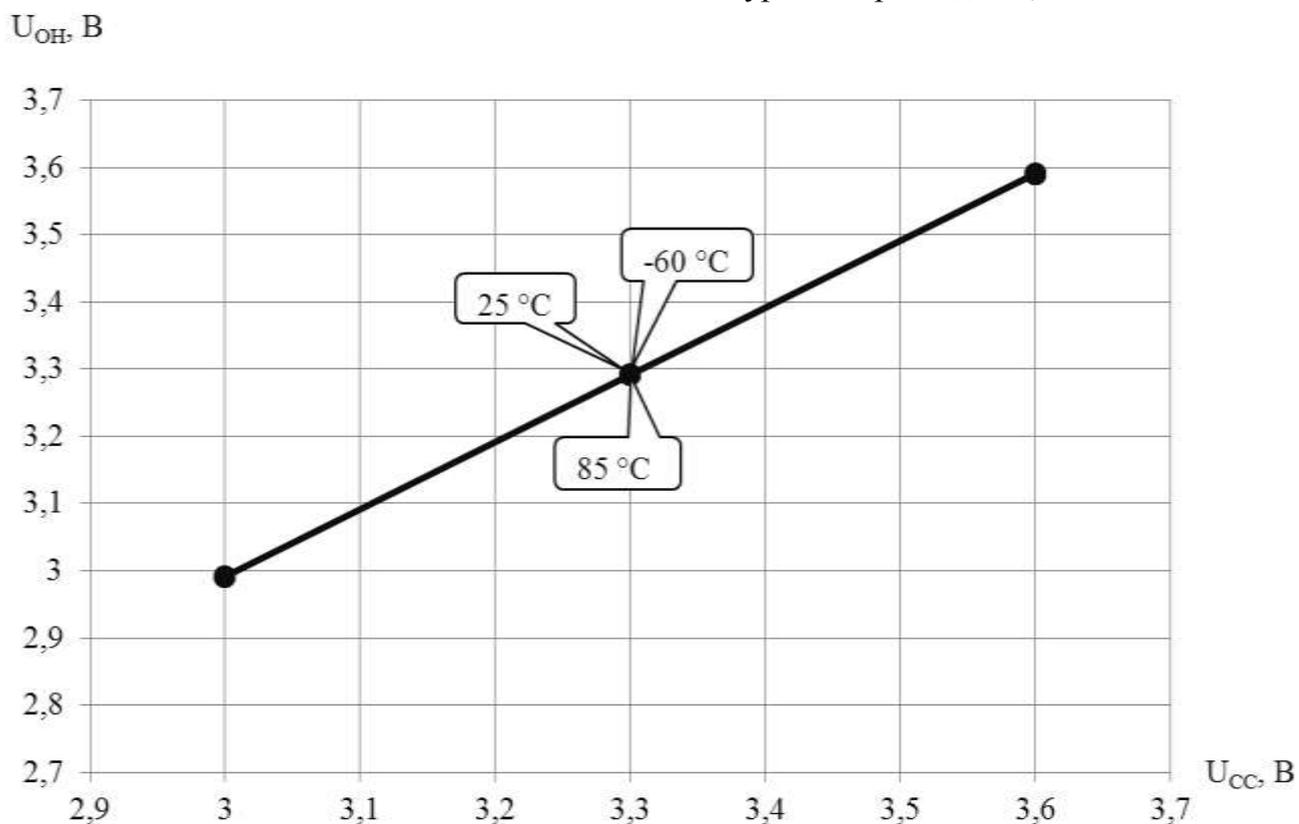


Рисунок 38 – Зависимость выходного напряжения высокого уровня на выводах D15-D0 и A15-A0 от напряжения питания при $I_{OH} = -0,3$ мА

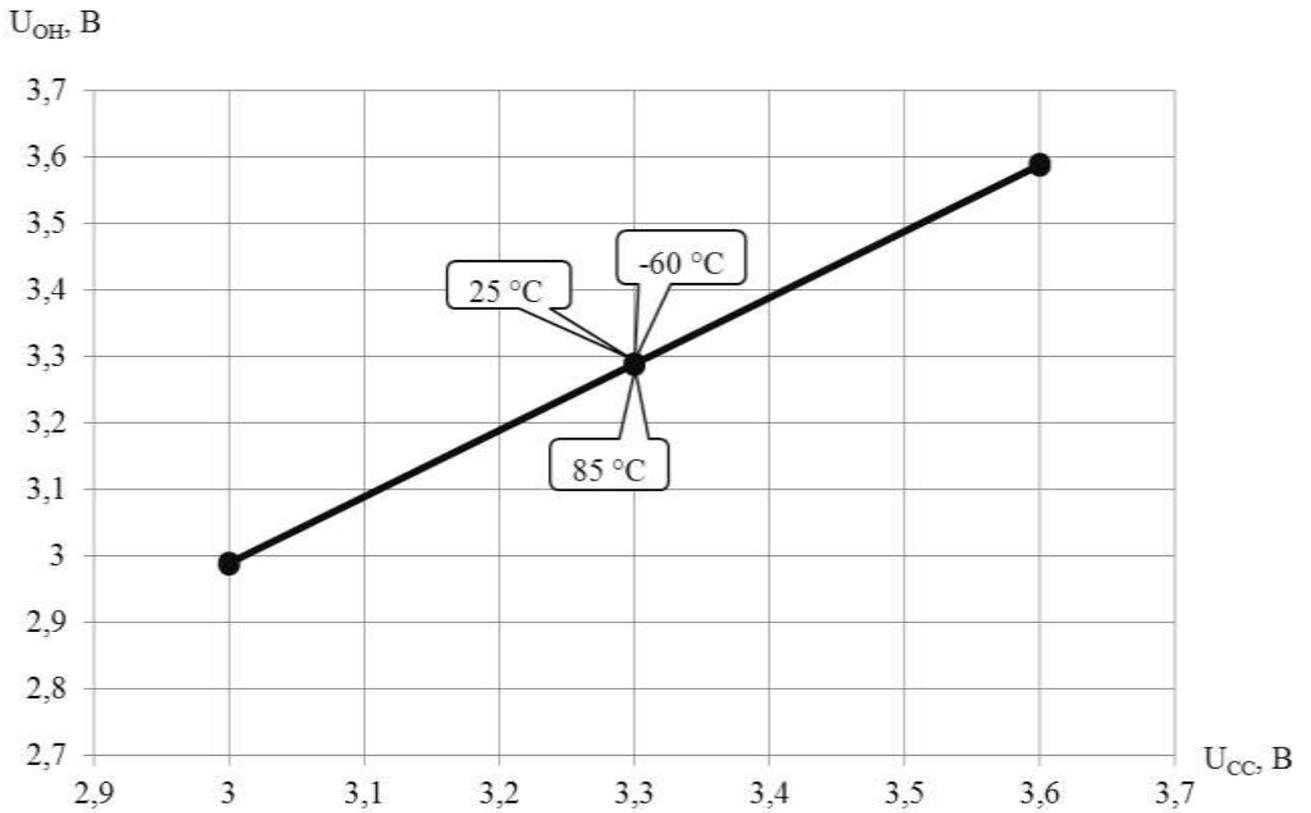


Рисунок 39 – Зависимость выходного напряжения высокого уровня на выводе CLKOUT от напряжения питания при $I_{OH} = -0,3$ мА

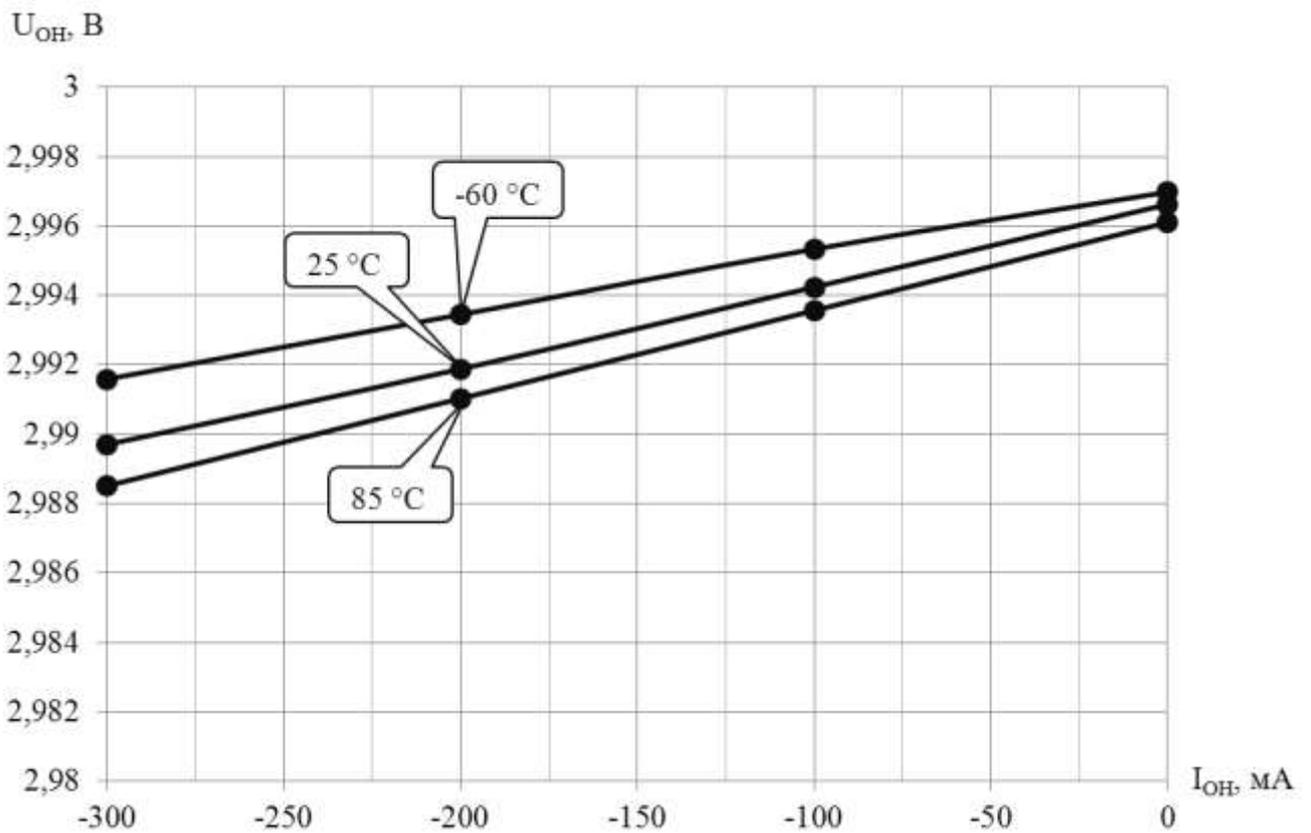


Рисунок 40 – Зависимость выходного напряжения высокого уровня на выводах D15-D0 и A15-A0 от выходного тока высокого уровня при $U_{CC} = 3,0$ В

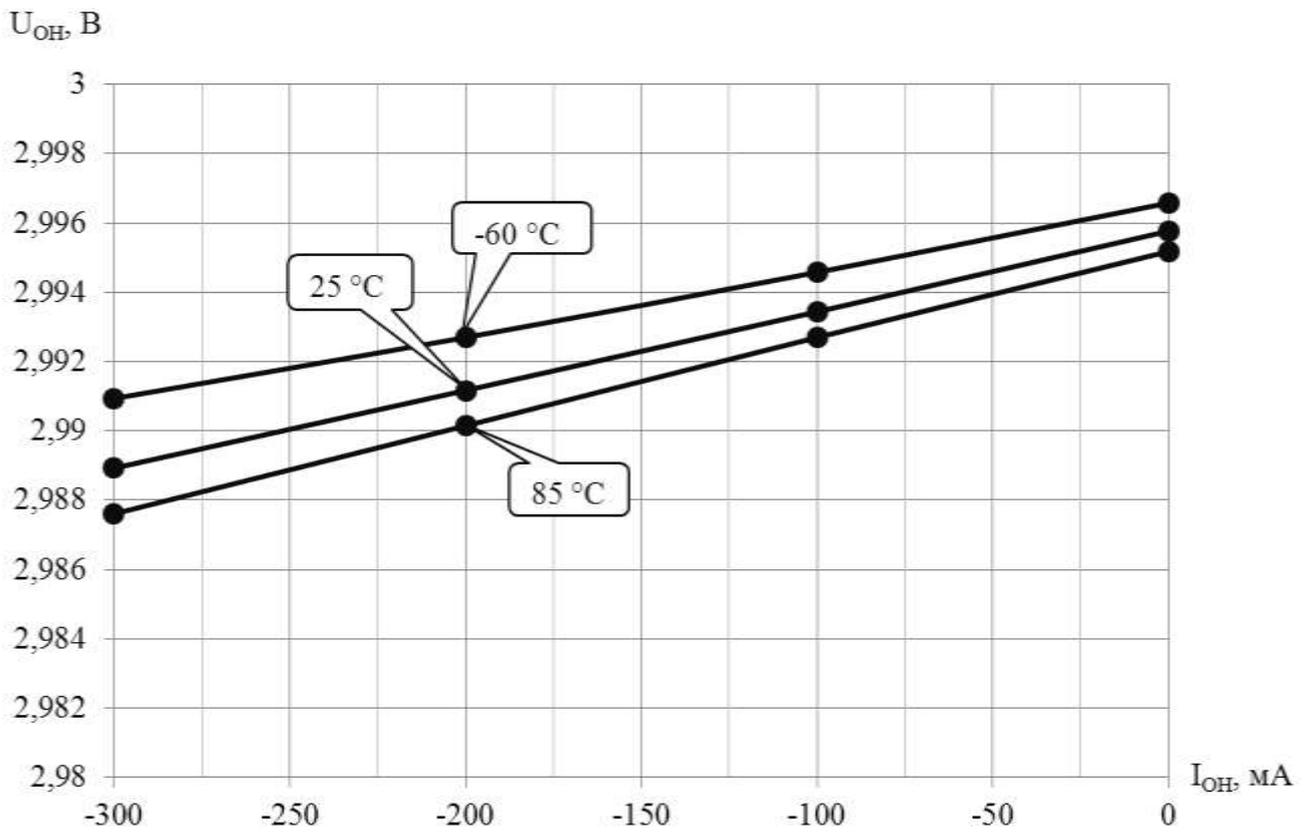


Рисунок 41 – Зависимость выходного напряжения высокого уровня на выводе CLKOUT от выходного тока высокого уровня при $U_{CC} = 3,0$ В

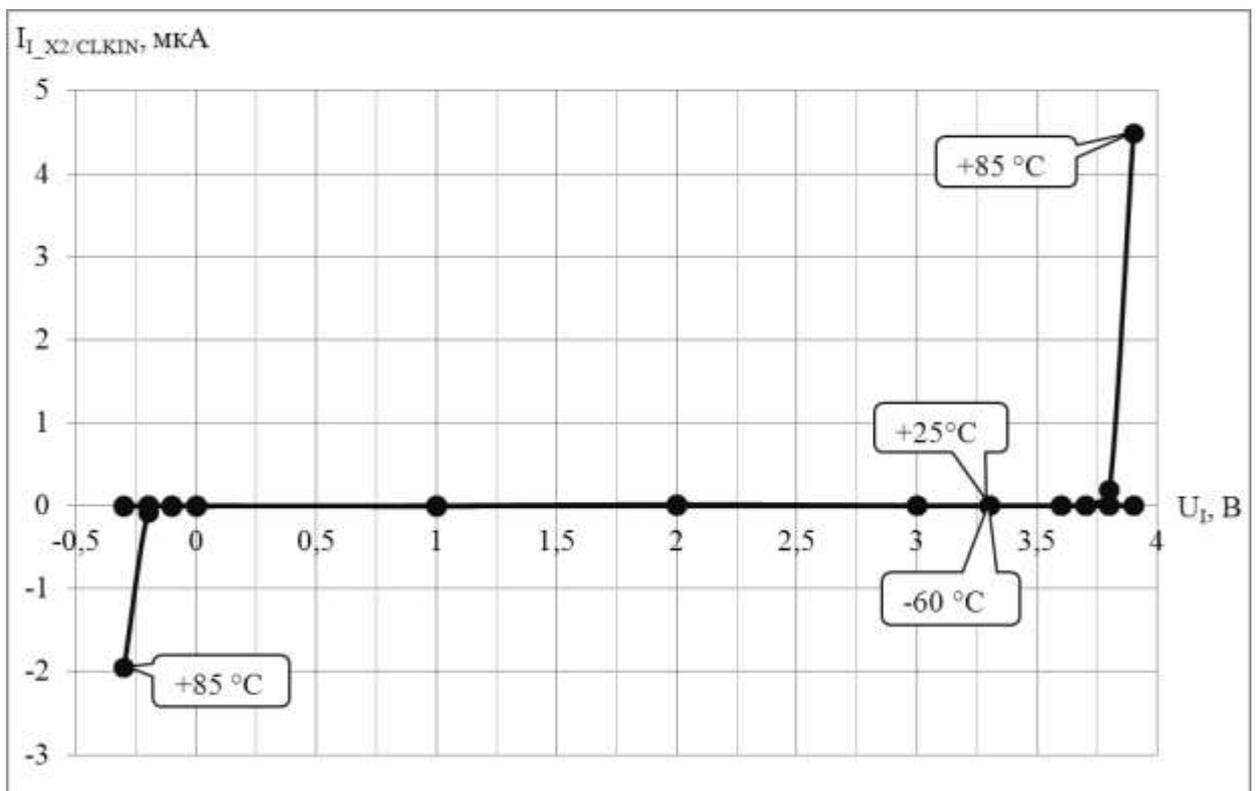


Рисунок 42 – Зависимость входного тока на входе X2/CLKIN от входного напряжения при $U_{CC} = 3,6$ В

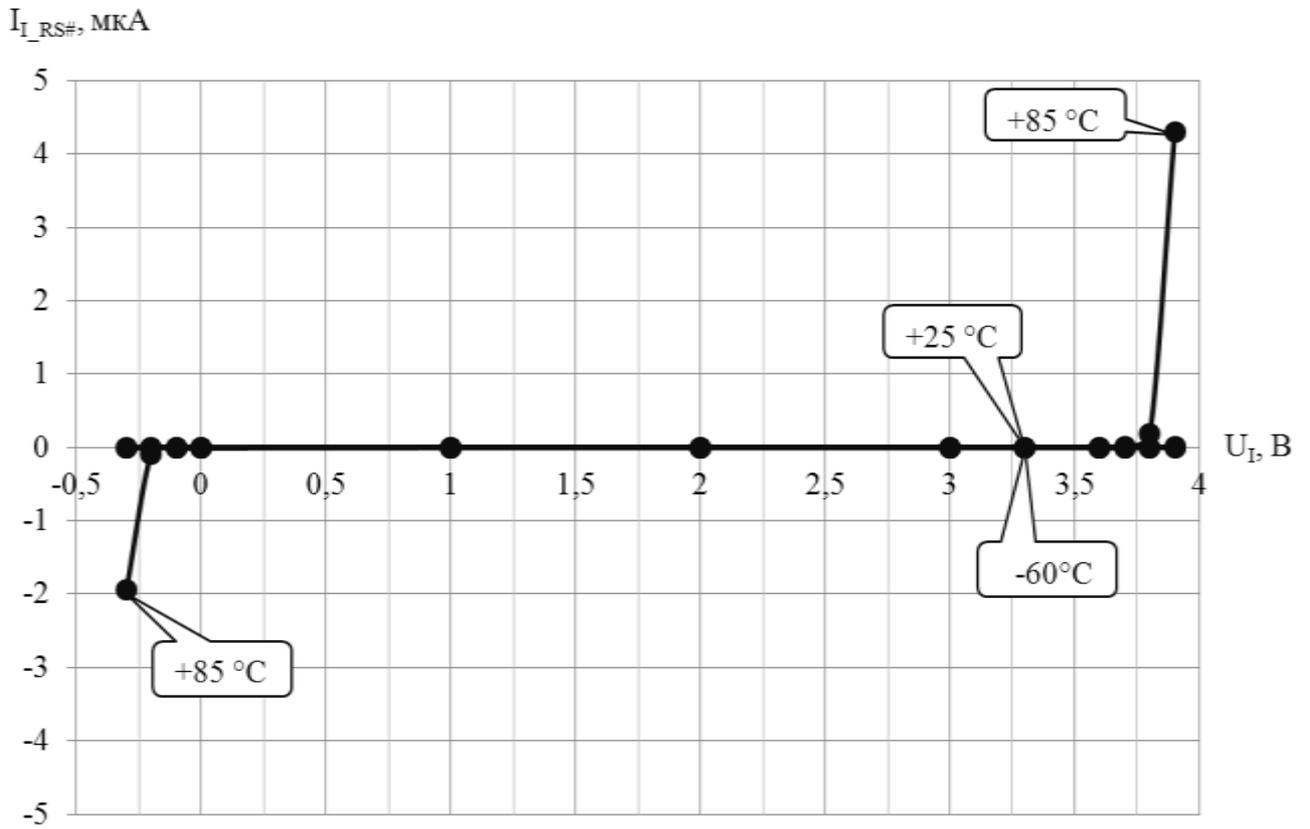


Рисунок 43 – Зависимость входного тока на входе RESET# от входного напряжения при $U_{CC} = 3,6 \text{ В}$

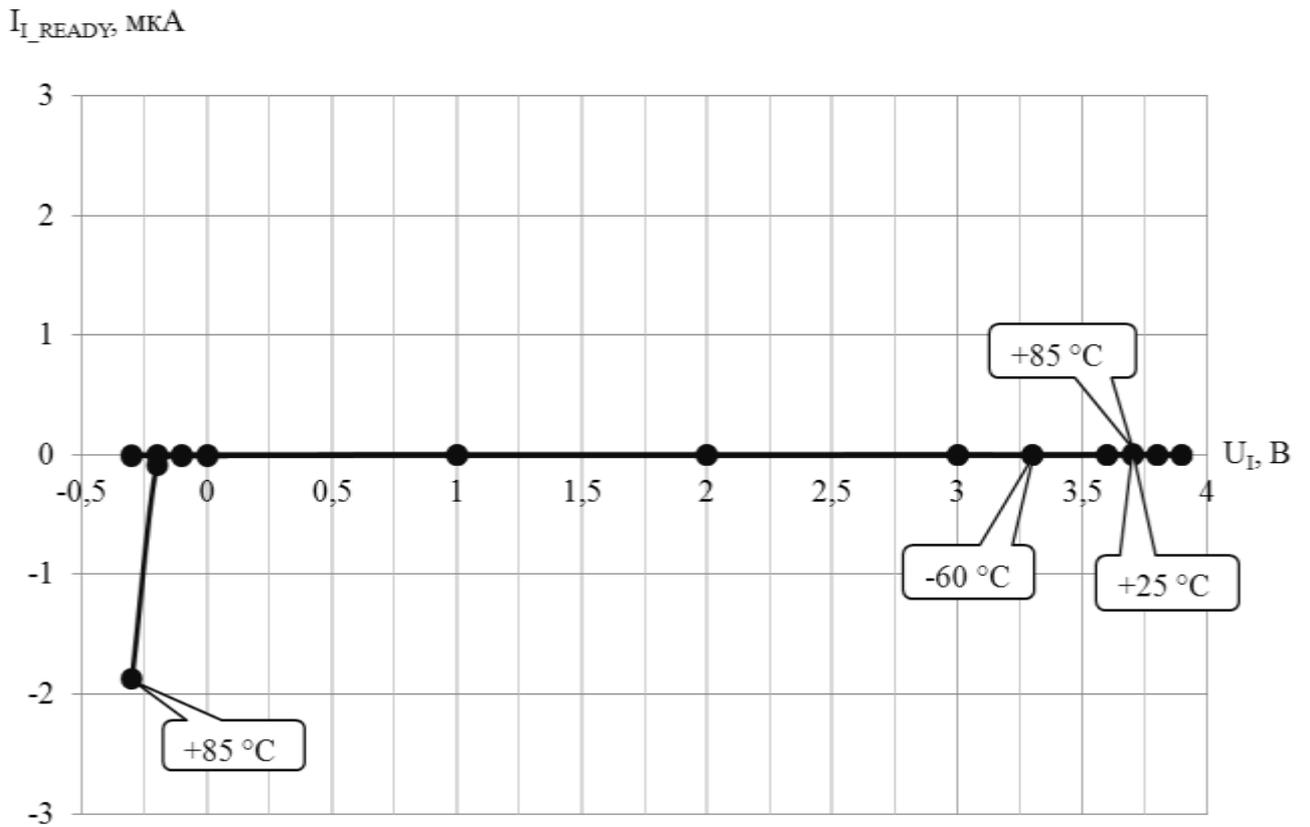


Рисунок 44 – Зависимость входного тока на входе READY от входного напряжения при $U_{CC} = 3,6 \text{ В}$

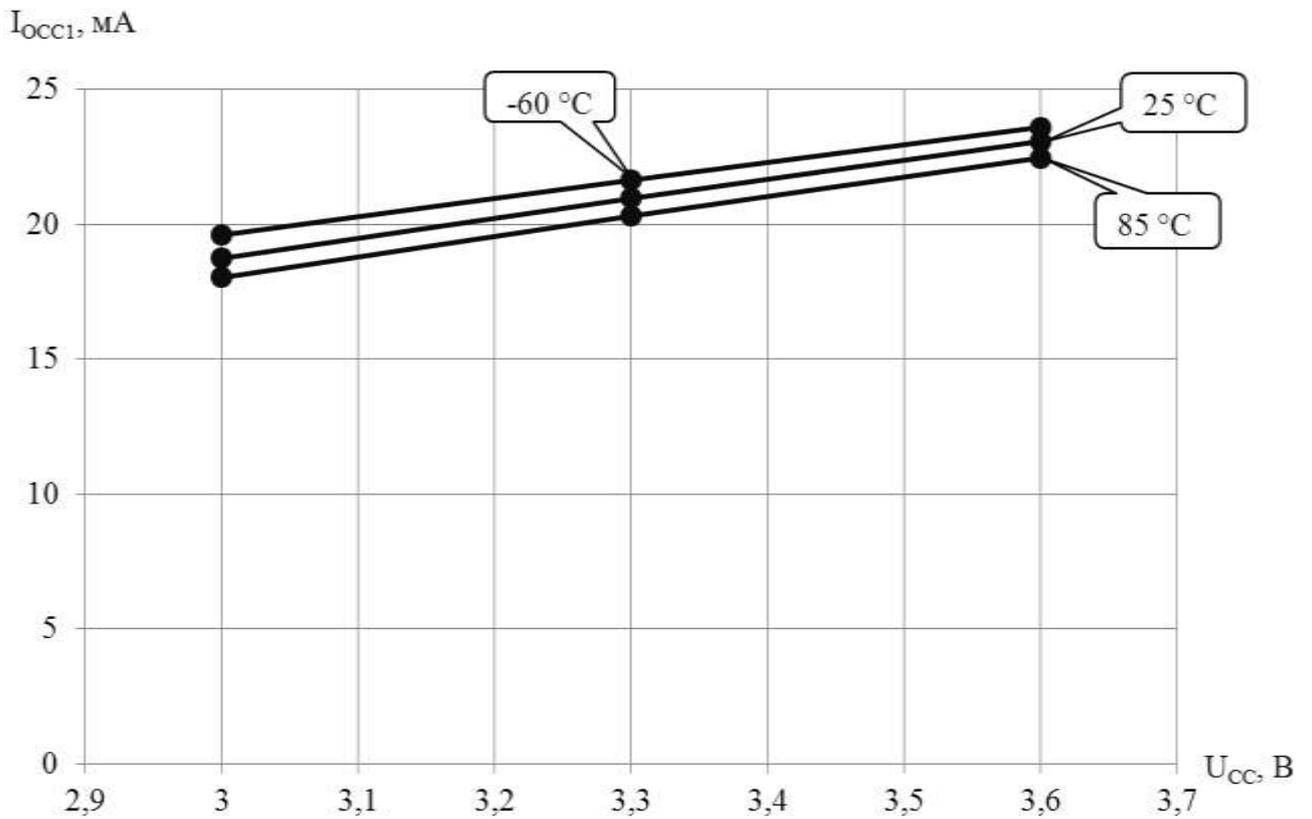


Рисунок 45 – Зависимость динамического тока потребления буферов ввода-вывода от напряжения питания при $f_{CI} = 40$ МГц

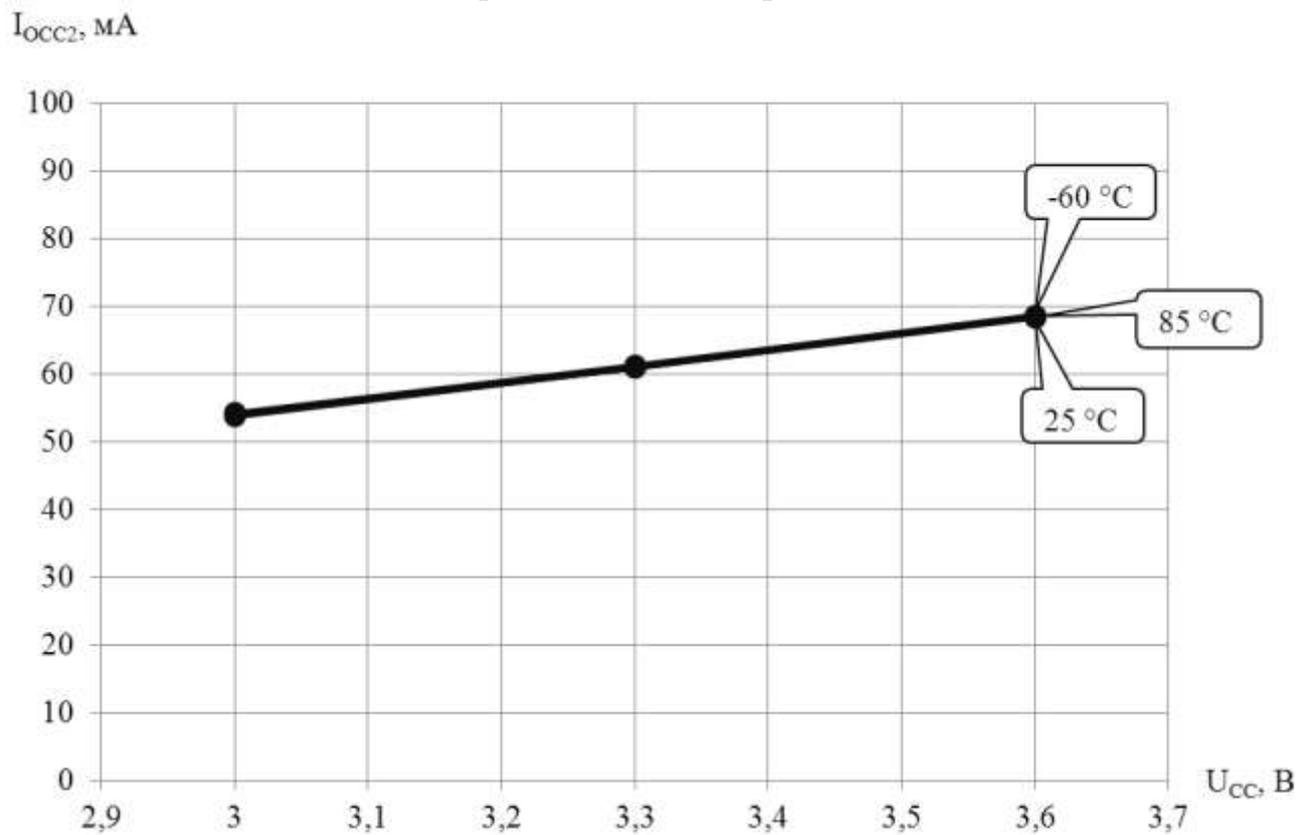


Рисунок 46 – Зависимость динамического тока потребления ядра от напряжения питания источника при $f_{CI} = 40$ МГц

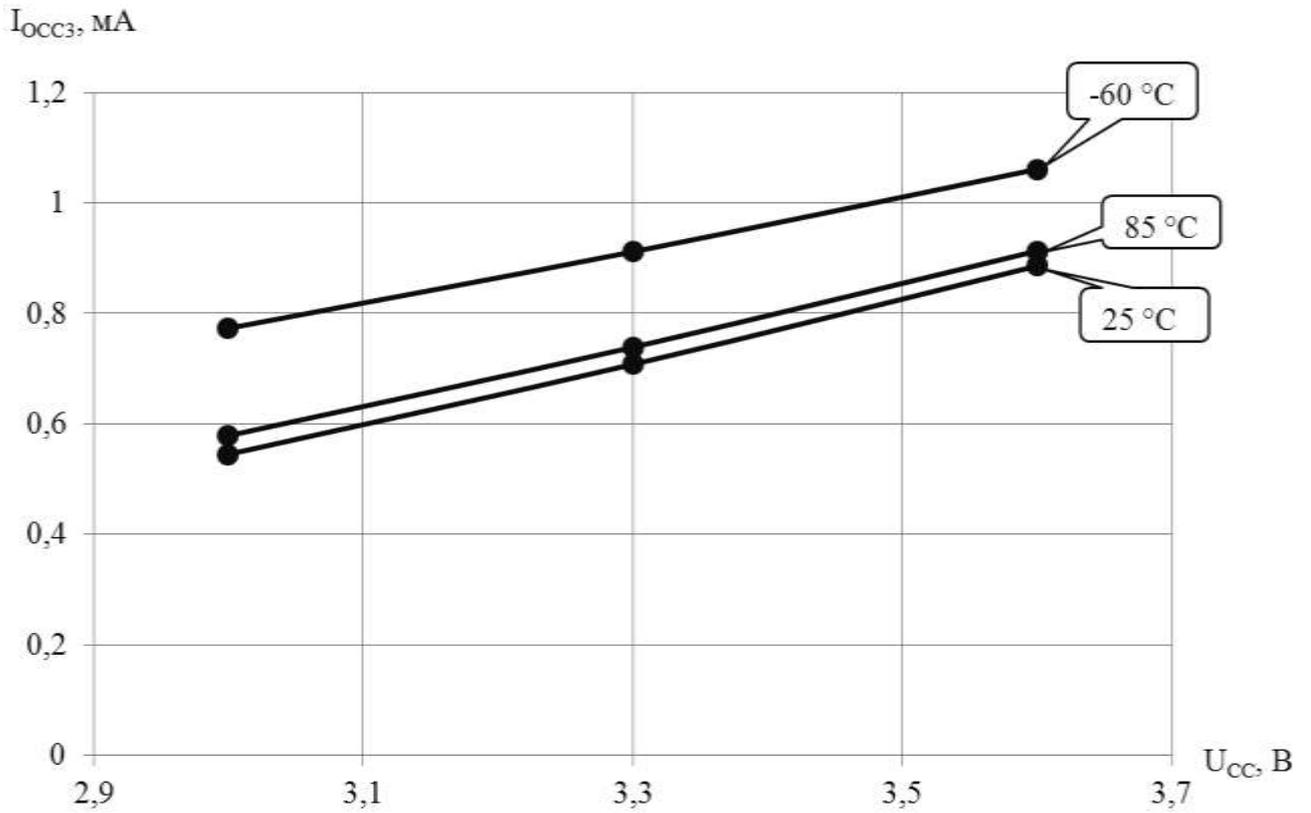


Рисунок 47 – Зависимость динамического тока потребления буферов ввода-вывода от напряжения питания источника при $f_{CI} = 40$ МГц

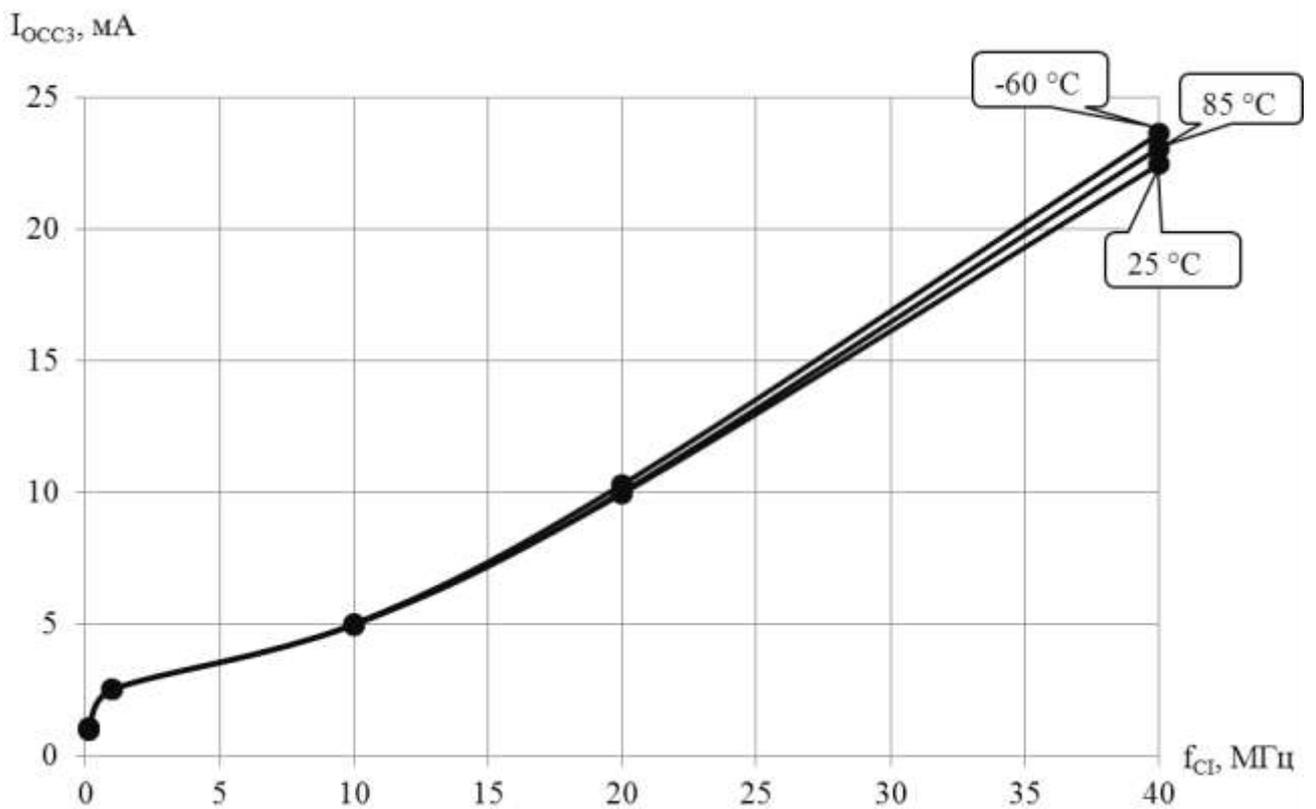


Рисунок 48 – Зависимость динамического тока потребления буферов ввода-вывода от тактовой частоты при $U_{CC} = 3,6$ В

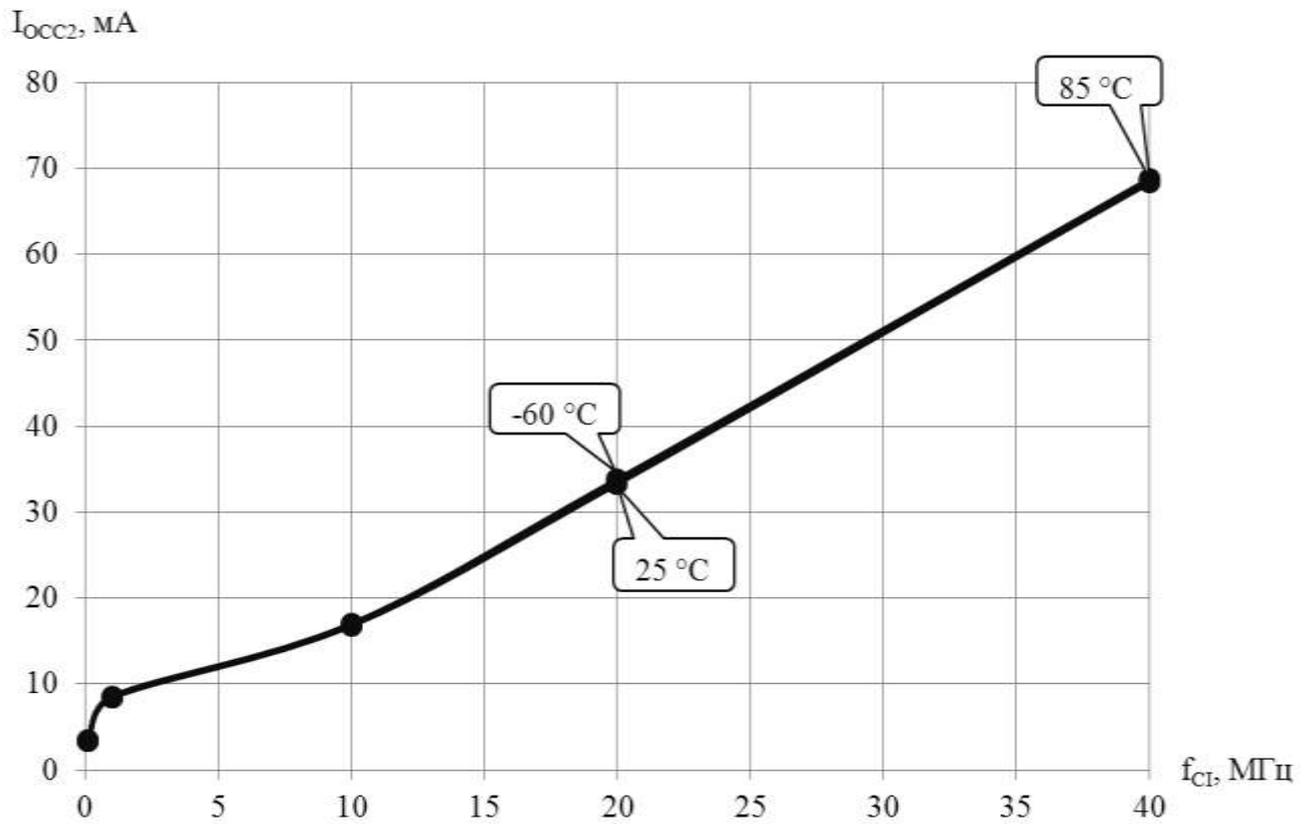


Рисунок 49 – Зависимость динамического тока потребления ядра от тактовой частоты при $U_{CC} = 3,6$ В

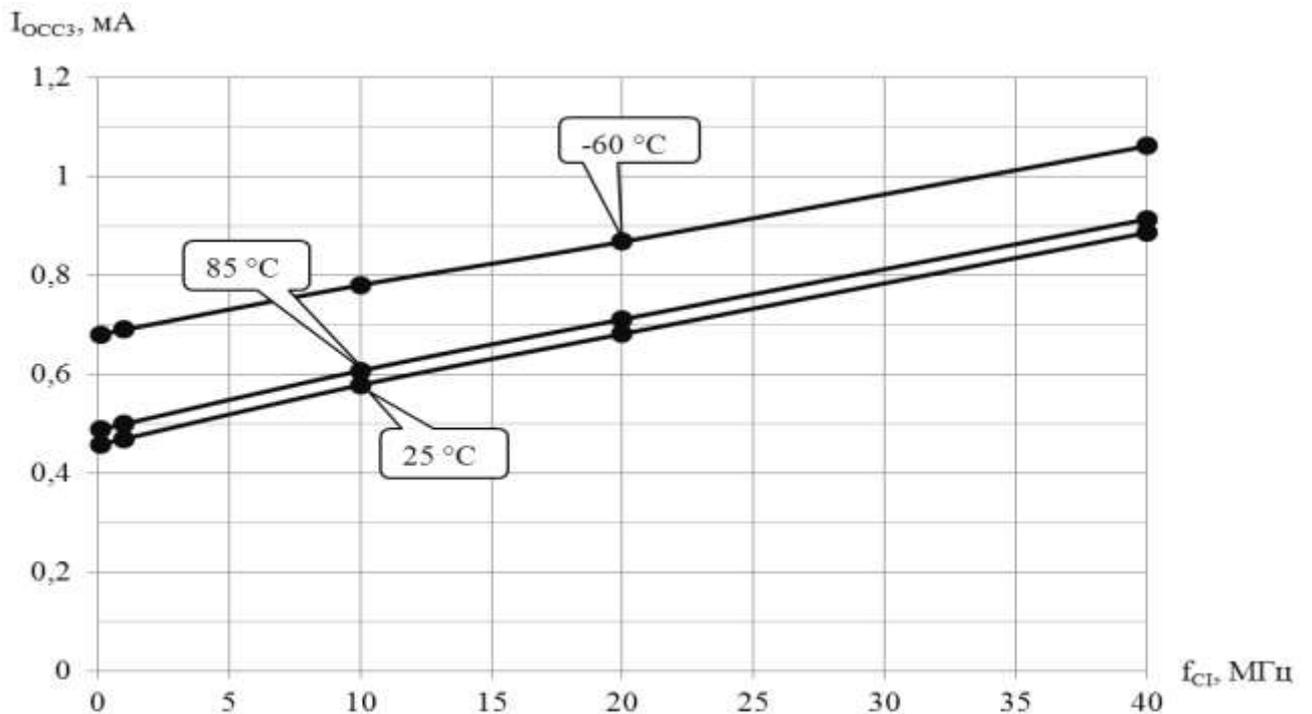


Рисунок 50 – Зависимость динамического тока потребления буферов ввода-вывода от тактовой частоты при $U_{CC} = 3,6$ В

45 Заключение

Применение процессора ЦОС в системах цифровой обработки сигналов, встроенных цифровых системах управления, бортовой аппаратуре, средствах связи, в системах автоматизации технологических процессов, вычислительной технике, телекоммуникационной технике и т.д. позволит создавать более совершенные в техническом отношении и надежные в эксплуатации изделия.

