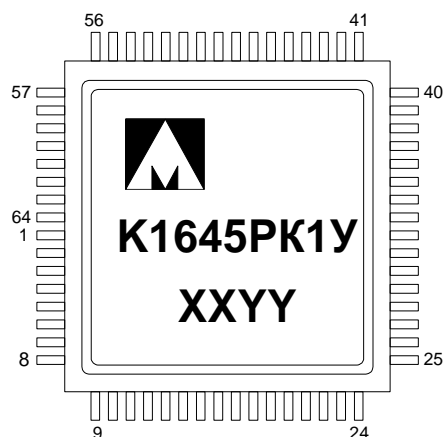




Микросхема двухпортового статического ОЗУ емкостью 256К (32Кх8) 1645РК1У, К1645РК1У, К1645РК1УК



XX – год выпуска
YY – неделя выпуска

Основные характеристики микросхемы:

- Емкость СОЗУ 256К (32К х 8) бит
- Напряжение питания от 4,5 до 5,5 В
- Время выборки данных по адресу и по сигналу nCE не более 50 нс
- Время выборки данных по сигналу nOE не более 30 нс
- Микросхема совместима с микросхемами ТТЛ и КМОП типа

Температурный диапазон	
Обозначение	Диапазон
1645РК1У	минус 60 – 125 °С
К1645РК1У	минус 60 – 125 °С
К1645РК1УК	0 – 70 °С

Тип корпуса:

– 64-выводной металлокерамический корпус 5134.64-6

Общее описание и области применения микросхемы

Микросхема 1645РК1У – двухпортовое статическое ОЗУ емкостью 256К (32Кх8), изготавливаемое по КМОП технологическому процессу.

– Статические двухпортовые элементы памяти позволяют одновременный доступ портов в одно и то же место в памяти.

– Время доступа – 50 нс максимум;

– Работа с малым потреблением:

– в активном режиме: 150 мА максимум;

– в режиме энергосбережения Standby: 1 мА максимум.

Микросхема легко расширяет шину данных до 16 бит или более, используя выбор режима "Мастер"/"Ведомый", когда каскадом объединяются более одного устройства.

– M/nS = H режим микросхемы «Мастер». Выводы nBUSY функционируют в режиме «Выход».

– M/nS = L режим микросхемы «Ведомый». Выводы nBUSY функционируют в режиме «Вход».

– Флаги Занятости и Прерывания;

– Встроенная логика арбитража портов на кристалле;

– Полная встроенная аппаратная поддержка семафорной сигнализации между портами;

– Полностью асинхронное функционирование для каждого порта;

– Устройство способно выдерживать более чем 2000 В электростатического разряда.

Структурная блок-схема микросхемы

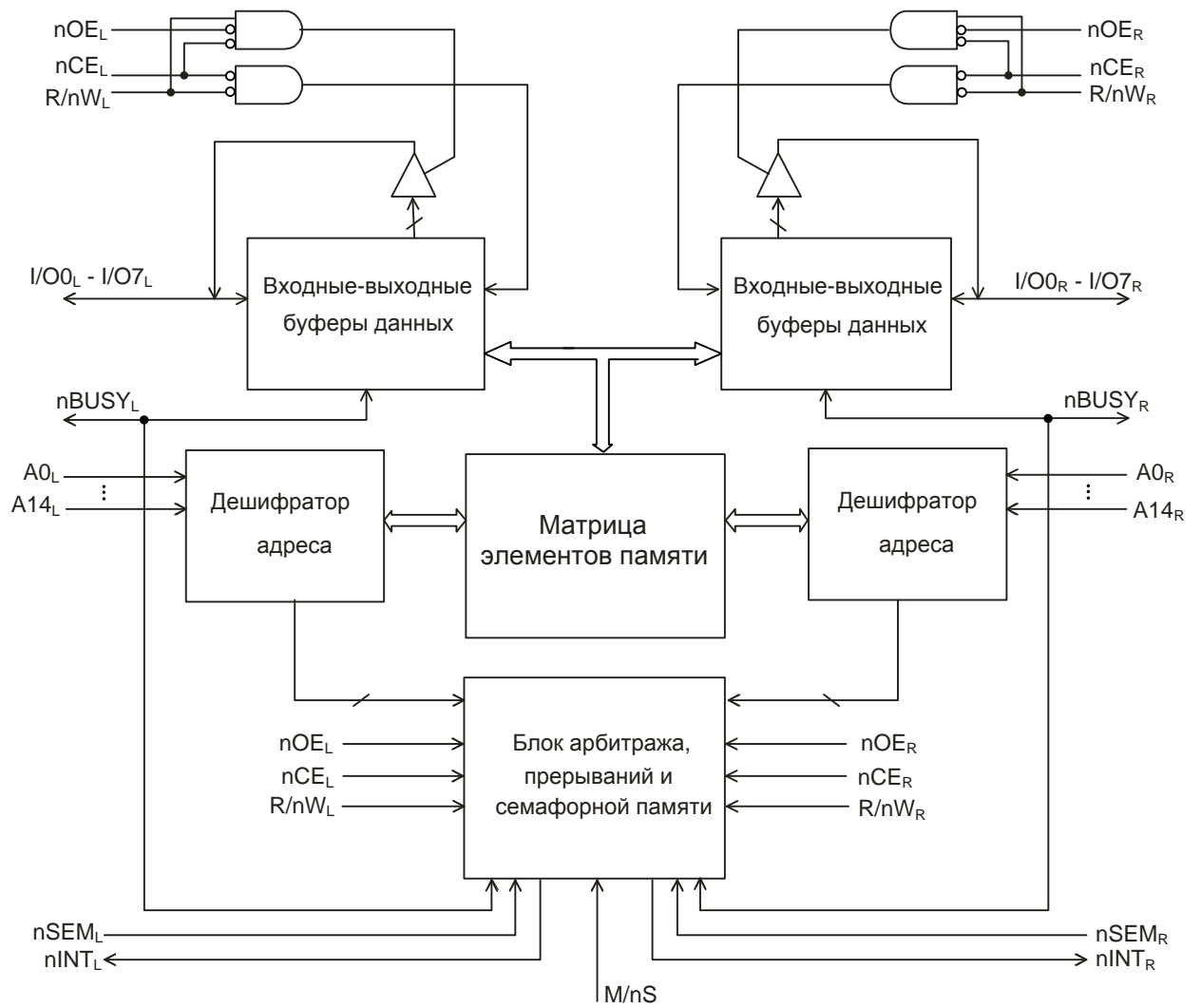


Рис.1 Структурная блок-схема

Описание выводов

Таблица 1

№ вывода корпуса	Условное обозначение вывода	Функциональное назначение вывода
1	I/O0 _R	Вход/выход данных правого порта
2	I/O1 _R	Вход/выход данных правого порта
3	I/O2 _R	Вход/выход данных правого порта
4	U _{CC}	Питание 5 В
5	I/O3 _R	Вход/выход данных правого порта
6	I/O4 _R	Вход/выход данных правого порта
7	I/O5 _R	Вход/выход данных правого порта
8	I/O6 _R	Вход/выход данных правого порта
9	I/O7 _R	Вход/выход данных правого порта
10	nOE _R	Вход сигнала разрешения выхода данных правого порта
11	R/nW _R	Вход сигнала разрешения считывания/записи правого порта
12	nSEM _R	Вход сигнала выборки семафорной памяти правого порта
13	nCE _R	Вход сигнала разрешения выборки правого порта
14	A14 _R	Вход сигнала адреса правого порта
15	A13 _R	Вход сигнала адреса правого порта
16	A12 _R	Вход сигнала адреса правого порта
17	A11 _R	Вход сигнала адреса правого порта
18	A10 _R	Вход сигнала адреса правого порта
19	A9 _R	Вход сигнала адреса правого порта
20	A8 _R	Вход сигнала адреса правого порта
21	A7 _R	Вход сигнала адреса правого порта
22	A6 _R	Вход сигнала адреса правого порта
23	A5 _R	Вход сигнала адреса правого порта
24	A4 _R	Вход сигнала адреса правого порта
25	A3 _R	Вход сигнала адреса правого порта
26	A2 _R	Вход сигнала адреса правого порта
27	A1 _R	Вход сигнала адреса правого порта
28	A0 _R	Вход сигнала адреса правого порта
29	nINT _R	Выход сигнала прерывания INTERRUPT правого порта
30	nBUSY _R	Вход/выход сигнала занятости правого порта
31	M/nS	Вход сигнала выбора режима (Мастер/Ведомый)
32	GND	Общий
33	nBUSY _L	Вход/выход сигнала занятости левого порта
34	nINT _L	Выход сигнала прерывания INTERRUPT левого порта
35	A0 _L	Вход сигнала адреса левого порта
36	A1 _L	Вход сигнала адреса левого порта

№ вывода корпуса	Условное обозначение вывода	Функциональное назначение вывода
37	A2 _L	Вход сигнала адреса левого порта
38	A3 _L	Вход сигнала адреса левого порта
39	A4 _L	Вход сигнала адреса левого порта
40	A5 _L	Вход сигнала адреса левого порта
41	A6 _L	Вход сигнала адреса левого порта
42	A7 _L	Вход сигнала адреса левого порта
43	A8 _L	Вход сигнала адреса левого порта
44	A9 _L	Вход сигнала адреса левого порта
45	A10 _L	Вход сигнала адреса левого порта
46	A11 _L	Вход сигнала адреса левого порта
47	A12 _L	Вход сигнала адреса левого порта
48	A13 _L	Вход сигнала адреса левого порта
49	A14 _L	Вход сигнала адреса левого порта
50	nCE _L	Вход сигнала разрешения выборки левого порта
51	nSEM _L	Вход сигнала выборки семафорной памяти левого порта
52	R/nW _L	Вход сигнала разрешения считывания/записи левого порта
53	nOE _L	Вход сигнала разрешения выхода данных левого порта
54	I/O0 _L	Вход/выход данных левого порта
55	I/O1 _L	Вход/выход данных левого порта
56	I/O2 _L	Вход/выход данных левого порта
57	I/O3 _L	Вход/выход данных левого порта
58	I/O4 _L	Вход/выход данных левого порта
59	I/O5 _L	Вход/выход данных левого порта
60	GND	Общий
61	I/O6 _L	Вход/выход данных левого порта
62	I/O7 _L	Вход/выход данных левого порта
63	U _{CC}	Питание 5 В
64	GND	Общий

Таблицы истинности микросхемы

Таблица истинности для считывания/записи в бесконфликтной ситуации

Таблица 2

Входы ⁽¹⁾				Выходы	Режим
nCE	R/nW	nOE	nSEM	I/O0-I/O7	
H	X	X	H	Состояние высокого импеданса	Хранение данных
L	L	X	H	Входные данные	Запись данных
L	H	L	H	Выходные данные	Считывание данных
X	X	H	X	Состояние высокого импеданса	Запрет выхода данных при считывании

Примечания – H – состояние высокого уровня;
 L – состояние низкого уровня;
 X – любое состояние высокого или низкого уровня.
 A0_L-A14_L ≠ A0_R-A14_R

Таблица истинности для СЕМАФОРНОЙ логики⁽¹⁾

Таблица 3

Входы				Выходы	Режим
nCE	R/nW	nOE	nSEM	I/O0-I/O7	
H	H	L	L	Выходные данные	Считывание флага семафор через входы/выходы данных I/O0-I/O7
H		X	L	Входные данные	Запись флага семафор через вход/выход данных I/O0
L	X	X	L	----	Запрещённый

Примечание – Существует 8 флагов семафоров, которые записываются через вход/выход данных I/O0 и считываются через входы/выходы данных I/O0-I/O7. Адреса семафоров определяется адресами A0-A2.

Таблица истинности для логики ПЕРЕРЫВАНИЙ^(1, 4) (INTERRUPT)

Таблица 4

Левый порт (L)					Правый порт (R)					Режим
R/nW _L	nCE _L	nOE _L	A0 _L -A14 _L	nINT _L	R/nW _R	nCE _R	nOE _R	A14 _R -A0 _R	nINT _R	
L	L	X	7FFF	X	X	X	X	X	L ⁽²⁾	Установка флага прерывания для правого порта
X	X	X	X	X	X	L	L	7FFF	H ⁽³⁾	Сброс флага прерывания для правого порта
X	X	X	X	L ⁽³⁾	L	L	X	7FFE	X	Установка флага прерывания для левого порта
X	L	L	7FFE	H ⁽²⁾	X	X	X	X	X	Сброс флага прерывания для левого порта

Примечания – 1. Предполагается nBUSY_L=nBUSY_R=U_И;

2. Если nBUSY_L=U_{ИЛ}, то значение флага прерывания остается без изменений;

3. Если nBUSY_R=U_{ИЛ}, то значение флага прерывания остается без изменений;

4. Флаги прерывания nINT_L и nINT_R устанавливаются в состояние H при включении питания.

Таблица истинности – занятость при арбитраже по адресу

Таблица 5

Входы			Выходы		Функционирование
nCE	R/nW	A0 _L -A14 _L A0 _R -A14 _R	nBUSY _L ⁽¹⁾	nBUSY _R ⁽¹⁾	
X	X	Различные	H	H	Нормальное
H	X	Одинаковые	H	H	Нормальное
X	H	Одинаковые	H	H	Нормальное
L	L	Одинаковые	(2)	(2)	Запрет записи ⁽³⁾

Примечания – 1. Выводы nBUSY_L и nBUSY_R оба являются выходами, когда микросхема сконфигурирована как "Мастер". Оба являются входами, когда микросхема сконфигурирована как "Ведомый". Выходы nBUSY микросхемы имеют подтяжку и к питанию, и к земле, и не имеют конструкцию открытого стока. В режиме "Ведомый" входы nBUSY запрещают запись внутри микросхемы.

2. Выходы принимают значение "L", если входы противоположенного порта были установлены заблаговременно по отношению к адресным и разрешающим входам этого порта. Значение "H", если входы противоположенного порта установились после адреса и

разрешающего входа этого порта. Если $t_{SU(AR-AL)}$ или $t_{SU(CER-CEL)}$ не выполняются, то произвольно любой один из двух выходов $nBUSY_L$ или $nBUSY_R$ примет значение «низкий уровень». Выходы $nBUSY_L$ и $nBUSY_R$ не могут быть в «низком уровне» одновременно.

3. Запись в левый порт запрещается внутри микросхемы, когда на выходе $nBUSY_L$ сформирован «низкий уровень - L». Запись в правый порт запрещается внутри микросхемы, когда на выходе $nBUSY_R$ формируется «низкий уровень - L».

Пример последовательностей доступа к семафорной памяти

Таблица 6

Режим	D0-D7 Левый порт читает	D0-D7 Правый порт читает	Состояние
Не активная	1	1	Семафор свободен
Левый порт записывает "0" в семафор	0	1	Левый порт имеет семафорную метку
Правый порт записывает "0" в семафор	0	1	Без изменений. Правый порт не имеет доступа в семафор для записи.
Левый порт записывает "1" в семафор	1	0	Правый порт получает семафорную метку
Левый порт записывает "0" в семафор	1	0	Без изменений. Левый порт не имеет доступа в семафор для записи.
Правый порт записывает "1" в семафор	0	1	Левый порт получает семафорную метку
Левый порт записывает "1" в семафор	1	1	Семафор свободен
Правый порт записывает "0" в семафор	1	0	Правый порт имеет семафорную метку
Правый порт записывает "1" в семафор	1	1	Семафор свободный
Левый порт записывает "0" в семафор	0	1	Левый порт имеет семафорную метку
Левый порт записывает "1" в семафор	1	1	Семафор свободен

Примечания – 1. Эта таблица показывает последовательность событий только для одного из восьми семафоров.

2. Все восемь семафорных флагов записываются через I/O0 и считываются через все I/O (I/O0-I/O7). Эти восемь семафоров адресуются через A0, A1, A2.

Описание функционирования микросхемы

1645PK1У имеет два порта с отдельными выводами сигналов управления, сигналов адреса и сигналов входной/выходной информации, которые позволяют осуществить независимый доступ для чтения и записи в любое место памяти. Внутри кристалла сигнал nCE управляет цепью понижения потребляемой мощности, что позволяет порту перейти в режим ожидания, пока порт не выбран (на входе nCE высокий уровень). Когда порт активизирован (на входе nCE низкий уровень), потребляемая мощность возрастает, и доступ к массиву памяти разрешается.

Взаимодействие портов

Каждый порт в любой момент времени независимо от другого порта может проводить чтение по любому адресу. Процесс записи в различные адреса также не вызывает помехи со стороны противоположного порта.

Если запись одного порта начнется раньше, чем по тому же адресу другой порт начнет чтение, то на информационные выходы читающего порта поступит та информация, которая записывается другим портом. Считывание будет достоверным, если длительность обращения читающего порта будет достаточной для того, чтобы обновленная информация по этому адресу зафиксировалась его выходными защелками.

Внимание! В микросхемах 1645PK1У экспериментальной партии возможно в данной ситуации чтение не обновленной информации или с ошибкой, если записывающий порт имеет на своих информационных входах код 11111111.

В случае если оба порта намереваются провести запись по одному и тому же адресу, то запись пройдет успешно у того порта, который первым начнет эту процедуру. "Запоздавшему" порту запись будет заблокирована. Для того, чтобы процессоры, управляющие портами, могли "согласовать" свои действия, и не возникло конфликтной ситуации, микросхема 1645PK1У наделена "логикой занятости" и такими функциями, как "Прерывание" и "Семафоры".

Прерывания

Если пользователь выбирает применение функции прерывания, то часть основной памяти будет использоваться, как "почтовый ящик или центр сообщений". Флаг прерывания для левого порта ($nINT_L$) выставляется, когда правый порт записывает (8 бит) в основную память по адресу 7FFE. Запись осуществляется в соответствии с таблицей истинности (Таблица 4), если $nCE_R = R/nW_R = L$. Когда левый порт при $nCE_L = nOE_L = L$ обращается к основной памяти по адресу 7FFE, то флаг прерывания для левого порта снимается. Логический уровень на входе R/nW_L левого порта при этом может быть любым.

Аналогично для правого порта выставляется флаг прерывания ($nINT_R$), когда левый порт проводит запись в память по адресу 7FFF и для снятия (очистки) этого флага прерывания правый порт должен обратиться (при чтении или записи) к памяти по адресу 7FFF.

Смысловое содержание сообщения (8 бит) по адресам 7FFE или 7FFF предопределяется пользователем сразу же, как только условлено, что это место ОЗУ отведено для сообщений. Если функция прерываний не применяется, то память по адресам 7FFE и 7FFF не используются как "почтовый ящик", а используются как часть общей памяти.

Логика занятости

Логика занятости обеспечивает аппаратную индикацию при обращении обоих портов одновременно в одно и то же место ОЗУ. Это позволяет одному из двух портов завершить операцию и сигнализировать другому порту, что ячейка ОЗУ "Занята". Логическое состояние на выходе nBUSY в это время может быть использовано для остановки доступа к ячейке памяти одного порта до завершения аналогичной операции другим портом. Если операция записи предпринимается со стороны порта, который получил сигнал занятости, то внутри микросхемы сигнал записи этого порта блокируется для предотвращения этого процесса.

Использование логики занятости не является обязательным для любых применений. В некоторых случаях это может быть удобно: по логике ИЛИ можно объединить выходы занятости вместе и использовать индикацию занятости как источник прерывания для обозначения ошибочного события или нелогичной операции. Если блокировка функции записи логикой занятости нежелательна, то работа логики занятости может быть запрещена путем установки микросхемы в режим "Ведомый" через вывод M/nS. В режиме "Ведомого" сигнал nBUSY функционирует исключительно как вход запрещения записи. Нормальная работа без запрета записи обеспечивается путем подачи на вход nBUSY высокого логического уровня. Если требуется избежать непреднамеренной записи в этот порт, то на вывод nBUSY должен быть подан низкий логический уровень.

Выход занятости в ОЗУ 1645PK1У в режиме "Мастер" является выходом пушпульного типа и не требует резистора подтяжки для работы микросхемы. Если для увеличения емкости используется несколько микросхем одновременно, то для индикации результирующего сигнала занятости всего массива ОЗУ требуется использование внешнего элемента И.

Увеличение ширины с логикой занятости в массивах «Мастер»/«Ведомый»

Когда увеличивается разрядность массива ОЗУ на микросхемах 1645PK1У с использованием логики занятости, одна микросхема "Мастер" используется для определения того, какая сторона массива (порт) ОЗУ будет получать индикацию занятости и выводить индикацию. Любое число ведомых микросхем должны получать адрес из того же адресного пространства, что и "Мастер", используя сигнал занятости как сигнал запрета записи.

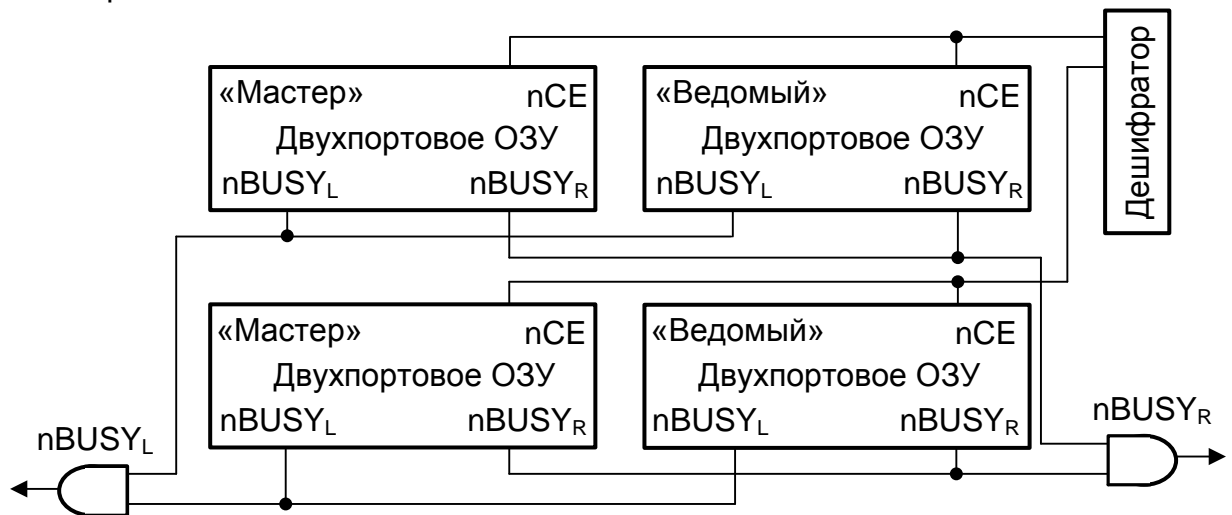


Рис. 2 Разводка сигналов занятости nBUSY и выборки кристаллов nCE для расширения ширины и глубины на базе микросхем 1645PK1У

Таким образом, в микросхемах ОЗУ 1645PK1У вывод занятости является выходом у микросхем, используемых как «Мастер» ($M/nS = H$), и вывод занятости является входом для микросхем, используемых как «Ведомый» ($M/nS = L$) (Рис. 2).

Арбитраж занятости в "Мастере" формируется только сигналом разрешения выборки кристалла (nCE) и адресными сигналами независимо от выполняемой процедуры (чтение или запись). В массиве "Мастер/Ведомый" сигналы адреса и выборки кристалла должны быть истинны (активны) достаточно длительное время, для того чтобы флаг занятости с выхода "Мастера" установился в активное значение прежде чем начнется воздействие, инициированное сигналом R/nW . Несоблюдение этого может привести к возникновению внутренних кратковременных всплесков сигналов запрещения записи и, тем самым, повредить данные в ведомом устройстве.

Семафоры

1645PK1У является быстрым двухпортовым 32Кх8 КМОП статическим ОЗУ с дополнительным восьмиадресным массивом, предназначенным для двоичных семафорных флагов. Эти флаги позволяют любому из двух процессоров на левой или правой стороне двухпортового ОЗУ претендовать на привилегии над другим процессором в действиях, определяемых разработчиком системного программного обеспечения. Как пример, семафорные флаги могут быть использованы одним процессором для запрещения другому процессору доступа к участку памяти данного двухпортового ОЗУ или к другим общим ресурсам.

Особенностью двухпортового ОЗУ является быстрый доступ и полная независимость в действиях портов друг от друга. Это означает, что действия левого порта не влияют на скорость доступа правого порта. Оба порта идентичны по функциональности стандартному КМОП статическому ОЗУ и могут читать, или записывать одновременно. При этом конфликт между портами возникнет только при попытке портов записать информацию в одну и ту же ячейку основной памяти.

Семафоры защищают от такой неоднозначной ситуации и могут использоваться системной программой таким образом, чтобы избежать обращения портов в одинаковые адреса основной памяти двухпортового ОЗУ.

Системы, которые наилучшим способом используют 1645PK1У, содержат несколько процессоров или контроллеров и, обычно, являются высокоскоростными системами, которые контролируются исполняемой программой. Программное взаимодействие между процессорами обеспечивает максимальную гибкость в системе путем распределения общих ресурсов в различных конфигурациях. Микросхемы 1645PK1У не используют флаги семафоров для аппаратного управления какими-либо ресурсами, тем самым раскрывают перед разработчиками системы полную гибкость в выборе архитектуры системы.

Преимущество использования семафоров по сравнению с общими методами аппаратного арбитража заключается в том, что не возникают циклы ожидания для каждого процессора. Это может обеспечить микросхеме 1645PK1У основное преимущество применения в высокоскоростных системах.

Как работают флаги семафоров

Семафорная память независима от основной памяти двухпортового ОЗУ. Она доступна, когда вывод $nSEM$ устанавливается в низкое состояние. Остальные сигналы управления (адрес, nOE и R/nW) используются также как и при процедуре доступа к основной памяти статическому ОЗУ. Каждый из флагов имеет уникальный адрес,

который задается с каждой из сторон через выводы А0, А1, А2. При доступе к семафорам состояние остальных адресных выводов значения не имеют. При записи семафоров используется данные только с вывода I/O0.

При чтении флага семафора с соответствующей стороны, его значение появляется на всех выводах данных I/O0 – I/O7 этой стороны. Флаги семафоров имеют активный низкий уровень. Маркер запрашивается через запись нуля в триггер-защелку семафора и снимается, когда та же сторона запишет логическую единицу в эту защелку.

Перед началом работы все семафоры с обоих портов должны находиться в состоянии единицы, записанной при инициализации, для того чтобы гарантировать, что они будут свободными, когда понадобятся. **Инициализация семафоров не является автоматической и должна быть выполнена инициализационной программой процессоров после включения питания.**

Семафорная ячейка памяти (всего их восемь) содержит с каждой из сторон входную триггер-защелку, выходную триггер-защелку и логику арбитража. Ноль во входную защелку можно записать с каждой из сторон независимо, но в выходную защелку семафора ноль поступит только с той стороны, которая записывала ноль первой.

Ноль, записываемый в уже занятый с другой стороны семафор, будет храниться во входном триггере-защелке запрошенного семафора этой стороны до тех пор, пока семафор не будет освобожден от нуля с противоположной стороны. Как только противоположная сторона изменит состояние этого семафора с нуля на единицу, то ноль из входного триггера-защелки автоматически пройдет в выходной триггер-защелку и последующее чтение покажет ноль на выходе этой стороны.

Эти защелки используются для передачи флагов или маркеров от одного порта другому порту, для того чтобы показать какой из общих ресурсов используются каждым из них.

Семафоры обеспечивают аппаратную поддержку метода распределения под названием «Token Passing Allocation» («Передача знаков размещения»). В этом методе состояние защелки семафора используется в качестве маркера о том, что общий ресурс находится в использовании.

Если левый процессор хочет использовать этот ресурс, он пытается захватить его путем установки защелки в состояние "0". Затем этот процессор проверяет, установился ли флаг, читая его. Если проверка (чтение) показала, что установка флага была неуспешной и защелка не установлена в "0", то левый процессор этим определяет, что процессор с правой стороны поставил защелку в состояние "0" первым и, тем самым, выставил соответствующий маркер, свидетельствующий, что он использует этот общий ресурс. Левый процессор может либо повторно запрашивать статус семафора, либо удалить свой запрос для данного семафора, перейдя к выполнению других задач, или вновь пытаться получить контроль над маркером через последовательность установки и проверки. Как только правая сторона снимет маркер, левой стороне удастся захватить управление.

Если низкий уровень записывается с данной стороны в неиспользованный до этого момента обоими портами семафор, то флаг установится в "0" у записывающего порта и останется в состоянии "1" у другого порта. Этот семафор теперь может быть изменен только с той стороны, на выходе которой читается "0". Когда "1" записывается в семафор с этой же стороны, а запроса семафора с другой стороны не поступало, то флаг окажется в состоянии "1" для обеих сторон, и после этого "0" может записываться с любой из сторон. Тот факт, что сторона, которая, записывая "0" в семафор, блокирует возможность считывания "0" с другой стороны, делает флаги семафоров полезными в межпроцессорных связях.

Запись во входной триггер-защелку происходит, когда сигнал R/nW переходит из активного в неактивное состояние записи. Считываемое значение семафора защелкивается в выходном триггере-защелке и поступает на выход данных микросхемы этой стороны, когда последний по времени из сигналов nSEM или nOE

переходит в активный уровень. Это предотвращает изменение состояния семафора в середине цикла чтения, когда с другой стороны проводится цикл записи. Повторяющееся чтение семафора в циклах проверки должно сопровождаться переходом любого из сигналов nSEM или nOE в неактивное состояние, в противном случае выход никогда не изменится.

Последовательность ЧТЕНИЕ/ЗАПИСЬ семафора должна использоваться, чтобы гарантировать отсутствие состязаний на системном уровне. Процессор запрашивает доступ к общим ресурсам, пытаясь записать "0" в семафорное пространство. Если семафор уже используется и запрошенная защелка семафора содержит "0", то чтение будет все еще показывать "1" в процессе того, как процессор будет проверять флаг последующими чтениями (Таблица 3).

Используемая последовательность ЧТЕНИЕ/ЗАПИСЬ предотвращает проблемы системных конфликтов в интервале времени между циклами чтения и записи.

Важно отметить, что неудачный запрос семафора должен сопровождаться либо последующими чтениями, либо записью единицы для снятия запроса.

Предельно допустимые характеристики микросхемы

Предельно допустимые и предельные режимы эксплуатации микросхем

Таблица 7

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение источника питания, В	U_{CC}	4,5	5,5	–	6,0
Входное напряжение низкого уровня, В	U_{IL}	–	0,8	минус 0,3	–
Входное напряжение высокого уровня, В	U_{IH}	2,2	–	–	$U_{CC}+0,3$
Выходной ток низкого уровня, мА	I_{OL}	–	4	–	6
Выходной ток высокого уровня, мА	I_{OH}	минус 4	–	минус 6	–
Напряжение низкого уровня, прикладываемое к выходу в состоянии «Выключено», В	U_{OLZ}	0	–	минус 0,3	–
Напряжение высокого уровня, прикладываемое к выходу в состоянии «Выключено», В	U_{OHZ}	–	U_{CC}	–	$U_{CC}+0,3$
Время нарастания и спада входного сигнала, нс	t_r t_f	–	5	–	–
Емкость нагрузки, пФ	C_L	–	30	–	–

Электрические параметры микросхемы

Таблица 8

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное напряжение низкого уровня, В, при $U_{CC}=5,5$ В, $I_{OL}=4$ мА	U_{OL}	–	0,4	25, 125, минус 60
Выходное напряжение высокого уровня, В, при $U_{CC}=4,5$ В, I_{OH} = минус 4 мА	U_{OH}	2,4	–	25, 125, минус 60
Ток утечки низкого уровня на входе, мкА, при $U_{CC}=5,5$ В, $U_I=GND$	I_{ILL}	минус 10	10	25, 125, минус 60
Ток утечки высокого уровня на входе, мкА, при $U_{CC}=5,5$ В, $U_I=U_{CC}$	I_{ILH}	минус 10	10	25, 125, минус 60
Выходной ток низкого уровня в состоянии «Выключено», мкА, при $U_{CC}=5,5$ В, $U_O=GND$, $nCE=U_{IH}$	I_{OZL}	минус 10	10	25, 125, минус 60
Выходной ток высокого уровня в состоянии «Выключено», мкА, при $U_{CC}=5,5$ В, $U_O=U_{CC}$, $nCE=U_{IH}$	I_{OZH}	минус 10	10	25, 125, минус 60
Динамический ток потребления (оба порта активны – ТТЛ уровни на входах), мА, при $U_{CC}=5,5$ В, $nCE_L=nCE_R=nOE_L=nOE_R=U_{IL}=0,8$ В, $nSEM_L=nSEM_R=U_{IH}=2,2$ В, $R_L=\infty$, $F=f_{max}=1/t_{CYR}$	I_{OCC1}	–	170	25, 125, минус 60
Динамический ток потребления (оба порта активны – КМОП уровни на входах), мА, при $U_{CC}=5,5$ В, $nCE_L=nCE_R=nOE_L=nOE_R=U_{IL}=0,2$ В, $nSEM_L=nSEM_R=U_{IH}=U_{CC}-0,2$ В, $R_L=\infty$, $F=f_{max}=1/t_{CYR}$	I_{OCC2}	–	140	25, 125, минус 60
Ток потребления в режиме хранения (оба порта неактивны – ТТЛ уровни на входах), мА, при $U_{CC}=5,5$ В, $nCE_R=nCE_L=nSEM_R=nSEM_L=U_{IH}=2,2$ В, $U_{IL}=0,8$ В, $F=f_{max}=1/t_{CYR}$	I_{CCS1}	–	20	25, 125, минус 60
Ток потребления в режиме хранения (оба порта неактивны – КМОП уровни на входах), мА, при $U_{CC}=5,5$ В, $nCE_R=nCE_L=nSEM_R=nSEM_L=U_{IH}=U_{CC}-0,2$ В, $U_{IL}=0,2$ В, $F=f_{max}=1/t_{CYR}$	I_{CCS2}	–	2	25, 125, минус 60
Ток потребления в режиме хранения (оба порта неактивны – ТТЛ уровни на входах), мА, при $U_{CC}=5,5$ В, $U_{ADDR}=U_{IH}$, $nCE_R=nCE_L=nSEM_R=nSEM_L=U_{IH}=2,2$ В, $U_{IL}=0,8$ В, $F=0$ МГц	I_{CCS3}	–	25	25, 125, минус 60

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Ток потребления в режиме хранения (оба порта неактивны – КМОП уровни на входах), мА, при $U_{CC}=5,5$ В, $U_{ADDR}=U_{IH}$, $nCE_R=nCE_L=nSEM_R=nSEM_L=U_{IH}=U_{CC} - 0,2$ В, $U_{IL}=0,2$ В, $F=0$ МГц	I_{CCS4}	–	1	25, 125, минус 60
Циклы чтения и записи				
Время цикла чтения, нс при $U_{CC}=4,5$ В, $I_O = \pm 4$ мА, $C_L=30$ пФ	t_{CYR}	50	–	25, 125, минус 60
Время выборки данных по адресу, нс, при $U_{CC}=4,5$ В, $I_O = \pm 4$ мА, $C_L=30$ пФ	$t_{A(A-D)}$	–	50	25, 125, минус 60
Время выборки данных по сигналу nCE , нс, при $U_{CC}=4,5$ В, $I_O = \pm 4$ мА, $C_L=30$ пФ	$t_{A(nCE-D)}$	–	50	25, 125, минус 60
Время выборки данных по сигналу nOE , нс, при $U_{CC}=4,5$ В, $I_O = \pm 4$ мА, $C_L=30$ пФ	$t_{A(nOE-D)}$	–	30	25, 125, минус 60
Время установления адреса относительно начала сигнала nCE или $nSEM$, нс при $U_{CC}=4,5$ В, $I_O = \pm 4$ мА, $C_L=30$ пФ	$t_{SU(A-nCE HL)}$ $t_{SU(A-nSEM HL)}$	0	–	25, 125, минус 60
Время сохранения выходных данных после изменения сигнала адреса, если nCE и nOE сохраняют значение "0", нс, при $U_{CC}=4,5$ В, $I_O = \pm 4$ мА, $C_L=30$ пФ	$t_{V(A-Dout)}$	5	–	25, 125, минус 60
Время перехода выхода из состояния "Выключено" в состояние высокого (низкого) уровня по сигналу nCE , нс, при $U_{CC}=4,5$ В, $I_O = \pm 4$ мА, $C_L=30$ пФ	$t_{PZL(nCE-D)}$ $t_{PZH(nCE-D)}$	10	–	25, 125, минус 60
Время перехода выхода из состояния высокого (низкого) уровня в состояние "Выключено" по сигналу nCE , нс, при $U_{CC}=4,5$ В, $I_O = \pm 4$ мА, $C_L=30$ пФ	$t_{PHZ(nCE-D)}$ $t_{PLZ(nCE-D)}$	–	10	25, 125, минус 60
Время выборки данных семафорной памяти по сигналу $nSEM$, нс, при $U_{CC}=4,5$ В, $I_O = \pm 4$ мА, $C_L=30$ пФ	$t_{Asem(nSEM-D)}$	–	50	25, 125, минус 60
Время выборки данных семафорной памяти по сигналу nOE , нс, при $U_{CC}=4,5$ В, $I_O = \pm 4$ мА, $C_L=30$ пФ	$t_{Asem(nOE-D)}$	–	30	25, 125, минус 60
Время выборки данных семафорной памяти по адресу, нс, при $U_{CC}=4,5$ В, $I_O = \pm 4$ мА, $C_L=30$ пФ	$t_{Asem(A-D)}$	–	50	25, 125, минус 60
Время сохранения сигнала выходных данных семафорной памяти после изменения сигнала адреса, нс, при $U_{CC}=4,5$ В, $I_O = \pm 4$ мА, $C_L=30$ пФ	$t_{Vsem(Dout)}$	10	–	25, 125, минус 60

Спецификация 1645PK1У, К1645PK1У, К1645PK1УК

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Время перехода выхода из состояния высокого (низкого) уровня в состояние «Выключено» по сигналу nSEM, нс, при $U_{CC}=4,5\text{ В}$, $I_O = \pm 4\text{ мА}$, $C_L=30\text{ пФ}$	$t_{PHZ(nSEM-D)}$ $t_{PLZ(nSEM-D)}$	–	10	25, 125, минус 60
Время цикла записи, нс, при $U_{CC}=4,5\text{ В}$	t_{CYW}	50	–	25, 125, минус 60
Длительность сигнала nCE при записи, нс, при $U_{CC}=4,5\text{ В}$	$t_{W(nCE)}$	40	–	25, 125, минус 60
Время установления адреса относительно окончания сигнала записи R/nW, нс, при $U_{CC}=4,5\text{ В}$	$t_{SU(A-R/nW LH)}$	40	–	25, 125, минус 60
Время установления адреса относительно начала сигнала записи R/nW, нс, при $U_{CC}=4,5\text{ В}$	$t_{SU(A-R/nW HL)}$	0	–	25, 125, минус 60
Время установления адреса относительно окончания сигнала nCE при записи, нс, при $U_{CC}=4,5\text{ В}$	$t_{SU(A-nCE LH)}$	40	–	25, 125, минус 60
Длительность сигнала записи R/nW, нс, при $U_{CC}=4,5\text{ В}$	$t_{W(R/nW)}$	40	–	25, 125, минус 60
Время удержания сигнала адреса относительно окончания сигнала разрешения записи R/nW или nCE, нс, при $U_{CC}=4,5\text{ В}$	$t_{H(R/nW-A)}$ $t_{H(nCE-A)}$	0	–	25, 125, минус 60
Время установления входных данных относительно окончания сигнала записи R/nW или nCE, нс, при $U_{CC}=4,5\text{ В}$	$t_{SU(D-R/nW)}$ $t_{SU(D-nCE)}$	40	–	25, 125, минус 60
Время перехода выхода из состояния высокого (низкого) уровня в состояние «Выключено» по сигналу nOE, нс, при $U_{CC}=4,5\text{ В}$	$t_{PHZ(nOE-D)}$ $t_{PLZ(nOE-D)}$	–	15	25, 125, минус 60
Время удержания входных данных относительно окончания сигнала записи R/nW, nCE или nSEM, нс, при $U_{CC}=4,5\text{ В}$	$t_{H(R/nW-D)}$ $t_{H(nCE-D)}$ $t_{H(nSEM-D)}$	0	–	25, 125, минус 60
Время перехода выхода из состояния высокого (низкого) уровня в состояние «Выключено» по сигналу R/nW, нс, при $U_{CC}=4,5\text{ В}$	$t_{PHZ(R/nW-D)}$ $t_{PLZ(R/nW-D)}$	–	15	25, 125, минус 60
Время перехода выхода из состояния «Выключено» в состояние высокого (низкого) уровня по окончании сигнала R/nW, нс, при $U_{CC}=4,5\text{ В}$	$t_{PZH(R/nW-D)}$ $t_{PZL(R/nW-D)}$	10	–	25, 125, минус 60
Время установления сигнала nSEM при чтении в семафорной памяти относительно окончания сигнала R/nW, нс, при $U_{CC}=4,5\text{ В}$	$t_{SUsem(R/nW-nSEM)}$	10	–	25, 125, минус 60

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Длительность сигнала nSEM при записи в семафорную память, нс, при $U_{CC}=4,5\text{ В}$	$t_{Wsem(nSEM)}$	40	–	25, 125, минус 60
Длительность сигнала R/nW при записи в семафорную память, нс, при $U_{CC}=4,5\text{ В}$	$t_{Wsem(R/nW)}$	40	–	25, 125, минус 60
Время установления входных данных относительно окончания сигнала nSEM или R/nW при записи в семафорную память, нс, при $U_{CC}=4,5\text{ В}$	$t_{SUsem(D-nSEM)}$ $t_{SUsem(D-R/nW)}$	40	–	25, 125, минус 60
Время удержания сигнала записи R/nW или nSEM одного из портов относительно снятия сигнала записи R/nW или nSEM другого порта, для исключения состязания при записи в семафорную память, нс, при $U_{CC}=4,5\text{ В}$	$t_{sem(R/nW R-R/nW L)}$ $t_{sem(nSEM R-nSEM L)}$	5	–	25, 125, минус 60
Взаимодействие Порт-L- Порт-R				
Время выборки выходных данных одного порта относительно начала сигнала R/nW другого порта. Адреса считывания и записи обоих портов совпадают, нс, при $U_{CC}=4,5\text{ В}$, $I_O = \pm 4\text{ мА}$, $C_L = 30\text{ пФ}$	$t_{A(R/nW)}$	–	70	25, 125, минус 60
Время выборки выходных данных одного порта относительно фронта изменения входных данных, записываемых по другому порту. Адреса считывания и записи обоих портов совпадают, нс, при $U_{CC}=4,5\text{ В}$, $I_O = \pm 4\text{ мА}$, $C_L = 30\text{ пФ}$	$t_{A(Din-Dout)}$	–	60	25, 125, минус 60
Время установления входных данных относительно адреса, нс, при $U_{CC}=4,5\text{ В}$	$t_{SU(A-D)}$	0	–	25, 125, минус 60
nBUSY–логика для "Мастера" (M/nS=U_И)				
Время задержки сигнала nBUSY относительно смены адреса, нс, при $U_{CC}=4,5\text{ В}$, $I_O = \pm 4\text{ мА}$, $C_L = 30\text{ пФ}$	$t_{d(A-nBUSY)}$	–	25	25, 125, минус 60
Время сохранения сигнала nBUSY относительно смены адреса, нс, при $U_{CC}=4,5\text{ В}$, $I_O = \pm 4\text{ мА}$, $C_L = 30\text{ пФ}$	$t_{V(A-nBUSY)}$	–	30	25, 125, минус 60
Время установления адреса одного из портов относительно смены адреса другого порта для гарантированного приоритета, нс, при $U_{CC}=4,5\text{ В}$	$t_{SU(A R-A L)}$	8	–	25, 125, минус 60
Время задержки сигнала nBUSY относительно сигнала nCE, нс, при $U_{CC}=4,5\text{ В}$, $I_O = \pm 4\text{ мА}$, $C_L = 30\text{ пФ}$	$t_{d(nCE-nBUSY)}$	–	30	25, 125, минус 60

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Время сохранения сигнала nBUSY относительно окончания сигнала nCE, нс, при $U_{CC}=4,5\text{ В}$, $I_O = \pm 4\text{ мА}$, $C_L=30\text{ пФ}$	$t_{V(nCE-nBUSY)}$	–	30	25, 125, минус 60
Время установления сигнала nCE одного из портов относительно установления сигнала nCE другого порта для гарантированного приоритета, нс, при $U_{CC}=4,5\text{ В}$	$t_{SU(nCE\ R-nCE\ L)}$	5	–	25, 125, минус 60
nBUSY-логика для "Ведомого" (M/nS=U_{IL})				
Время установления сигнала записи R/nW относительно входного сигнала nBUSY этого же порта для гарантированного запрета записи, нс, при $U_{CC}=4,5\text{ В}$	$t_{SU(nBUSY\ HL- R/nW)}$	0	–	25, 125, минус 60
Время удержания сигнала записи R/nW относительно окончания сигнала nBUSY для завершения записи, нс, при $U_{CC}=4,5\text{ В}$	$t_{H(nBUSY\ LH- R/nW)}$	30	–	25, 125, минус 60
Прерывания (INTERRUPT)				
Время удержания адреса прерывания относительно окончания сигнала nCE, нс, при $U_{CC}=4,5\text{ В}$	$t_{H(nCE-Aint)}$	0	–	25, 125, минус 60
Время задержки сигнала nINT относительно сигнала R/nW, нс, при $U_{CC}=4,5\text{ В}$, $I_O = \pm 4\text{ мА}$, $C_L=30\text{ пФ}$	$t_{d(R/nW-nINT)}$	–	35	25, 125, минус 60
Время сохранения сигнала nINT относительно сигнала nCE, нс, при $U_{CC}=4,5\text{ В}$, $I_O = \pm 4\text{ мА}$, $C_L=30\text{ пФ}$	$t_{V(nCE-nINT)}$	–	35	25, 125, минус 60

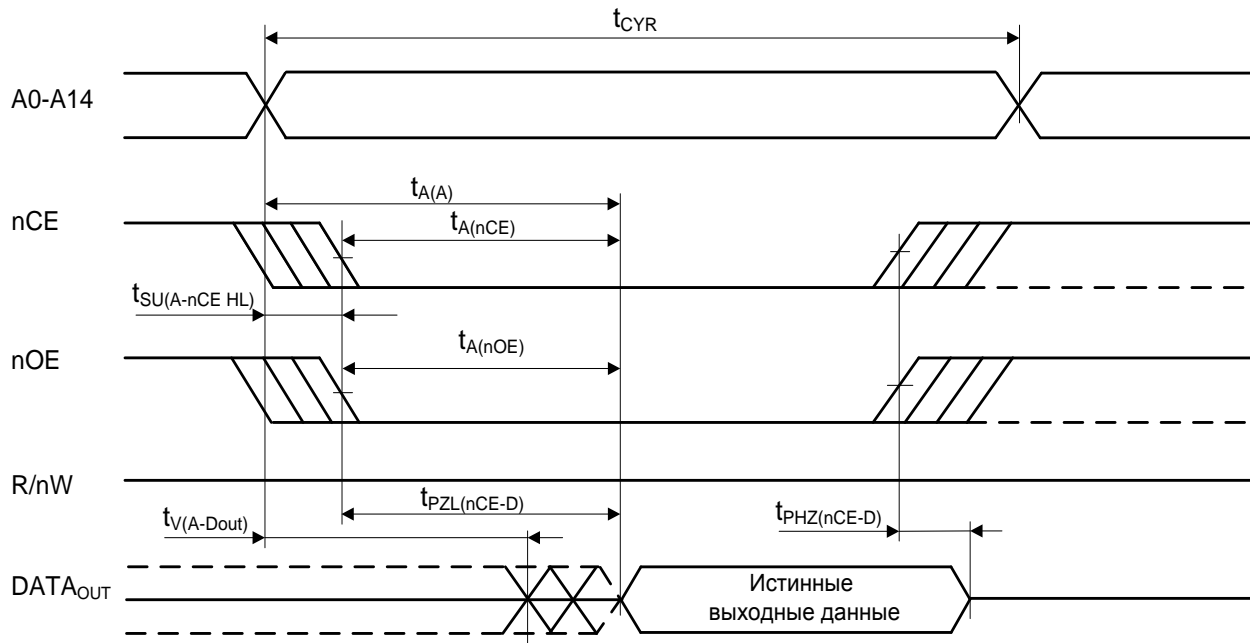


Рис.3 Временная диаграмма цикла чтения

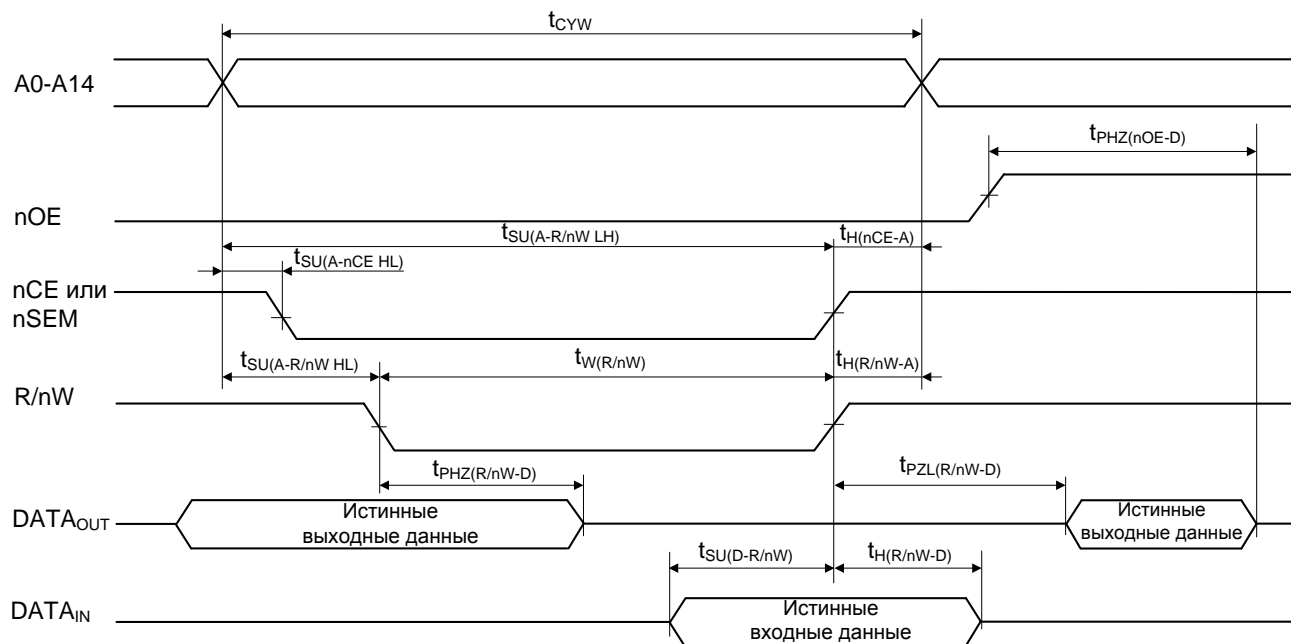


Рис.4 Временная диаграмма цикла записи №1 по сигналу R/nW

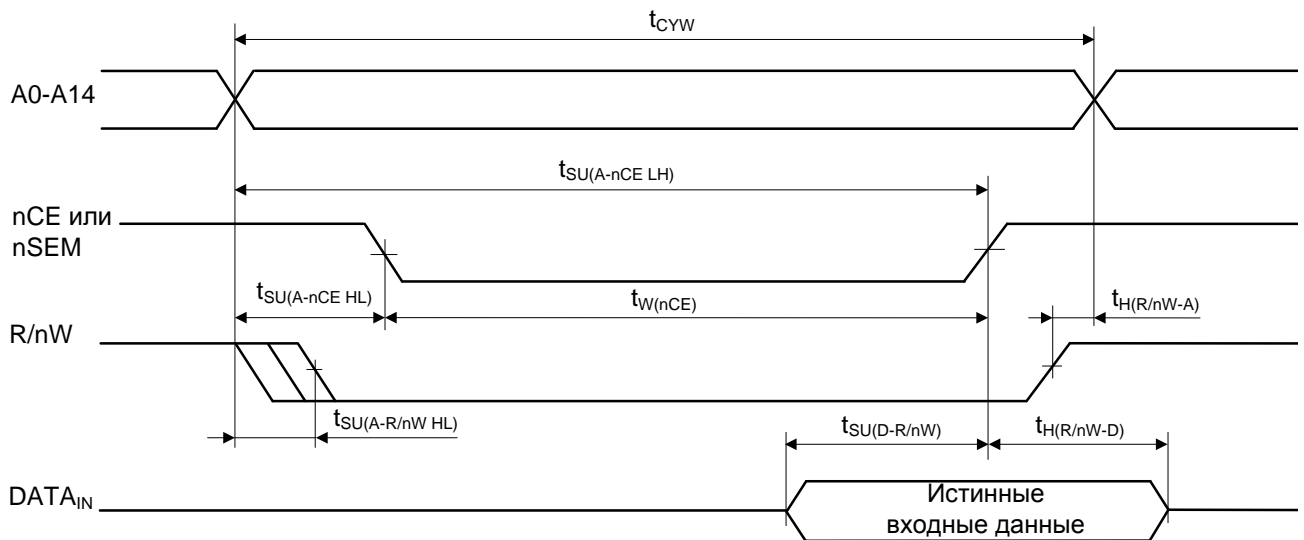


Рис.5 Временная диаграмма цикла записи №2 по сигналу nCE

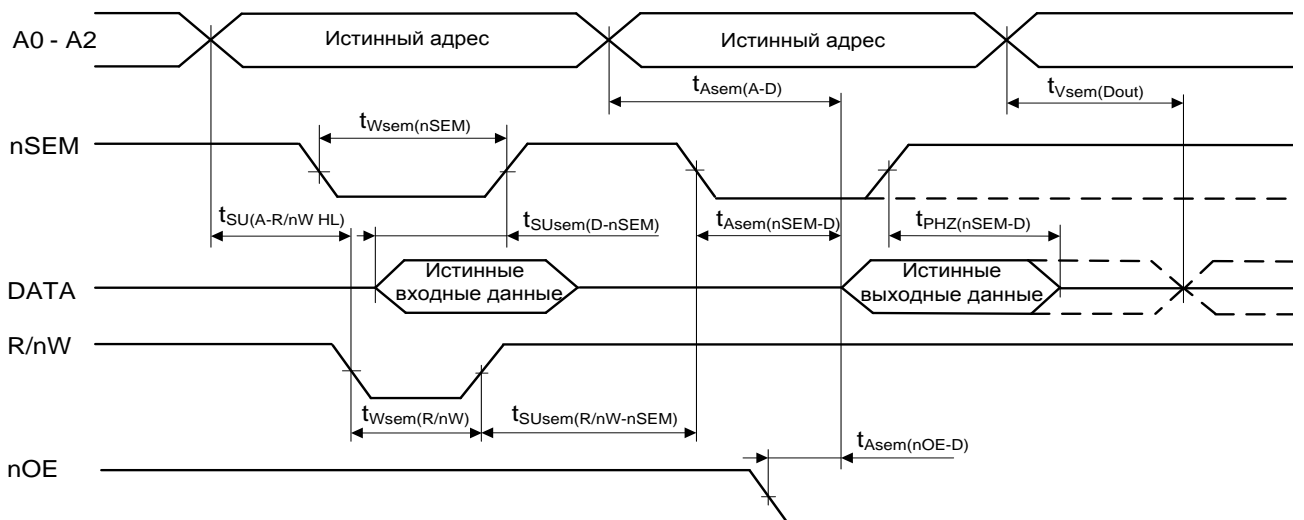


Рис.6 Временная диаграмма чтения семафоров после записи (для обеих сторон)

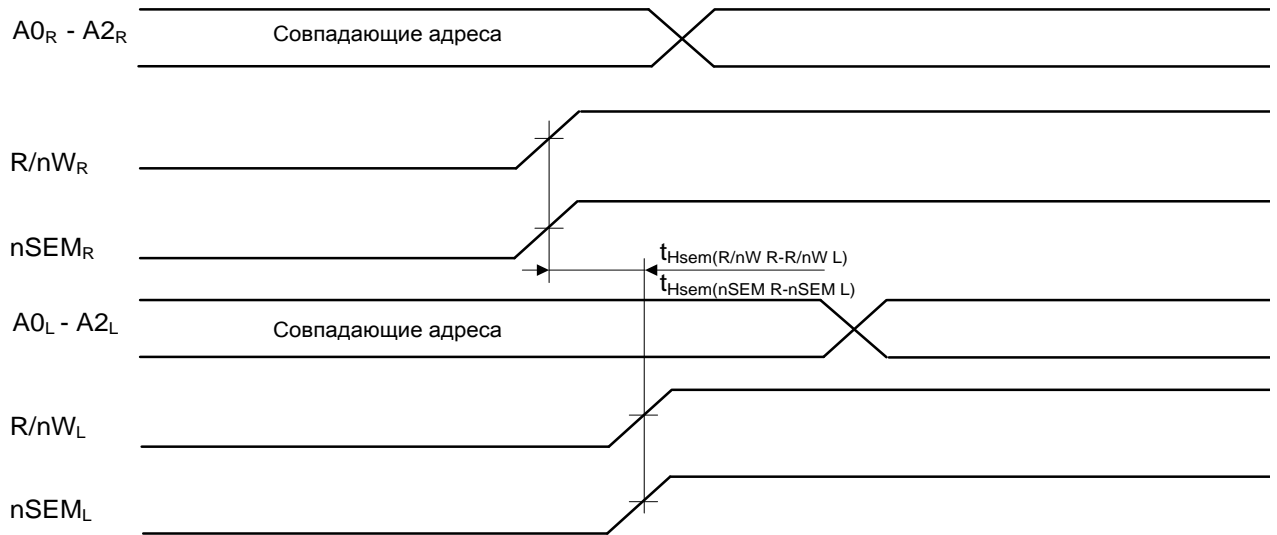


Рис.7 Временная диаграмма состязания записи семафора

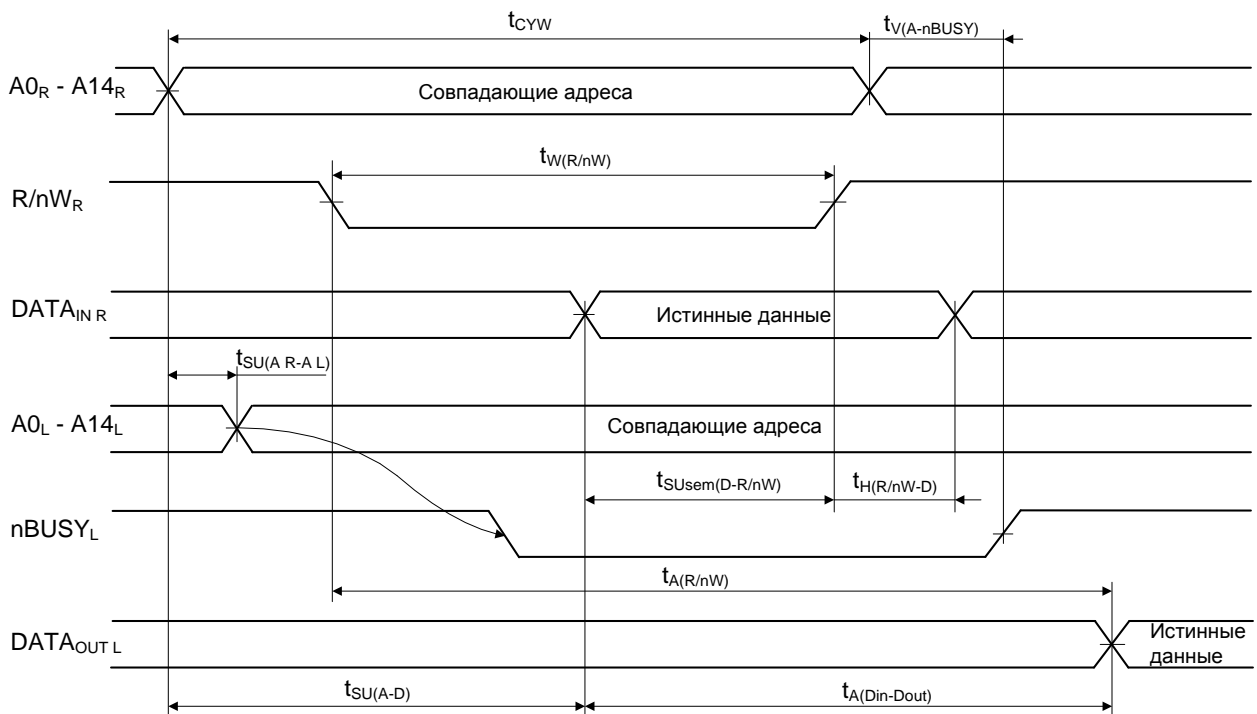


Рис.8 Временная диаграмма записи по порту R с чтением по порту L и nBUSY ($M/nS = U_{IH}$). Состояние остальных входов микросхемы приведены на рис.3 (цикл чтения), рис.4, 5 (цикл записи)

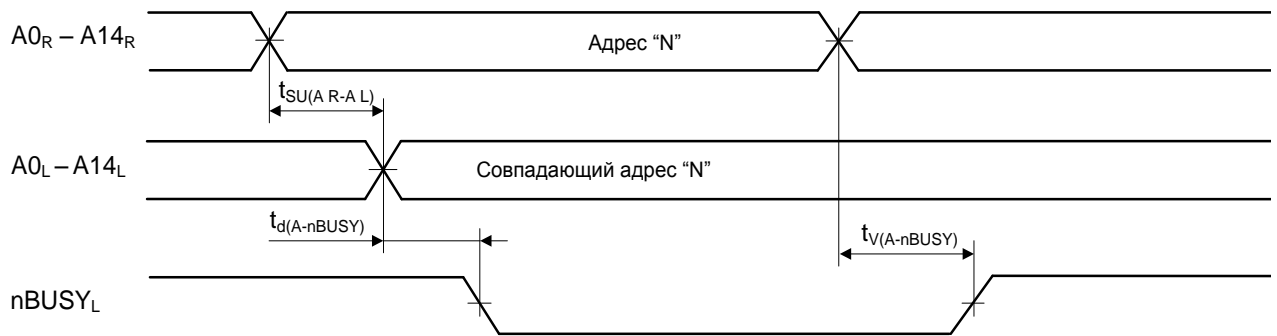


Рис.9 Временная диаграмма арбитража nBUSY от совпадения адресов ($M/nS = U_{IH}$)

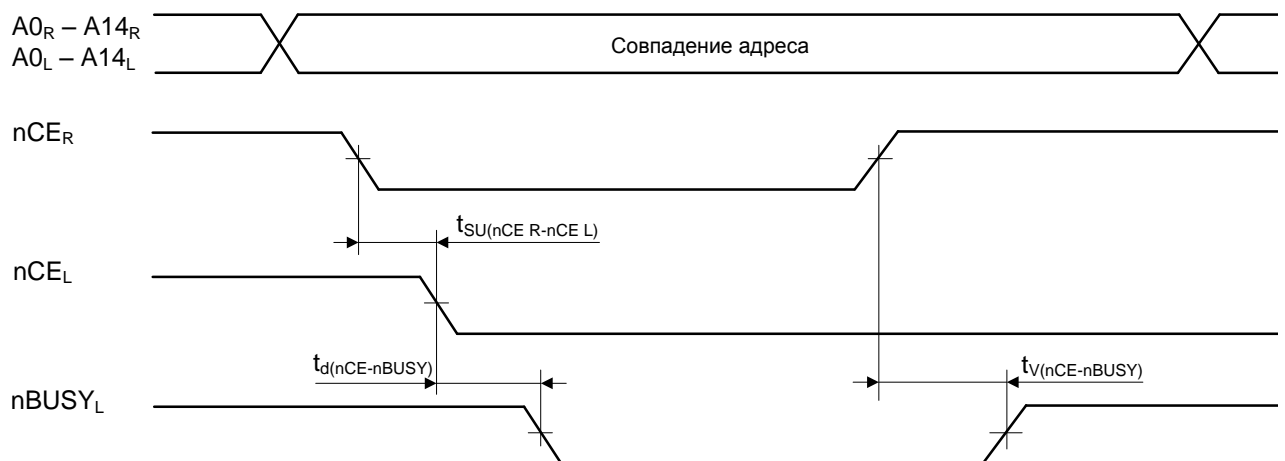


Рис.10 Временная диаграмма арбитража "nBUSY" от сигналов nCE ($M/nS = U_{IH}$)

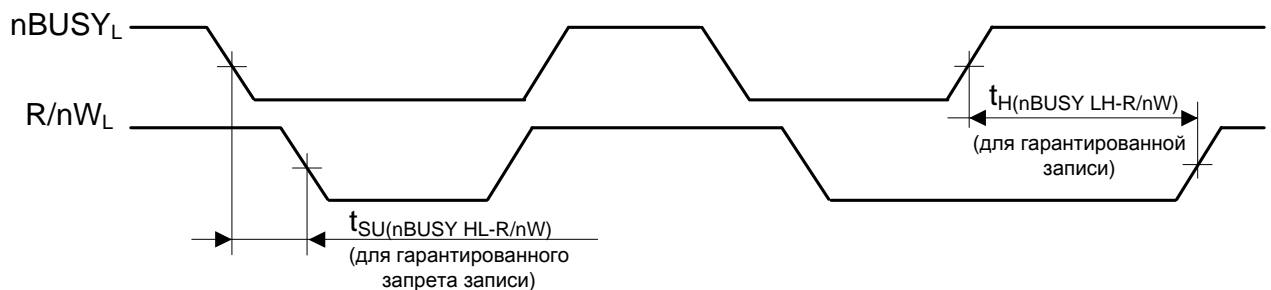


Рис.11 Временная диаграмма записи с флагом "nBUSY" от совпадения адресов ($M/nS = U_{IL}$)

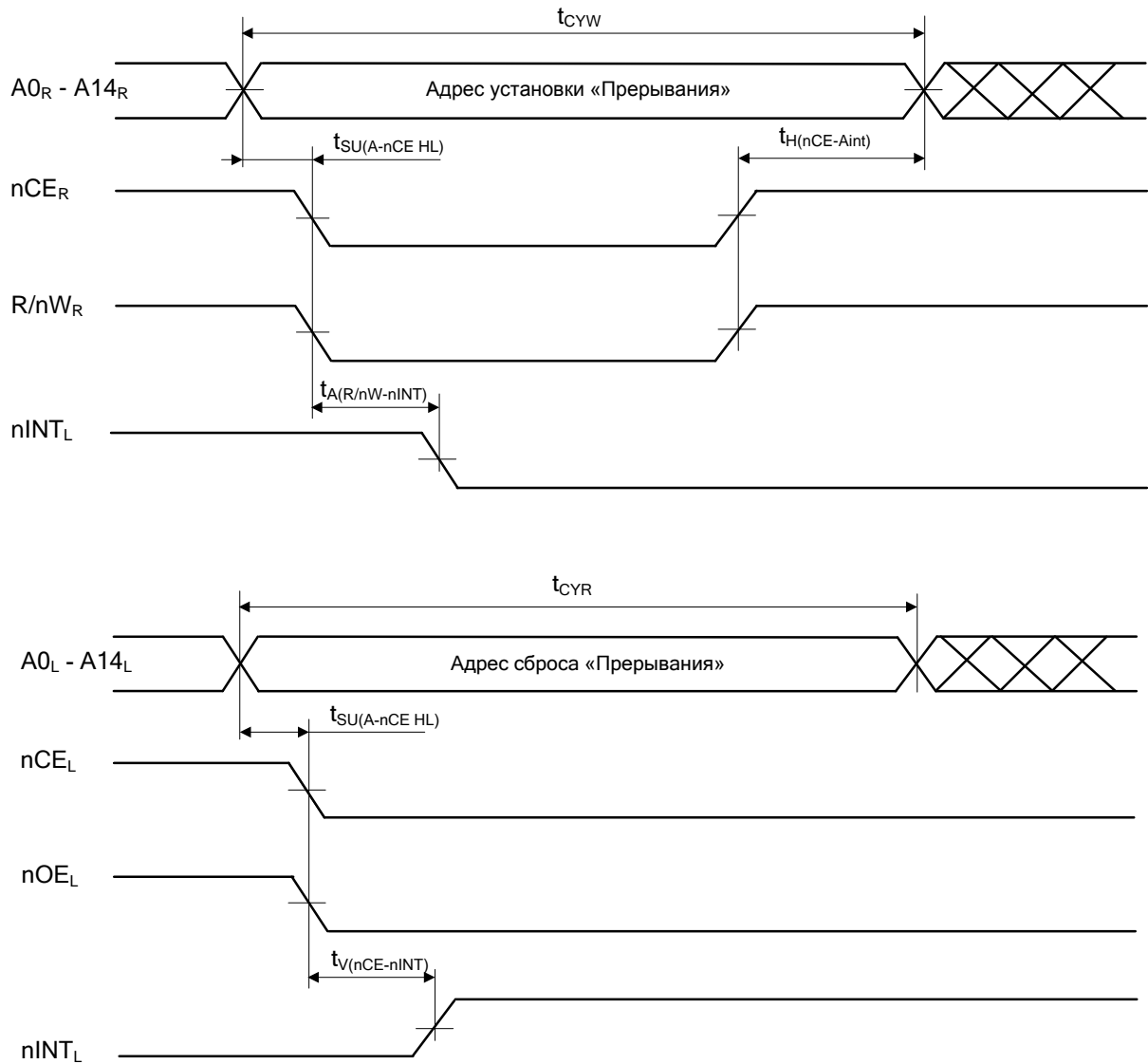


Рис.12 Временная диаграмма флага прерывания ($nINT$)

Типовые зависимости

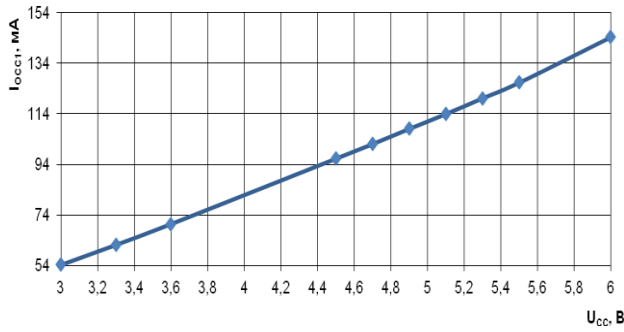


Рис. 13 Зависимость динамического тока потребления I_{OCC1} от напряжения питания U_{CC}, при: T=25 °C, t_{CYR}=50 нс

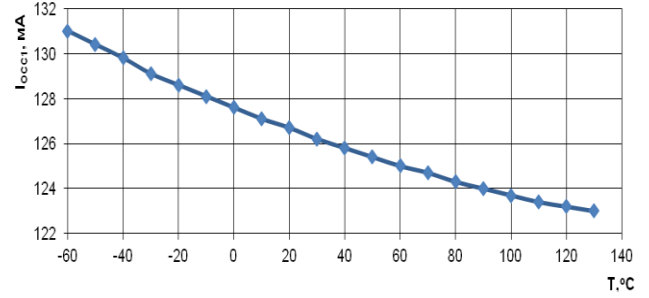


Рис. 14 Зависимость динамического тока потребления I_{OCC1} от температуры T °C, при: U_{CC}=5,5 В, t_{CYR}=50 нс

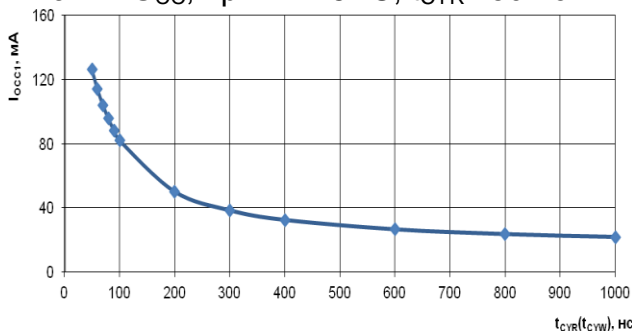


Рис. 15 Зависимость динамического тока потребления I_{OCC1} от времени цикла t_{CYR} (t_{CYW}), при: U_{CC}=5,5 В, T=25 °C

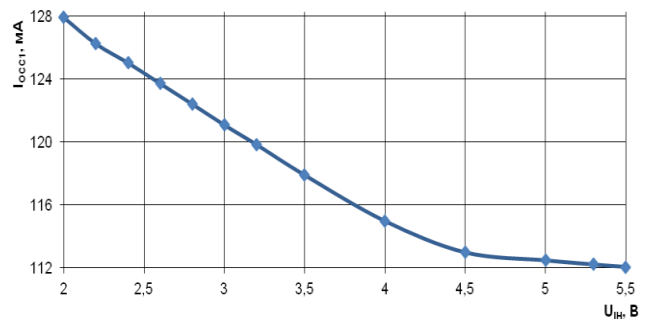


Рис. 16 Зависимость динамического тока потребления I_{OCC1} от входного напряжения высокого уровня U_{IH}, при: U_{CC}=5,5 В, T=25 °C, f=20 МГц, U_{IL}=0,8 В

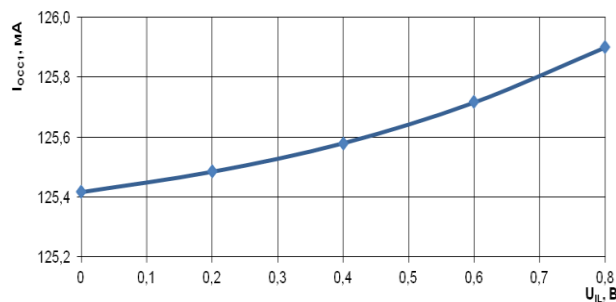


Рис. 17 Зависимость динамического тока потребления I_{OCC1} от входного напряжения низкого уровня U_{IL}, при: U_{CC}=5,5 В, T=25 °C, f=20 МГц, U_{IH}=2,4 В

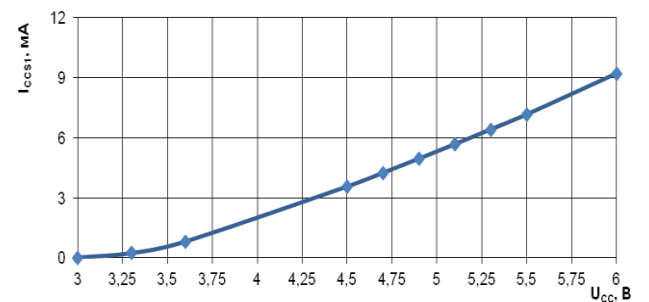


Рис. 18 Зависимость тока потребления в режиме хранения I_{OCC1} от напряжения питания U_{CC}, при: T=25 °C

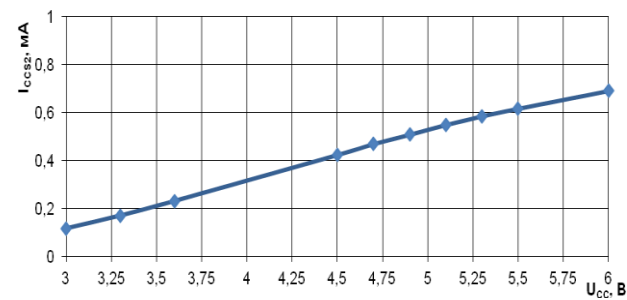


Рис. 19 Зависимость тока потребления в режиме хранения I_{OCC2} от напряжения питания U_{CC}, при: T=25 °C

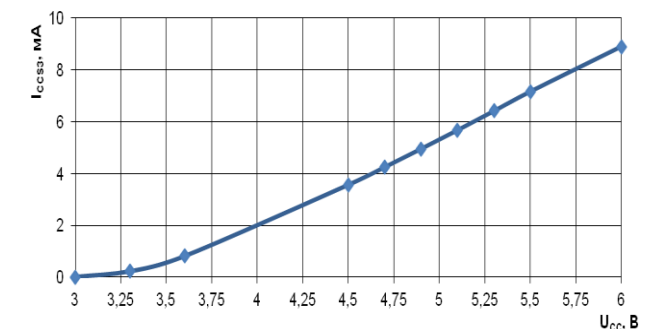


Рис. 20 Зависимость тока потребления в режиме хранения I_{OCC3} от напряжения питания U_{CC}, при: T=25 °C

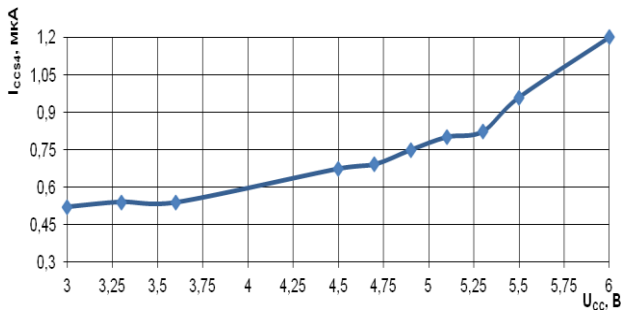


Рис.20 Зависимость тока потребления в режиме хранения I_{CCS4} от напряжения питания U_{CC} , при: $T=25^{\circ}\text{C}$

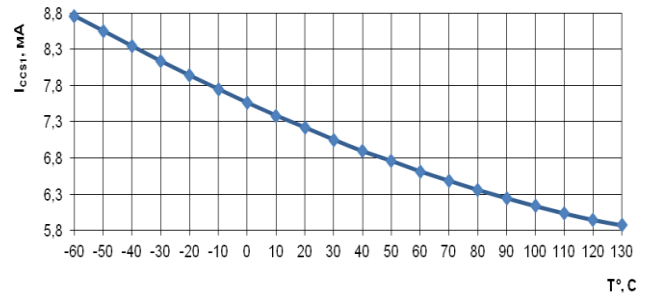


Рис.21 Зависимость тока потребления в режиме хранения I_{CCS1} от температуры $T^{\circ}\text{C}$ при: $U_{CC}=5,5\text{ В}$

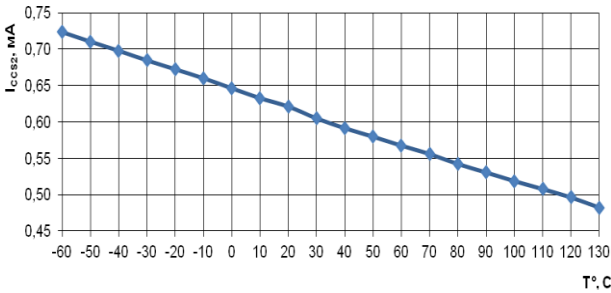


Рис. 22. Зависимость тока потребления в режиме хранения I_{CCS2} от температуры $T^{\circ}\text{C}$, при: $U_{CC}=5,5\text{ В}$

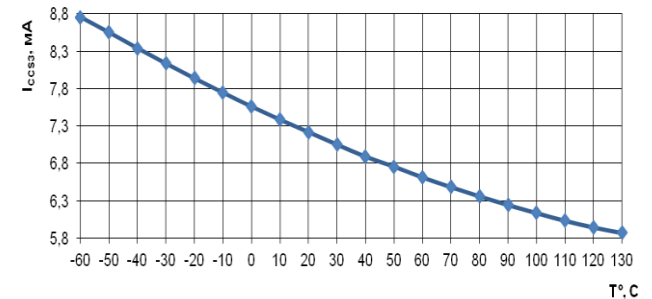


Рис. 23 Зависимость тока потребления в режиме хранения I_{CCS3} от температуры $T^{\circ}\text{C}$ при: $U_{CC}=5,5\text{ В}$

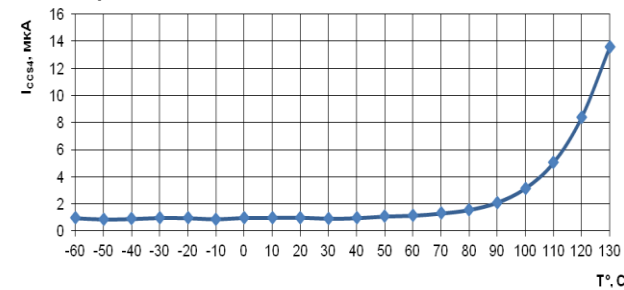


Рис. 24 Зависимость тока потребления в режиме хранения I_{CCS4} от температуры $T^{\circ}\text{C}$, при: $U_{CC}=5,5\text{ В}$

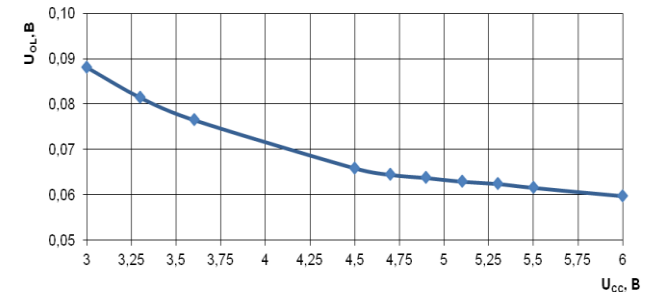


Рис 25 Зависимость выходного напряжения низкого уровня U_{OL} от напряжения питания U_{CC} , при: $T=25^{\circ}\text{C}$, $I_{OL}=4\text{ мА}$

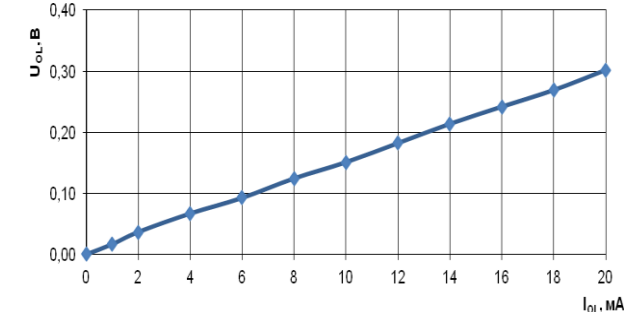


Рис. 26 Зависимость выходного напряжения низкого уровня U_{OL} от тока нагрузки I_{OL} , при: $T=25^{\circ}\text{C}$, $U_{CC}=4,5\text{ В}$

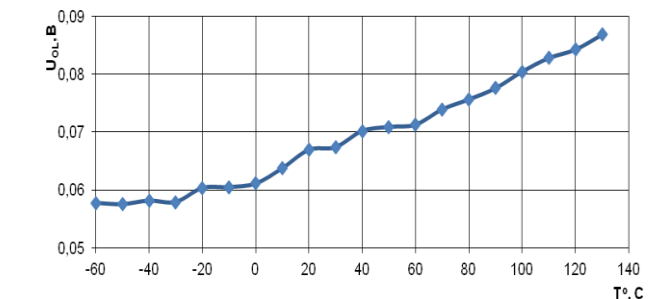


Рис. 27 Зависимость выходного напряжения низкого уровня U_{OL} от температуры $T^{\circ}\text{C}$, при: $U_{CC}=4,5\text{ В}$, $I_{OL}=4\text{ мА}$

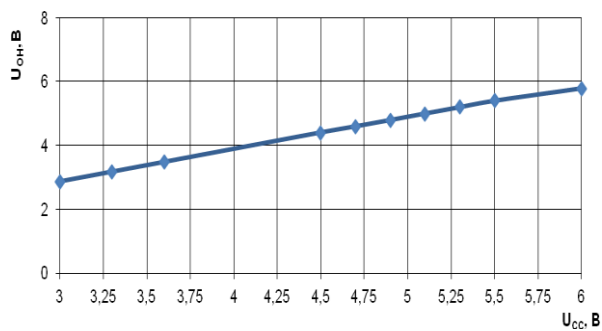


Рис. 28 Зависимость выходного напряжения высокого уровня U_{OH} от напряжения питания U_{CC} , при: $T = 25\text{ }^{\circ}\text{C}$, $I_{OH} = \text{минус } 4\text{ мА}$

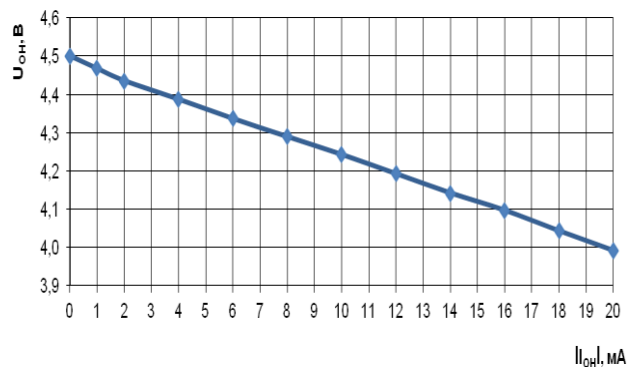


Рис. 29 Зависимость выходного напряжения высокого уровня U_{OH} от тока нагрузки I_{OH} , при: $T = 25\text{ }^{\circ}\text{C}$, $U_{CC} = 4,5\text{ В}$

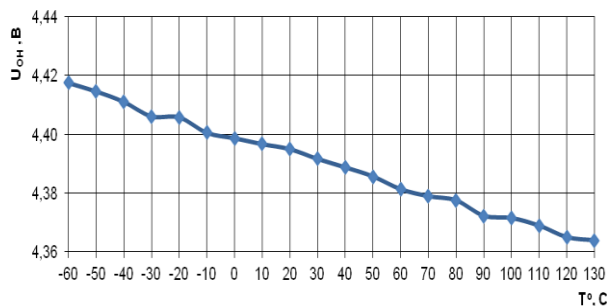


Рис. 30 Зависимость выходного напряжения высокого уровня U_{OH} от температуры $T = 25\text{ }^{\circ}\text{C}$, при: $U_{CC} = 4,5\text{ В}$, $I_{OL} = \text{минус } 4\text{ мА}$

Габаритный чертеж микросхемы

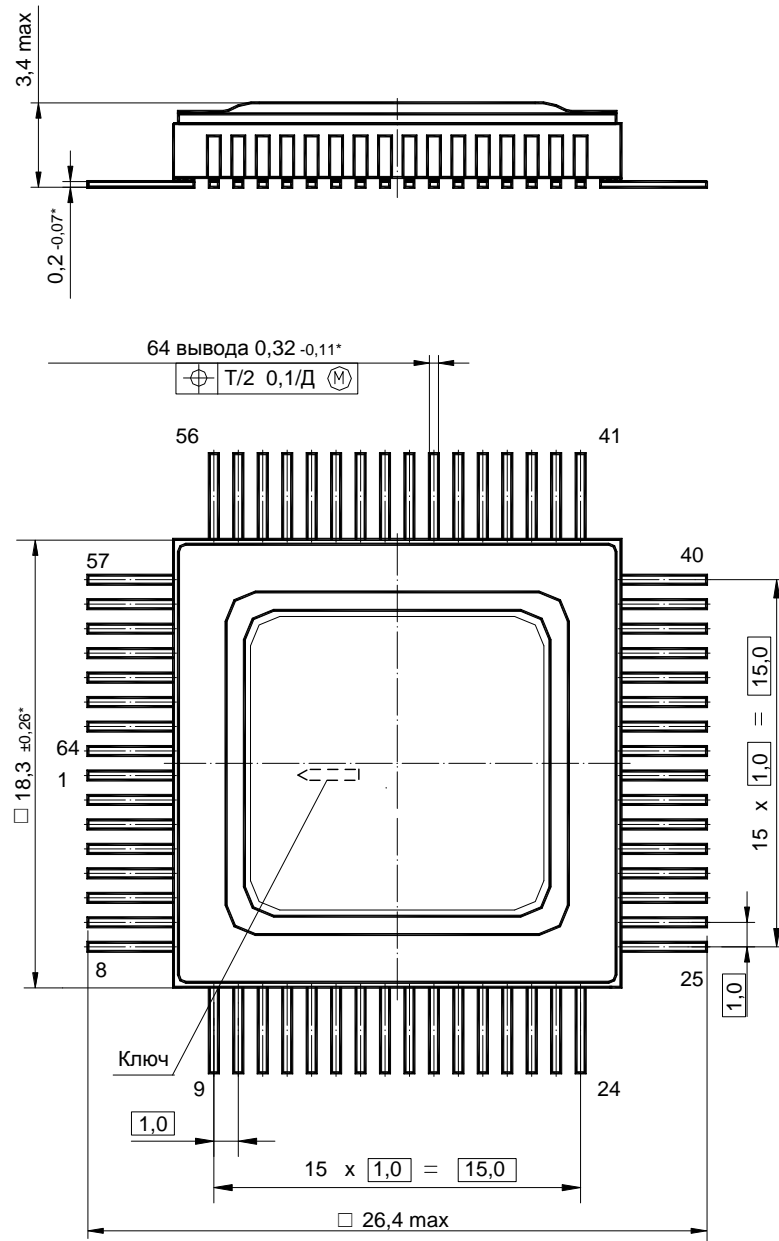


Рис.13 Микросхема в корпусе 5134.64-6

Примечание – Ключ обозначен на обратной стороне корпуса

Информация для заказа

Обозначение микросхемы	Маркировка	Тип корпуса	Температурный диапазон
1645PK1У	1645PK1У	5134.64-6	минус 60 – 125 °С
К1645PK1У	К1645PK1У	5134.64-6	минус 60 – 125 °С
К1645PK1УК	К1645PK1У●	5134.64-6	0 – 70 °С

Микросхемы с приемкой «ВП» маркируются ромбом.

Микросхемы с приемкой «ОТК» маркируются буквой «К».

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов	№№ новых листов
1	12.02.2010	1.2	1. Отредактирована табл.8; 2. Добавлен лист регистрации	13	24
2	09.04.2010	1.3	Замена габаритного чертежа	23	–
3	27.04.2010	1.4	Замена логотипа	1	
4	06.05.2010	1.5	Приведение в соответствие таблицы 8 и временных диаграмм		
5	12.05.2010	1.6	Введен параметр $t_{W(SEM)}$		
6	20.09.2010	1.7	Приведение в соответствие таблицы 8 и рисунка 4	17	
7	18.01.2011	1.8	1. Приведение в соответствие с ТУ; 2. Отработка спецификации	1, 13-23; 5-12	(всего – 25 л.)
8	15.09.2011	1.9	1. Введение нового обозначения микросхемы с температурным диапазоном 0 – 70°C в соответствии со стандартом предприятия 2. Структурная блок-схема рис.1 – корректировка названия блока 3. Приведение табл.7, 8 в соответствие с ТУ 3. Приведение в соответствие условных обозначений выводов в табл.1 и временных диаграммах	1, 24 2 13-18 19-23	(всего – 25 л.)
9	22.12.2011	2.0	1. Корректировка описания функционирования микросхемы 2. Приведение в соответствие с ТУ п.8 таблицы 7 3. Приведение в соответствие с ТУ таблицы 8 4. Приведение в соответствие с ТУ временных диаграмм 5. Вставлены графики типовых зависимостей электрических параметров	8-12 13 14-18 19-23 24-26	26 - 29 (всего – 29 л.)
10	13.03.2014	2.1	1. Корректировка рисунка 11	22	–