



МИКРОСХЕМЫ ПРЕОБРАЗОВАТЕЛЕЙ УРОВНЕЙ ТТЛ В ДВУХПОЛЯРНОЕ НАПРЯЖЕНИЕ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхемы предназначены для преобразования уровней ТТЛ в двухполярное напряжение и могут выполнять функции устройств сопряжения с р-і-п диодами.

Входное напряжение низкого уровня, В.....не более 0.8
 Входное напряжение высокого уровня, В.....не менее 2.4
 Выходное напряжение низкого уровня, В.....-4
 Выходное напряжение высокого уровня, В.....4
 Выходной ток низкого уровня, мА*.....30
 Выходной ток высокого уровня, мА*.....-30
 Время задержки распространения при включении (выключении) $t_{рЛН}$ ($t_{рНЛ}$), нс**.....200
 Время нарастания (спада) сигнала, t_r (t_f) нс**.....200
 Напряжения питания, В
 V_{CC1} $+5 \pm 10\%$
 V_{CC2} $-5 \pm 10\%$
 Температурный диапазон, °С..... $-60 \div +125$
 Тип корпуса.....Н16.48-1В

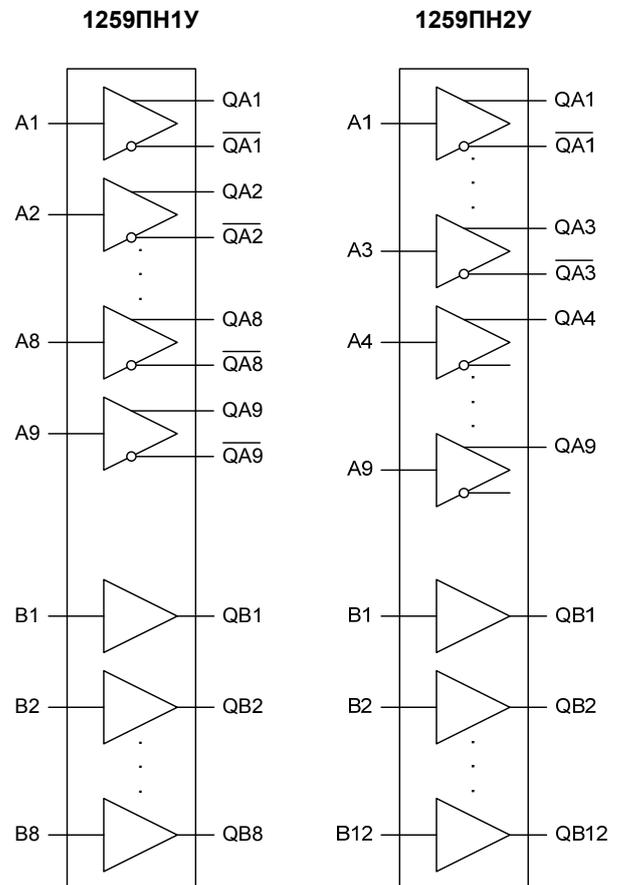
* Возможно объединение до 5 выводов с увеличением общего выходного тока до 150 мА.

** Для длительностей фронтов входного сигнала $t_{ЛН} = t_{НЛ} \leq 20$ нс.

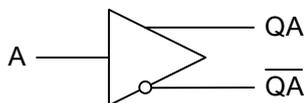
Микросхема 1259ПН1У содержит 9 элементов тип А и 8 элементов тип В.

Микросхема 1259ПН2У содержит 9 элементов тип А и 12 элементов тип В.

НАЗНАЧЕНИЕ ВЫВОДОВ



Элемент тип А



Элемент тип В

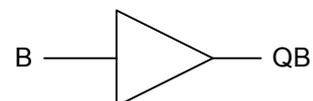


Таблица истинности элементов тип А

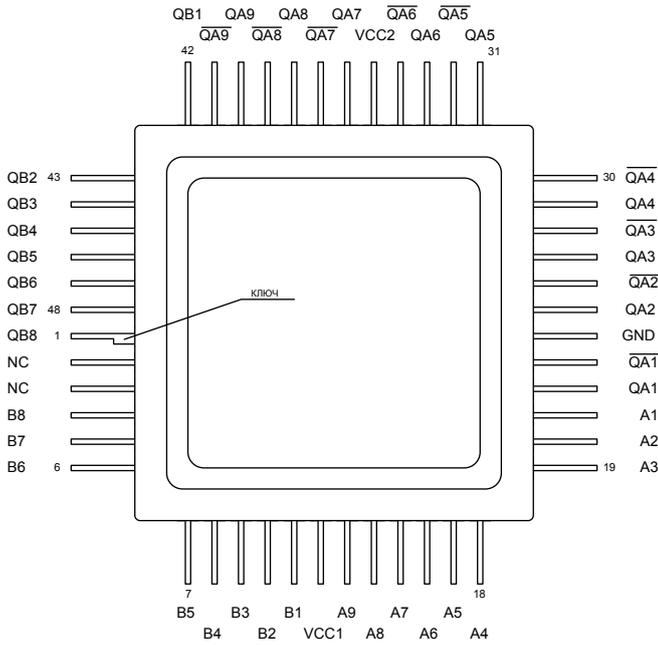
Вход	Выходы	
	QA	QA
Н	Л (логическая единица)	Н (логический ноль)
Л	Н (логический ноль)	Л (логическая единица)

Таблица истинности элементов тип В

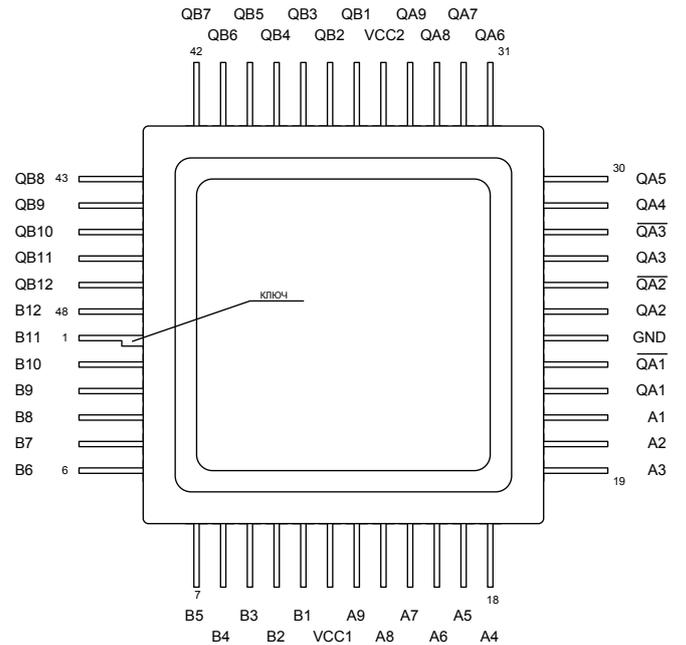
Вход	Выход
	QB
Н	Л (логическая единица)
Л	Н (логический ноль)

НАЗНАЧЕНИЕ ВЫВОДОВ

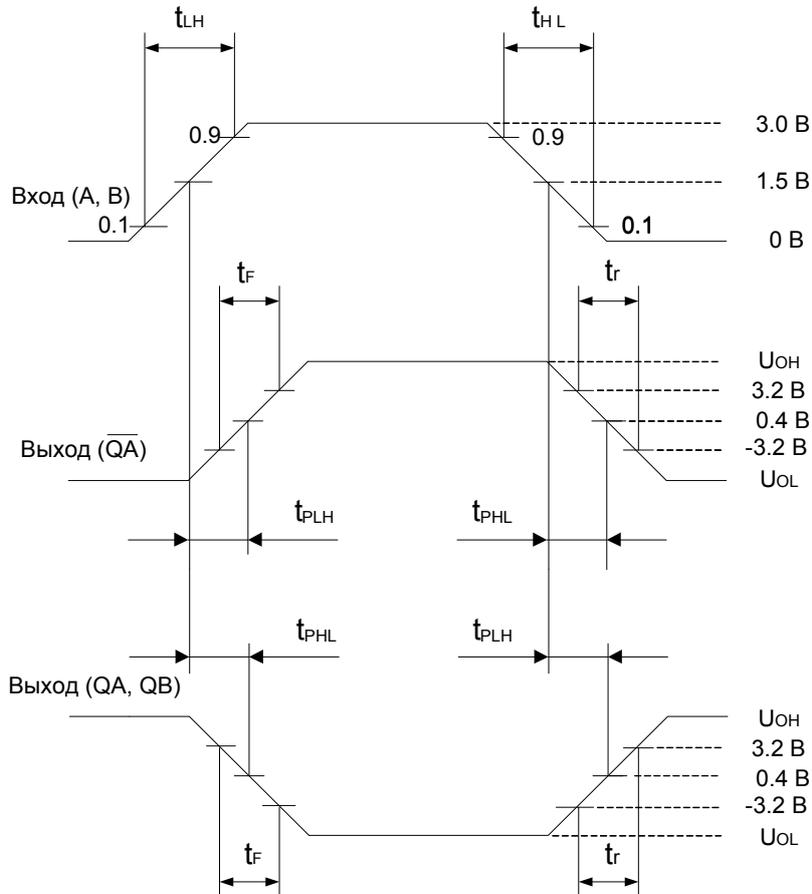
1259ПН1У



1259ПН2У



ВРЕМЕННАЯ ДИАГРАММА ФУНКЦИОНИРОВАНИЯ МИКРОСХЕМ



t_{PLH} (t_{PHL}) – время задержки распространения при включении (выключении);
 t_r (t_f) – время нарастания (спада) сигнала.



МИКРОСХЕМА ПОРОГОВО-ЛОГИЧЕСКОЙ ОБРАБОТКИ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема порогово-логической обработки предназначена для построения следующих устройств:

- адаптивного порогового устройства, обеспечивающего заданный уровень ложных тревог в условиях комбинированных помех;
- адаптивного ограничителя мощности процесса;
- устройства вычитания постоянной составляющей процесса.

Разрядность входных данных, бит.....17
 Разрядность результата, бит.....17
 Длина «скользящего» окна.....10, 15, 20
 Метод формирования порога.....на основе
 порядковых статистик
 Напряжение питания, В.....+5±10%
 Температурный диапазон, °С.....-60 ÷ +125
 Исполнение*.....бескорпусное

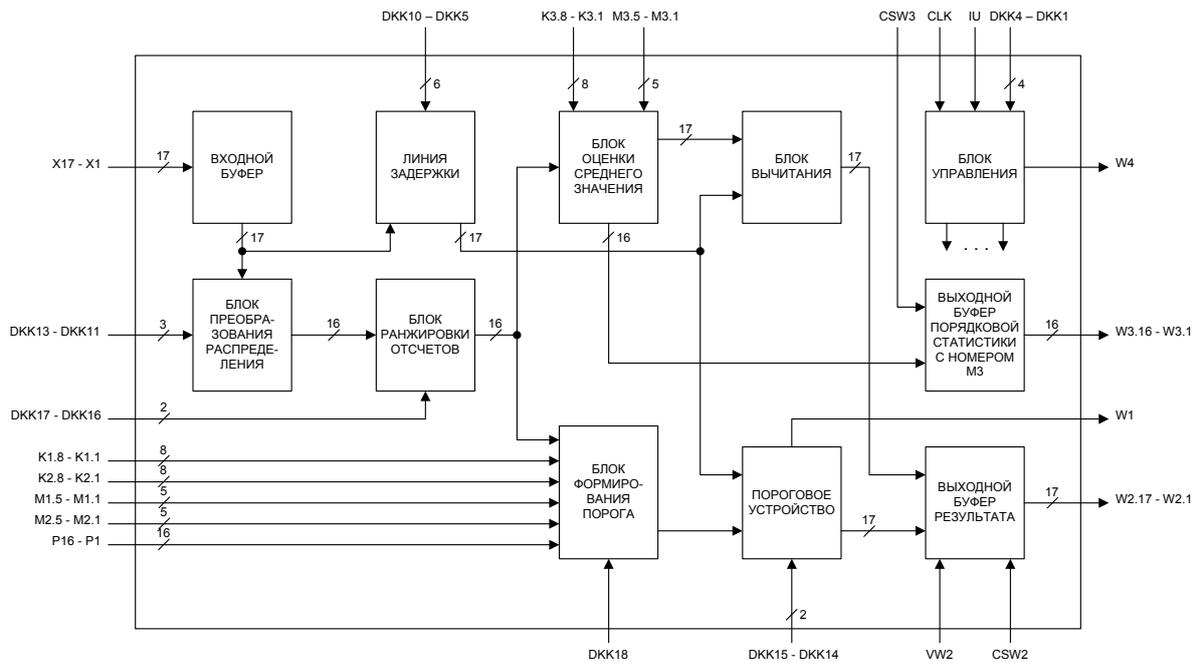
* Возможна поставка микросхем в корпусном исполнении (тип корпуса – по согласованию с потребителем).

Микросхемы изготавливаются по КМОП технологии и имеют ТТЛ-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
X	Входная шина данных
DKK	Входная шина кода конфигурации
K1	Входная шина коэффициента для расчета порога
K2	Входная шина коэффициента для расчета порога
K3	Входная шина коэффициента для расчета оценки среднего значения
M1	Входная шина кода номера порядковой статистики для расчета порога
M2	Входная шина кода номера порядковой статистики для расчета порога
M3	Входная шина кода номера порядковой статистики для расчета оценки среднего значения
P	Входная шина пороговой величины
IU	Вход сигнала начальной установки
CLK	Вход синхросигнала
VW2	Вход сигнала управления выходной шиной W2
CSW2	Вход сигнала разрешения выдачи данных на шину W2
CSW3	Вход сигнала разрешения выдачи данных на шину W3
W1	Выход сигнала превышения порога
W2	Выходная шина результата
W3	Выходная шина порядковой статистики с номером M3
W4	Выход сигнала приема входных данных

СТРУКТУРНАЯ СХЕМА



ОРГАНИЗАЦИЯ ВЫЧИСЛЕНИЙ

Перед началом работы на вход IU подается отрицательный импульс, по которому все внутренние регистры устанавливаются в нуль.

Загрузка входных данных по шине X начинается после прихода положительного фронта сигнала IU. Запись отсчетов данных во входной буфер выполняется отрицательным фронтом сигнала CLK с темпом $T_{\text{п}}=12 \cdot T_{\text{CLK}}$.

Запись первого отсчета данных осуществляется i -м ($i = \overline{1, 12}$) импульсом CLK. Значение i определяется кодом задержки вычислений (разряды DKK[4:1] кода конфигурации).

Проинвертированные импульсы синхросигнала CLK, по которым производится запись входных данных, выдаются на выход W4.

С выхода буфера информация поступает на входы линии задержки и блока преобразования распределения.

Блок преобразования распределения осуществляет преобразование распределения входного процесса на основе «скачущего» окна путем замены оценки моментов распределения входного процесса X_i оценкой квантилей преобразованного процесса Y_k в соответствии с выражениями:

размерность «скачущего» окна равна $K=2$

$$\begin{aligned} Y_1 &= \max(|X_1|, |X_2|), \\ Y_2 &= \max(|X_3|, |X_4|), \end{aligned} \quad (1)$$

и т.д.;

размерность «скачущего» окна равна $K=3$

$$\begin{aligned} Y_1 &= \max(|X_1|, |X_2|, |X_3|), \\ Y_2 &= \max(|X_4|, |X_5|, |X_6|), \end{aligned} \quad (2)$$

и т.д.;

размерность «скачущего» окна равна $K=4$

$$\begin{aligned} Y_1 &= \max(|X_1|, |X_2|, |X_3|, |X_4|), \\ Y_2 &= \max(|X_5|, |X_6|, |X_7|, |X_8|), \end{aligned} \quad (3)$$

и т.д.;

размерность «скачущего» окна равна $K=4$

$$\begin{aligned} Y_1 &= |X_1| + |X_2| + |X_3| + |X_4|, \\ Y_2 &= |X_5| + |X_6| + |X_7| + |X_8|, \end{aligned} \quad (4)$$

и т.д.;

размерность «скачущего» окна равна $K=5$

$$\begin{aligned} Y_1 &= \max(|X_1|, |X_2|, |X_3|, |X_4|, |X_5|), \\ Y_2 &= \max(|X_6|, |X_7|, |X_8|, |X_9|, |X_{10}|), \end{aligned} \quad (5)$$

и т.д.

Выбор варианта организации преобразования распределения осуществляется при помощи задания кода преобразования (разряды DKK[13:11] кода конфигурации).

С выхода блока преобразования распределения отсчеты Y_k поступают на блок ранжировки отсчетов. Разрядность отсчетов Y_k составляет 16 бит (знаковый разряд отсутствует). Это определяется тем, что формирование отсчетов Y_k осуществляется с использованием модулей входных отсчетов X_i (выражения 1-5).

Блок ранжировки осуществляет сортировку отсчетов Y_k в порядке убывания, после чего они становятся порядковыми статистиками:

$$Y^{(1)} \geq Y^{(2)} \geq Y^{(3)} \geq \dots \geq Y^{(L)},$$

где $L \in \{10, 15, 20\}$.

Значение L определяется кодом окна ранжировки (разряды DKK[17:16] кода конфигурации).

Полученные порядковые статистики поступают на входы блока формирования оценки среднего значения процесса и блока формирования порога.

Оценка среднего значения процесса A и порог B формируются в соответствии с выражениями:

$$A = K3 \cdot Y^{(M3)}; \quad (6)$$

$$B = K1 \cdot Y^{(M1)} + K2 \cdot Y^{(M2)}; \quad (7)$$

где $Y^{(M1)}$, $Y^{(M2)}$, $Y^{(M3)}$ – порядковые статистики с заданными номерами $M1$, $M2$, $M3$;

$K1$, $K2'$, $K3$ – заданные коэффициенты, причем

$$K2' = \begin{cases} K2, & \text{если } Y^{(\max)} > P; \\ 0, & \text{если } Y^{(\max)} \leq P. \end{cases}$$

Здесь $Y^{(\max)}$ – статистика с максимальным порядковым номером L ; P – заданная пороговая величина.

Значения $K1$, $K2$, $K3$, $M1$, $M2$, $M3$, P подаются на соответствующие входные шины микросхемы.

Оценка среднего значения процесса A в дальнейшем делится на 2^7 , а порог B – на 2^5 или 2^7 в зависимости от значения старшего разряда кода конфигурации DKK[18].

Промасштабированная величина A , представленная 16-разрядным кодом без знака, поступает на вход блока вычитания, куда также подаются данные с выхода линии задержки.

Линия задержки предназначена для задержки входных отсчетов на время, необходимое для формирования соответствующих значений оценки среднего A и порога B . Задержка задается кодом задержки (разряды DKK[10:5] кода конфигурации) и рассчитывается в соответствии с выражением:

$$Nz = \frac{L \cdot K}{2}$$

где L – длина окна ранжировки;

K – размерность «скачущего» окна преобразователя распределения.

Устройство вычитания реализует операцию:

$$Q = Xz - A, \quad (8)$$

где A – оценка среднего значения процесса, вычисляемая согласно (6),

Xz – отсчет входного сигнала, задержанный в блоке задержки на время формирования величины A .

Пороговое устройство в зависимости от значений разрядов кода конфигурации DKK[15:14] реализует следующие четыре операции:

DKK[15:14] = “00”

$$R = \begin{cases} Xz, & \text{если } |Xz| \leq B; \\ B \cdot \text{sign}(Xz), & \text{если } |Xz| > B; \end{cases}$$

DKK[15:14] = “01”

$$R = Xz;$$

DKK[15:14] = “10”

$$R = Xz - B;$$

DKK[15:14] = “11”

$$R = B;$$

где B – порог, вычисляемый согласно (7),

Xz – отсчет входного сигнала, задержанный на время формирования порога B ,
 $\text{sign}(Xz)$ – знак отсчета Xz .

Кроме того, пороговое устройство формирует сигнал превышения порога, который выдается на выход $W1$ и вычисляется в соответствии с выражением:

$$W1 = \begin{cases} 1, & \text{если } |Xz| \geq B; \\ 0, & \text{если } |Xz| < B. \end{cases}$$

Величины Q и R поступают на выходной буфер, который осуществляет выдачу на выход $W2$ результата:

$$W2 = \begin{cases} R, & \text{если } VW2 = 0; \\ Q, & \text{если } VW2 = 1. \end{cases}$$

На выход $W3$ выдается порядковая статистика с номером $M3$:

$$W3 = Y^{(M3)}.$$

Сигналы $CSW2$ и $CSW3$ предназначены для перевода выходных шин $W2$ и $W3$ в «третье» состояние.



МИКРОСХЕМА СПЕЦИАЛИЗИРОВАННОГО КОНТРОЛЛЕРА МАНЧЕСТЕРСКОГО КОДА

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Специализированный контроллер манчестерского кода предназначен для построения систем передачи данных по последовательным каналам связи с использованием кода «Манчестер-II».

Количество каналов на передачу.....2
Количество каналов на прием.....2
Разрядность передаваемых/принимаемых данных, бит.....20
Напряжение питания, В.....+5±10%
Температурный диапазон, °С.....-60 ÷ +125
Исполнение*.....бескорпусное

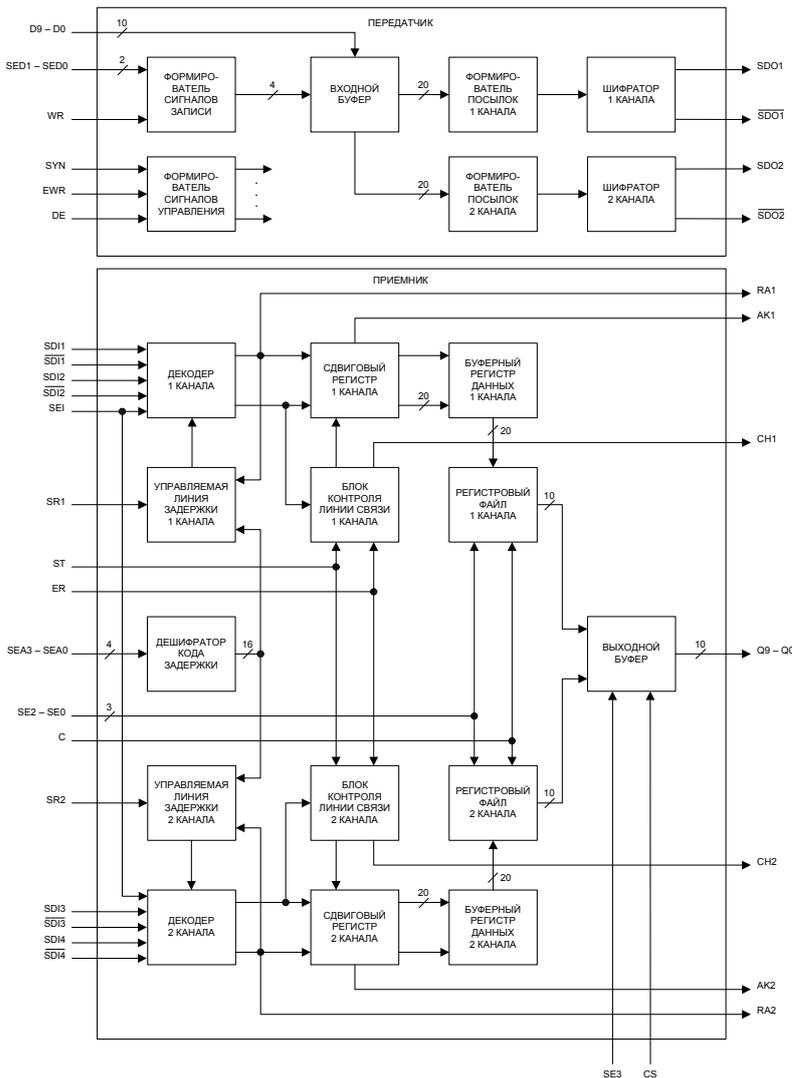
* Возможна поставка микросхем в корпусном исполнении (тип корпуса – по согласованию с потребителем).

Микросхемы изготавливаются по КМОП технологии и имеют ТТЛ-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
D	Входная шина данных передатчика
WR	Вход сигнала записи данных передатчика
SED0	Первый вход адреса записи данных передатчика
SED1	Второй вход адреса записи данных передатчика
EWR	Вход строба инициализации начала передачи данных
DE	Вход сигнала разрешения передачи данных
SYN	Вход синхросигнала передатчика
SDO1	Выход первого канала передатчика прямой
$\overline{SDO1}$	Выход первого канала передатчика инверсный
SDO2	Выход второго канала передатчика прямой
$\overline{SDO2}$	Выход второго канала передатчика инверсный
SDI1	Вход данных приемника первого канала прямой (основной)
$\overline{SDI1}$	Вход данных приемника первого канала инверсный (основной)
SDI2	Вход данных приемника первого канала прямой (дополнительный)
$\overline{SDI2}$	Вход данных приемника первого канала инверсный (дополнительный)
SDI3	Вход данных приемника второго канала прямой (основной)
$\overline{SDI3}$	Вход данных приемника второго канала инверсный (основной)
SDI4	Вход данных приемника второго канала прямой (дополнительный)
$\overline{SDI4}$	Вход данных приемника второго канала инверсный (дополнительный)
SEI	Вход выбора потока последовательных данных
SEA	Входная шина установки кода задержки
SR1	Вход внешней линии задержки первого канала
SR2	Вход внешней линии задержки второго канала
RA1	Выход выделенного синхросигнала первого канала
RA2	Выход выделенного синхросигнала второго канала
AK1	Выход сигнала приема слова данных первого канала
AK2	Выход сигнала приема слова данных второго канала
ST	Вход строба контроля исправности линии связи
ER	Вход сигнала разрешения обнуления принятых данных
CH1	Выход сигнала исправности линии связи первого канала
CH2	Выход сигнала исправности линии связи второго канала
C	Вход синхросигнала регистровых файлов
SE	Входная шина кода адреса регистровых файлов
CS	Вход разрешения выдачи данных на шину Q
SE3	Вход сигнала выбора канала выдачи данных приемника
Q	Выходная шина данных приемника

СТРУКТУРНАЯ СХЕМА



ФУНКЦИОНИРОВАНИЕ ПЕРЕДАТЧИКА

Передатчик является двухканальным и обеспечивает прием двух 20-разрядных двоичных слов (по первому и второму каналам) последовательно по 10 бит каждое, преобразование их в код «Манчестер-II» и выдачу прямых и инверсных значений результатов преобразования на выходы микросхемы.

Входные 10-разрядные слова D_1, D_2, D_3, D_4 подаются последовательно на шину D.

Синхронно с ними на шину SED подаются соответствующие коды адресов записи ("00", "01", "10", "11"), а на вход WR – четыре отрицательных импульса. Из указанных сигналов формируются сигналы записи данных D_1, D_2, D_3, D_4 в соответствующие регистры входного буфера передатчика.

После приема входных данных по сигналу EWR они переписываются в формирователи посылок первого и второго каналов, в которых формируются 24-разрядные посылки данных, имеющие следующую структуру:



Сформированные посылки в последовательном коде (старшими разрядами вперед) поступают в шифраторы первого и второго каналов, где производится их преобразование в код «Манчестер-II».

Синхронизация выдачи посылок в последовательном коде и преобразования их в код «Манчестер-II» осуществляется сигналом SYN.

Результаты преобразования выдаются на выходы передатчика в прямой и инверсной фазе по первому каналу $SDO1, \overline{SDO1}$ и второму каналу $SDO2, \overline{SDO2}$.

Передача входных данных осуществляется при наличии единичного значения сигнала DE. При значении сигнала DE, равном нулю, осуществляется блокировка выходов формирователей посылок и на выход передатчика будут выдаваться последовательности, соответствующие нулю кодируемой информации.

ФУНКЦИОНИРОВАНИЕ ПРИЕМНИКА

Приемник, как и передатчик, является двухканальным.

На входы первого канала приемника поступают парафазные данные в коде «Манчестер-II» по основному каналу ($SDI1, \overline{SDI1}$) и дополнительному каналу ($SDI2, \overline{SDI2}$).

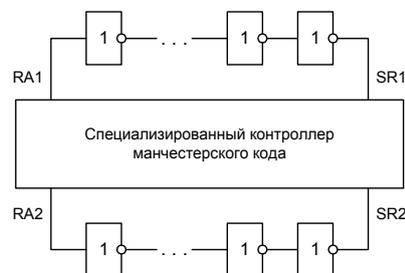
На входы второго канала приемника поступают парафазные данные в коде «Манчестер-II» по основному каналу ($SDI3, \overline{SDI3}$) и дополнительному каналу ($SDI4, \overline{SDI4}$).

Выбор основных или дополнительных каналов приемника осуществляется по сигналу SE1.

Данные поступают на устройства декодирования, которые выполняют преобразование их из кода «Манчестер-II» в последовательный двоичный код.

Настройка декодеров на частоту упаковки входных данных осуществляется при помощи выбора кода задержки SEA, который управляет соответствующими линиями задержки.

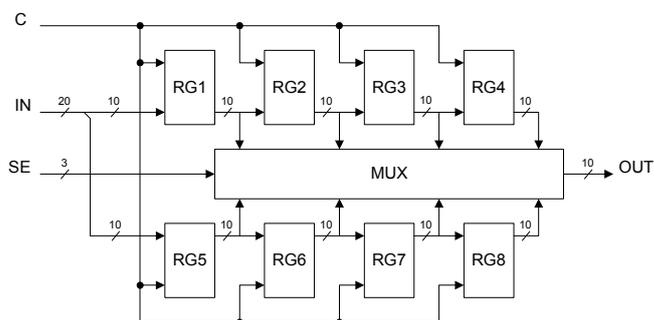
При значении SEA = "1111" для настройки на частоту упаковки используется внешняя задержка, подключаемая к выводам SR1 и RA1 для первого канала и SR2 и RA2 для второго канала.



Декодированные данные в последовательном коде поступают на входы сдвиговых регистров первого и второго каналов.

В сдвиговых регистрах производится анализ принимаемой информации. При обнаружении в старших разрядах заголовка и в младшем разряде стоп-бита формируются сигналы подтверждения приема слова AK1 и AK2. При этом 20-разрядные данные, содержащиеся в посылке, переписываются в буферные регистры.

Данные с выходов буферных регистров по сигналу C записываются в регистровые файлы, построенные по принципу FIFO.



Выдача информации из регистровых файлов осуществляется через мультиплексор MUX, который выдает на выход OUT данные с выхода одного из восьми регистров RG1 – RG8 в соответствии с таблицей:

Код SE	Выход регистра
000	RG1
001	RG5
010	RG2
011	RG6
100	RG3
101	RG7
110	RG4
111	RG8

Выходной буфер обеспечивает выдачу на выход Q данных с одного из двух каналов приемника. Выбор канала осуществляется сигналом SE3.

Блоки контроля предназначены для контроля исправности линий связи.

Для проведения контроля в передатчике значение сигнала DE устанавливается равным нулю. При этом в линию связи будет выдаваться последовательность, соответствующая нулю кодируемой информации.

В приемнике на время контроля на вход ST подается сигнал логической единицы, во время действия которого в блоках контроля осуществляется анализ принимаемой информации.

Если во время контроля будут приняты все нули, то на выходах CH1 (CH2) будут сформированы сигналы положительной полярности, равные по длительности сигналу на входе ST.

Если во время контроля будет принята хотя бы одна единица, то в момент ее приема сигнал CH1 (CH2) примет нулевое значение и при наличии единичного значения сигнала ER произойдет обнуление сдвиговых регистров приемника.

Критерием исправности линии связи является идентичность сигналов ST и CH1 (CH2).



МИКРОСХЕМА ЦИФРОВОГО ФИЛЬТРА

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Цифровой фильтр предназначен для построения высокопроизводительных систем цифровой обработки сигналов.

Цифровой фильтр может быть эффективно использован для реализации как широкого круга задач цифровой фильтрации, так и других, близких по своей математической основе алгоритмов цифровой обработки сигналов.

Разрядность входных данных, бит.....12
 Разрядность коэффициентов, бит.....12
 Разрядность результата, бит.....27
 Напряжение питания, В.....+5±10%
 Температурный диапазон, °С.....-60 ÷ +125
 Исполнение*.....бескорпусное

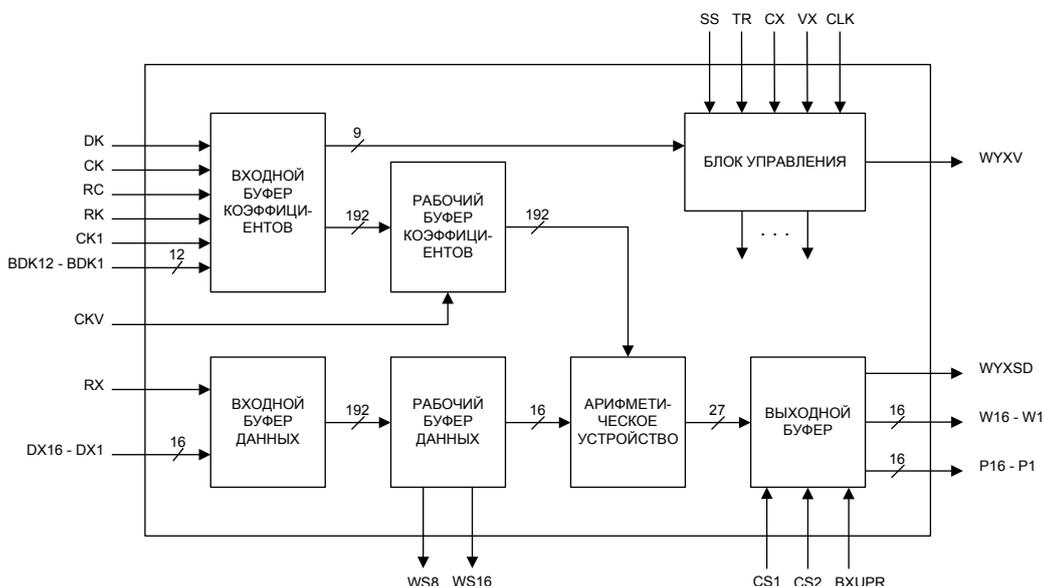
* Возможна поставка микросхем в корпусном исполнении (тип корпуса – по согласованию с потребителем).

Микросхемы изготавливаются по КМОП технологии и имеют ТТЛ-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
DX	Входная шина данных
CX	Вход сигнала разрешения записи данных
RX	Вход сигнала сброса регистров буфера данных
BDK	Входная шина коэффициентов
СК	Вход синхросигнала записи коэффициентов и кода конфигурации
DK	Вход коэффициентов и кода конфигурации в последовательном коде
СК1	Вход синхросигнала записи коэффициентов
СКV	Вход сигнала записи коэффициентов в рабочий буфер
RK	Вход сигнала сброса регистров буфера коэффициентов
RC	Вход сигнала предустановки буфера коэффициентов
SS	Вход сигнала записи кода конфигурации
CLK	Вход основного синхросигнала
TR	Вход асинхронного сброса
VX	Вход сигнала инициализации вычислений
CS1	Вход сигнала разрешения выдачи результата на шину W
CS2	Вход сигнала разрешения выдачи результата на шину P
BXUPR	Вход сигнала разрешения выдачи результатов вычислений в последовательном коде
WYXV	Выход сигнала готовности результатов вычислений
W	Выходная шина старших разрядов результата
P	Выходная шина младших разрядов результата
WYXSD	Выход результата в последовательном коде
WS16	Второй выход буфера данных в последовательном коде
WS8	Первый выход буфера данных в последовательном коде

СТРУКТУРНАЯ СХЕМА



ОСНОВНЫЕ ОПЕРАЦИИ

Цифровой фильтр обеспечивает реализацию следующих операторов цифровой обработки сигналов:

- скалярное произведение двух векторов (весовое суммирование):

$$S = \sum_{k=0}^{15} X(k) \cdot C(k); \quad (1)$$

- шестнадцатиточечная свертка для одного потока входных данных

$$S(i) = \sum_{k=0}^{15} X(i-k) \cdot C(k); \quad (2)$$

- сумма двух восьмиточечных свертки для двух потоков входных данных

$$S(i) = \sum_{k=0}^7 X1(i-k) \cdot C(k) + \sum_{k=0}^7 X2(i-k) \cdot C(k+8). \quad (3)$$

В выражениях (1) – (3) обозначены:

S – результат вычислений;

X(k) – k-й элемент вектора входных данных;

C(k) – k-й элемент вектора коэффициентов.

ЗАГРУЗКА КОДА КОНФИГУРАЦИИ

Код конфигурации представляет собой 9-разрядное командное слово, которое загружается перед началом работы в специальный регистр устройства управления (регистр конфигурации).

Код конфигурации определяет режимы загрузки коэффициентов и входных данных, выполняемую операцию, а также режимы выдачи и формат результата вычислений.

Код конфигурации загружается по входу DK поразрядно старшими разрядами вперед. Прием каждого бита кода конфигурации происходит по положительному фронту сигнала СК. После загрузки последнего (младшего) разряда по положительному фронту сигнала SS происходит фиксация кода конфигурации в регистре конфигурации.

ЗАГРУЗКА КОЭФФИЦИЕНТОВ

Коэффициенты C(k) представлены 12-разрядным дополнительным кодом.

Цифровой фильтр обеспечивает два режима загрузки коэффициентов:

- в параллельном коде;
- в последовательном коде.

Загрузка коэффициентов в параллельном коде производится с использованием входной шины BDK под управлением сигналов СК и СК1.

Загрузка коэффициентов в последовательном коде осуществляется по входу DK старшими разрядами вперед. Прием каждого бита коэффициентов происходит по переднему фронту сигнала СК при наличии нулевого значения сигнала на входе RC. Для загрузки 16 коэффициентов требуется 192 импульса СК.

После загрузки коэффициентов во входной буфер, по сигналу СКV происходит их пересылка в регистры рабочего буфера. Далее загрузка нового массива коэффициентов может осуществляться независимо от процесса вычислений.

ЗАГРУЗКА ВХОДНЫХ ДАННЫХ

Входные данные X(k) представлены 12-разрядным дополнительным кодом.

Входные данные загружаются по шине DX под управлением сигнала CLK при наличии единичного значения сигнала CX.

Возможны два режима загрузки:

- в параллельном коде;
- в последовательном коде.

При загрузке в параллельном коде отсчеты входных данных подаются на шину DX последовательно друг за другом. При этом используются двенадцать младших разрядов шины DX[12:1].

Порядок загрузки входных данных в последовательном коде определяется реализуемой операцией.

При вычислении скалярного произведения (выражение (1)) 16 отсчетов входных данных подаются на шину DX одновременно младшими разрядами вперед.

При вычислении операций свертки (выражения (2), (3)) отсчеты входных данных подаются последовательно друг за другом младшими разрядами вперед.

В этом случае при реализации операции (2) используется вход DX(1), а при реализации операции (3) – входы DX(1) и DX(2) (для первого и второго потоков данных соответственно).

ВЫДАЧА РЕЗУЛЬТАТОВ

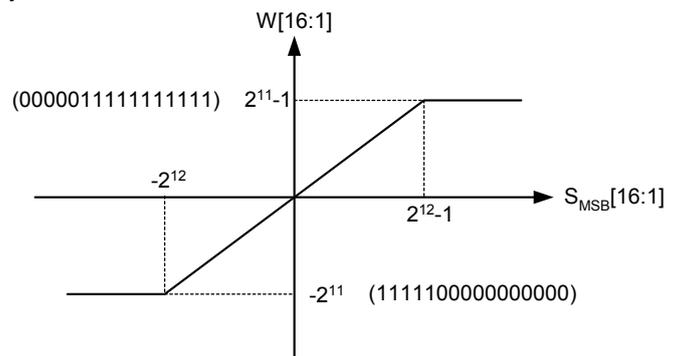
Результат вычислений S представлен 27-разрядным дополнительным кодом.

Результат делится на две части: старшую часть S_{MSB} (16 старших разрядов) и младшую часть S_{LSB} (11 младших разрядов).

На шину W выдается старшая часть результата S_{MSB}.

Она может быть промасштабирована с коэффициентами 2, 4 и 8. При этом выполняется сдвиг соответственно на 1, 2 или 3 разряда вправо, а освободившиеся разряды заполняются старшим (знаковым) разрядом.

Кроме того, дополнительно может быть выполнено масштабирование с ограничением в соответствии с рисунком.



При этом на шину W будет выдаваться число:

$$W = \begin{cases} [(S_{MSB} + 1) / 2], & \text{если } 2^{-12} < S_{MSB} < 2^{12} - 1; \\ 2^{-11}, & \text{если } S_{MSB} \leq 2^{-12}; \\ 2^{11} - 1, & \text{если } S_{MSB} \geq 2^{12} - 1; \end{cases}$$

где S_{MSB} – старшая часть результата.

На шину P выдается младшая часть результата S_{LSB} (биты 11:1) и знак (биты 16:12).

При выдаче результатов вычислений в последовательном коде на выход WYXSD поступают 11 младших разрядов кода, выдаваемого на выход W, и знаковый разряд результата, т.е. разряды W[16,11:1].

Выдача результата в последовательном коде выполняется младшими разрядами вперед.



МИКРОСХЕМА СПЕЦИАЛИЗИРОВАННОГО БЫСТРОДЕЙСТВУЮЩЕГО ПАРАЛЛЕЛЬНОГО ЭСППЗУ 16К (2Кx8)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема специализированного быстродействующего параллельного электрически стираемого перепрограммируемого запоминающего устройства (ЭСППЗУ) предназначена для построения постоянных запоминающих устройств с возможностью многократной перезаписи информации.

Информационная емкость, бит16К (2Кx8)
 Время цикла стирания/записи, мс.....10
 Время выбора адреса, нс25
 Время выбора, нс25
 Динамический ток потребления, мАне более 150
 Ток потребления
 в режиме хранения, мАне более 10
 Количество циклов перезаписи10⁵
 Время сохранности информации, летне менее 10
 Напряжение питания, В+5±10%
 Температурный диапазон, °С-60 ÷ +125
 Корпусное исполнение4119.28-6

Микросхемы изготавливаются по КМОП технологии и имеют ТТЛ-совместимые входы и выходы.

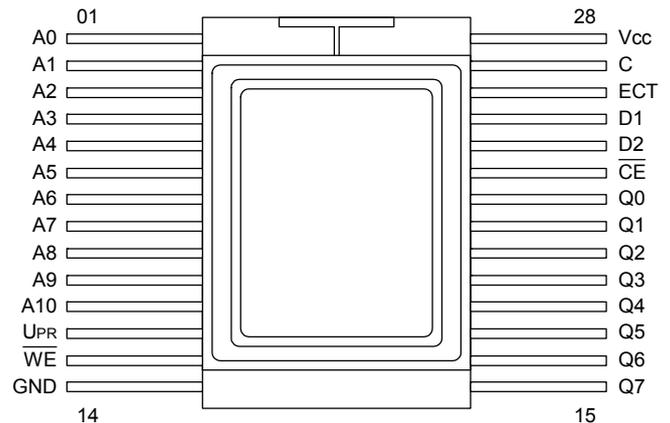
Режимы работы блока формирования адреса

ЕСТ	D1	D2	Значение исполнительного адреса АDR
0	0	0	00000000000
1	0	0	10000000000
0	0	1	A
1	0	1	Хранение адреса
0	1	0	ADR + 1
1	1	0	Хранение адреса
0	1	1	ADR - 1
1	1	1	Хранение адреса

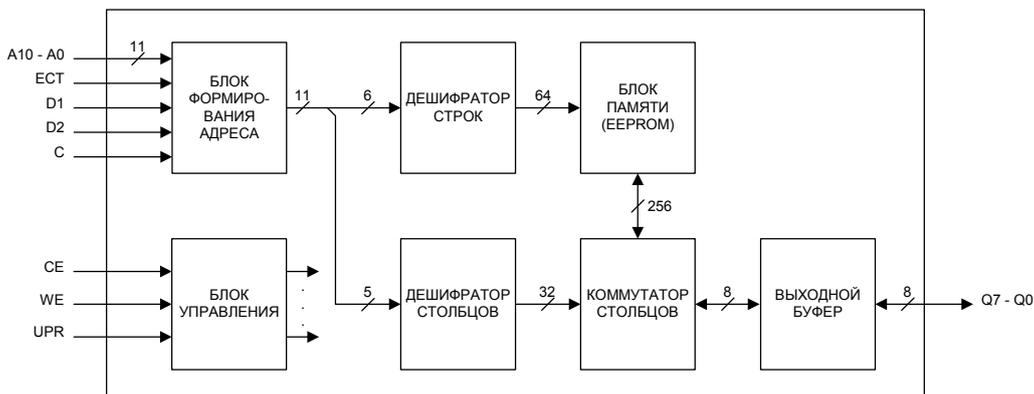
НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
A	Входная шина адреса
C	Вход сигнала синхронизации
\overline{CE}	Вход сигнала выбора микросхемы и разрешения выдачи информации
\overline{WE}	Вход сигнала разрешения записи
ЕСТ	Вход сигнала разрешения счета
D1	Вход первого сигнала управления
D2	Вход второго сигнала управления
Q	Двунаправленная шина данных
U _{PR}	Вывод встроенного умножителя напряжения программирования*

* При использовании микросхемы только в режиме чтения с целью защиты от записи вывод U_{PR} рекомендуется соединять с выводом питания микросхемы V_{CC}. В режиме записи вывод U_{PR} должен быть отключен.



СТРУКТУРНАЯ СХЕМА





МИКРОСХЕМЫ ДЕЛИТЕЛЕЙ ЧАСТОТЫ С КОЭФФИЦИЕНТАМИ ДЕЛЕНИЯ ДВА И ПЯТЬ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

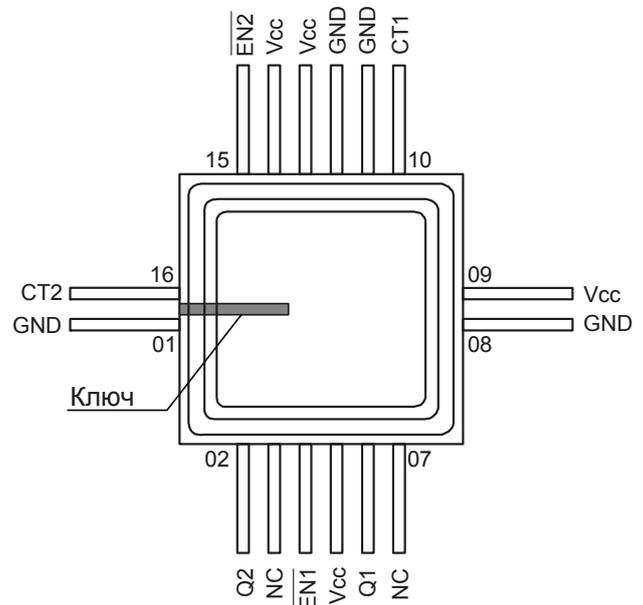
Микросхемы делителей частоты предназначены для деления частоты поступающих на их входы последовательностей импульсов или синусоидального сигнала с коэффициентами деления два (5861ПЦ1У) и пять (5861ПЦ2У).

Микросхемы изготавливаются по КМОП-технологии и обеспечивают возможность согласования по выходам с уровнями ТТЛ и 50-Омной линией.

Максимальная частота входного сигнала, МГц	
на входе СТ1.....	600
на входе СТ2.....	400
Минимальная частота входного сигнала, МГц	
5861ПЦ1У.....	10
5861ПЦ2У.....	30
Мощность аналогового сигнала на входе СТ1, дБм.....	10
Напряжение питания, В	+5±10%
Температурный диапазон, °С	-60 ÷ +125
Корпусное исполнение	Н04.16-1В

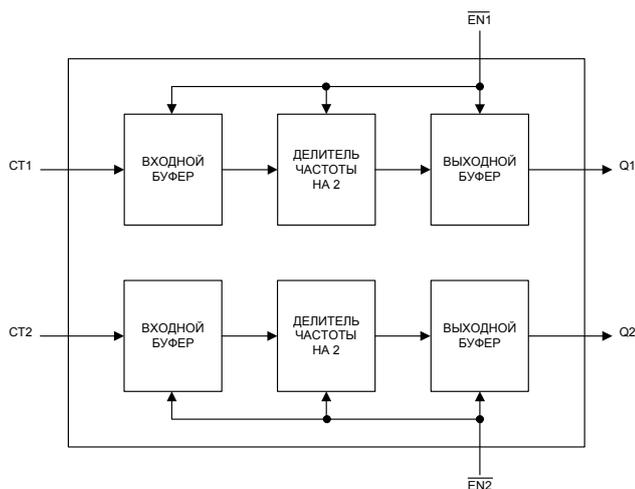
НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
СТ1	Вход сигнала аналоговый
СТ2	Вход сигнала цифровой
EN1	Вход управления каналом с аналоговым входом
EN2	Вход управления каналом с цифровым входом
Q1	Выход канала с аналоговым входом
Q2	Выход канала с цифровым входом

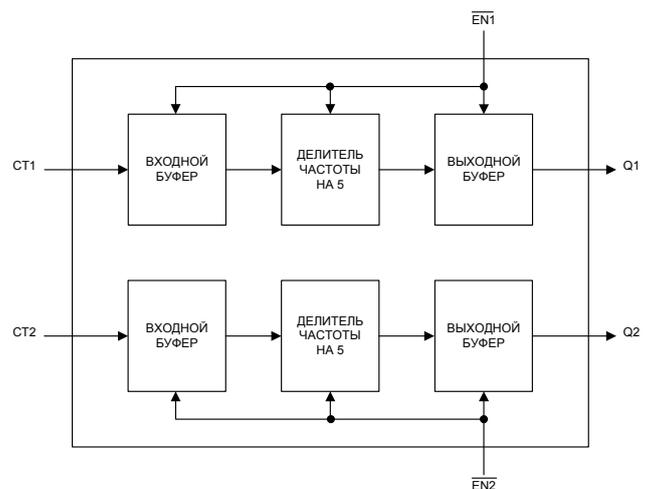


СТРУКТУРНАЯ СХЕМА

5861ПЦ1У



5861ПЦ2У



Микросхемы делителей содержат два канала деления:

- канал с аналоговым входом СТ1;
- канал с цифровым ТТЛ-входом СТ2.

На аналоговый вход СТ1 подается синусоидальный сигнал мощностью не менее 10 дБм.

Выходы каждого из каналов (Q1 и Q2) являются универсальными цифровыми и имеют возможность работы

на ТТЛ-нагрузку и 50-Омную линию.

Каналы имеют независимые управляющие входы EN1 и EN2, сигналы на которых определяют состояние выхода.

При установке сигнала на управляющем входе в состояние логической единицы напряжение на выходе соответствующего канала равно уровню логического нуля.



МИКРОСХЕМА ЦИФРОВОГО ФАЗОВОГО ДЕТЕКТОРА

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Цифровой фазовый детектор предназначен для измерения фазового рассогласования между импульсными последовательностями генератора опорной частоты и генератора, управляемого напряжением, а также формирования импульсных последовательностей с заданными параметрами.

Цифровой фазовый детектор может быть использован для решения следующих задач:

- частотная модуляция и демодуляция;
- синтез, измерение и умножение частоты;
- преобразование типа «напряжение – частота»;
- синхронизация потоков данных;
- управление скоростью вращения двигателей.

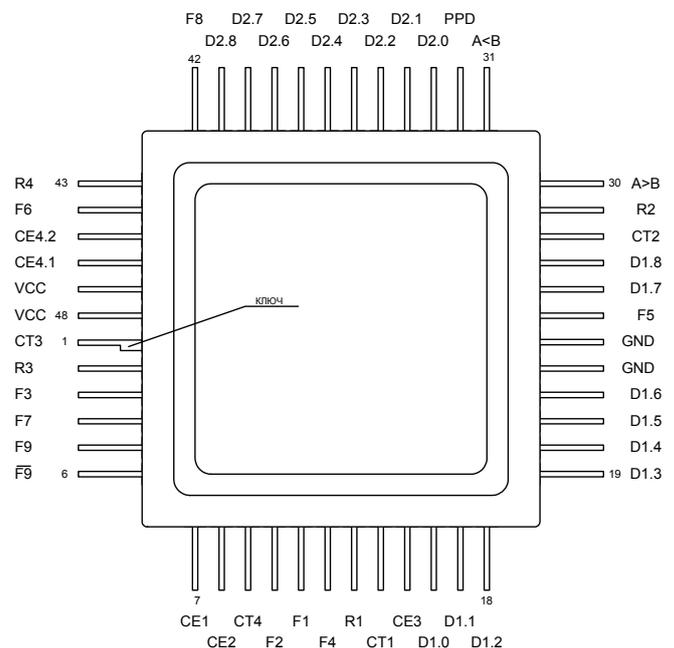
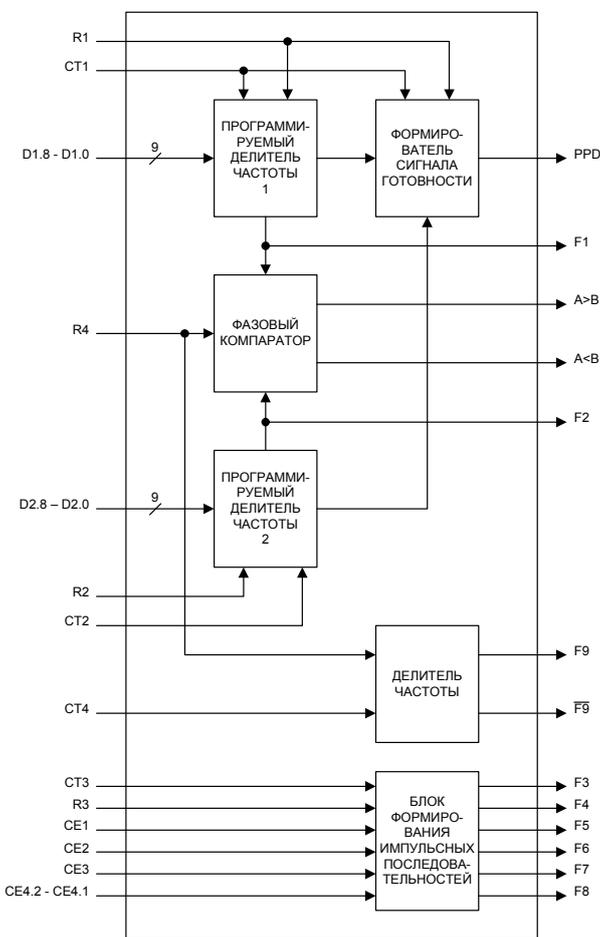
Максимальная частота сравниваемых последовательностей, МГц.....45
Разрядность кодов управления делителями частоты, бит.....9
Напряжение питания, В..... $+5 \pm 10\%$
Температурный диапазон, °С..... $-60 \div +125$
Тип корпуса.....H16.48-1В

Микросхемы изготавливаются по КМОП технологии и имеют TTL-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
D1	Входная шина кода коэффициента деления первого делителя частоты
D2	Входная шина кода коэффициента деления второго делителя частоты
CT1	Вход синхронизации
CT2	Вход синхронизации
R1	Вход разрешения предустановки первого делителя частоты
R2	Вход разрешения предустановки второго делителя частоты
F1	Выход первого делителя фазового детектора
F2	Выход второго делителя фазового детектора
A>B	Выход сигнала сравнения фазового детектора
A<B	Выход сигнала сравнения фазового детектора
PPD	Выход готовности фазового детектора
CT3	Вход синхросигнала
CT4	Вход синхросигнала.
CE1	Вход управления последовательностями 5315/5335
CE2	Вход управления последовательностями 5335/5315
CE3	Вход разрешения выдачи последовательности 15/1
CE4	Входная шина кода управления последовательностями 5330/5345/5355
R3	Вход синхронного сброса
R4	Вход асинхронного сброса фазового детектора и делителя частоты
F3	Выход последовательности 9/4
F4	Выход последовательностей 5315/5335
F5	Выход последовательности 5335/5315
F6	Выход последовательностей 5330/5345/5355
F7	Выход последовательности 180/90
F8	Выход последовательности 15/1
F9	Выход последовательности 1000/1
$\overline{F9}$	Выход последовательности 1000/999 (инверсный)

СТРУКТУРНАЯ СХЕМА



ФУНКЦИОНИРОВАНИЕ БЛОКА ФАЗОВОГО ДЕТЕКТОРА

Блок фазового детектора включает в себя:

- программируемые делители частоты;
- фазовый компаратор;
- формирователь сигнала готовности.

На входы СТ1 и СТ2 подаются импульсные последовательности генератора опорной частоты и генератора, управляемого напряжением соответственно.

Программируемые делители осуществляют деление частоты поступающих на их входы последовательностей импульсов.

Коэффициенты деления K_1 и K_2 программируемых делителей определяются значениями сигналов на шинах D1 и D2:

$$K_1 = 513 - \sum_{i=0}^8 D1[i] \cdot 2^i, \quad K_2 = 513 - \sum_{i=0}^8 D2[i] \cdot 2^i;$$

$D1[i], D2[i] \in \{0,1\}$.

Поделенные последовательности поступают на выходы F1 и F2 микросхемы, а также на входы фазового компаратора.

В случае, когда частота импульсов F1 больше частоты импульсов F2 ($f_{F1} > f_{F2}$), на выходе A>B формируется последовательность импульсов, длительность которых равна величине рассогласования фаз между сигналами F1 и F2. При этом на выходе A<B будут формироваться импульсы, длительность которых не превышает 10 нс.

При $f_{F1} < f_{F2}$ последовательность импульсов рассогласования фаз формируется на выходе A<B, на выходе A>B – импульсы длительностью не более 10 нс.

При $f_{F1} = f_{F2}$ на обоих выходах A>B и A<B формируются импульсы длительностью не более 10 нс. При этом формируется сигнал готовности фазового детектора, который выдается на выход PPD.

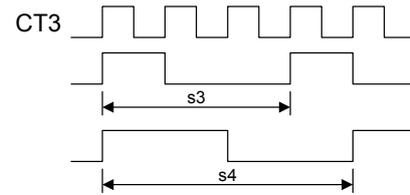
Сигнал PPD формируется при условии, когда рассогласование между фронтами сигналов F2 и F1 находится в интервале $\Delta = [-t_{CT1}; 2 t_{CT1}]$, где t_{CT1} – длительность импульсов на входе СТ1.

ФУНКЦИОНИРОВАНИЕ БЛОКА ФОРМИРОВАНИЯ ИМПУЛЬСНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ

Импульсные последовательности F3, F7 и F8 формируются из входной опорной последовательности СТ3 и имеют следующие значения периода повторения T и скважности Q:

$$\begin{aligned} T^{F3} &= 9 T^{CT3}, & Q^{F3} &= 9/4; \\ T^{F7} &= 180 T^{CT3}, & Q^{F7} &= 2; \\ T^{F8} &= 15 T^{CT3}, & Q^{F8} &= 15; \end{aligned}$$

Основу последовательностей F4, F5 и F6 составляют «символы» s3 и s4, которые формируются из опорной последовательности СТ3:



Последовательности F4, F5 и F6 представляют собой чередующиеся наборы из M «символов» s3 и N «символов» s4.

Значения M и N определяются значениями сигналов на входах CE1, CE2 и CE4 в соответствии с таблицами:

последовательность F4

CE1	Код последовательности	M	N
0	5315	652	411
1	5335	668	399

последовательность F5

CE2	Код последовательности	M	N
0	5335	668	399
1	5315	652	411

последовательность F6

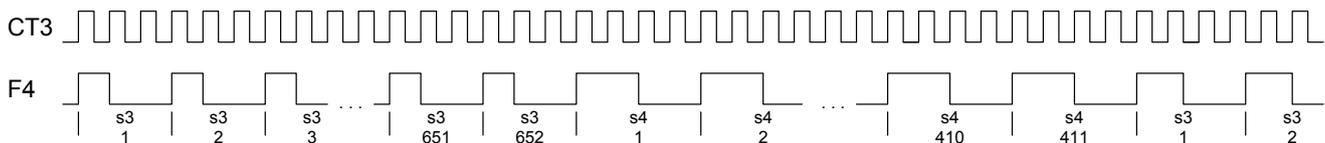
CE4.2	CE4.1	Код последовательности	M	N
0	0	-	-	-
0	1	5330	660	405
1	0	5345	676	393
1	1	5355	684	387

ФУНКЦИОНИРОВАНИЕ БЛОКА ДЕЛЕНИЯ ЧАСТОТЫ

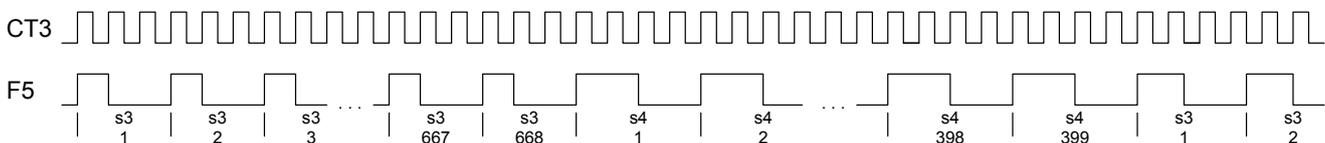
Блок деления частоты осуществляет преобразование входной последовательности СТ4 в выходную последовательность F9, имеющую следующие значения периода повторения T и длительности импульса t_H :

$$T^{F9} = 1000 T^{CT4}, \quad t_H^{F9} = T^{CT4}.$$

Последовательность F9 выдается на выход микросхемы в прямой и инверсной фазе.



Пример формирования последовательности F4 при CE1 = 1



Пример формирования последовательности F5 при CE2 = 0

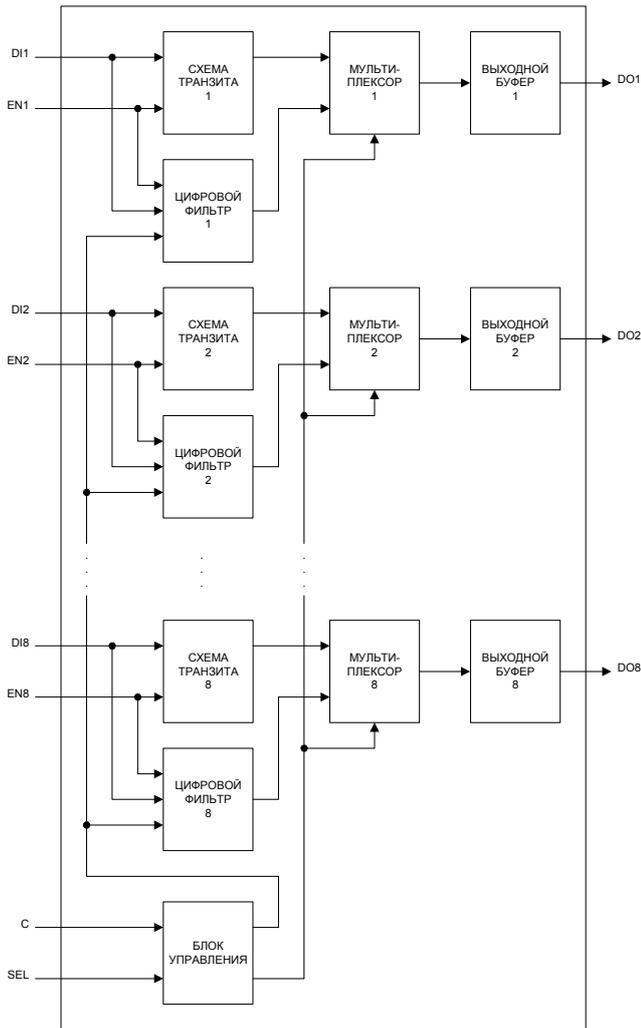


МИКРОСХЕМА СПЕЦИАЛИЗИРОВАННОГО БУФЕРНОГО ФОРМИРОВАТЕЛЯ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Максимальная частота сигнала синхронизации, МГц.....90
 Максимальный выходной ток, мА.....60
 Напряжение питания, В.....+5±10%
 Температурный диапазон, °С.....-60 ÷ +125
 Корпусное исполнение.....Н16.48-1В

СТРУКТУРНАЯ СХЕМА



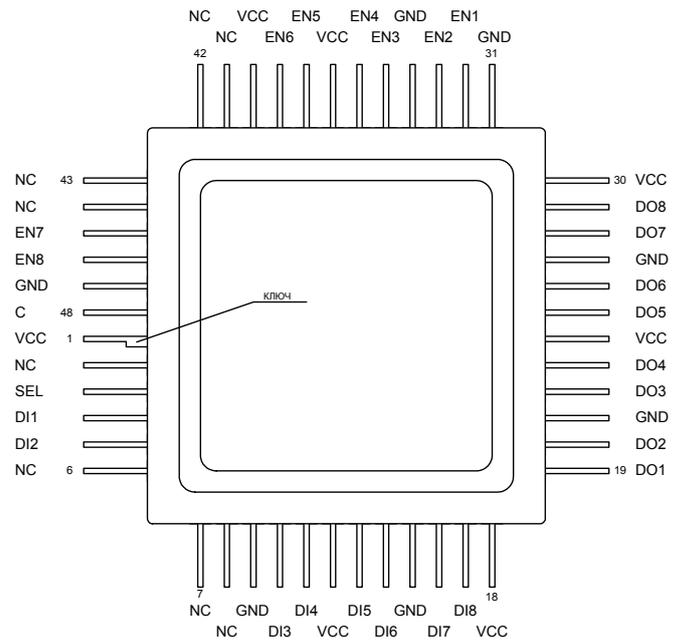
Режимы работы

Режим работы	Входы				Выход
	SEL	EN	DI	C	
Передача данных без фильтрации	0	0	0	X	0
	0	0	1	X	1
	0	1	X	X	0
Передача данных с фильтрацией	1	0	0	↑	0*
	1	0	1	↑	1*
	1	1	X	X	0

* Выдача сигналов на выходы осуществляется с задержкой на два такта сигнала синхронизации С.
 X - безразличное состояние на входе (любое напряжение низкого или высокого уровня).

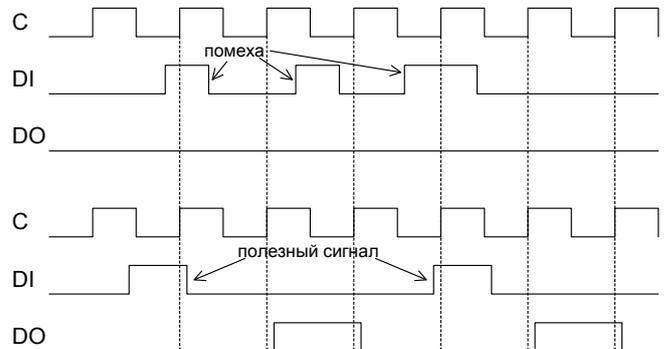
НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
DI	Входная шина данных
EN	Входная шина сигналов разрешения
DO	Выходная шина данных
C	Вход сигнала синхронизации
SEL	Вход сигнала выбора режима



Микросхема содержит восемь идентичных каналов, каждый из которых включает в себя фильтр, схему транзита, мультиплексор и выходной буфер.

Цифровые фильтры осуществляют селекцию помех. Помехами считаются импульсы, во время действия которых происходит менее двух изменений сигнала синхронизации на входе С.



Мультиплексоры обеспечивают режим транзита входных данных (SEL=0).

Выходные буферы предназначены для обеспечения требуемой нагрузочной способности микросхемы (до 60 мА по каждому выходу).



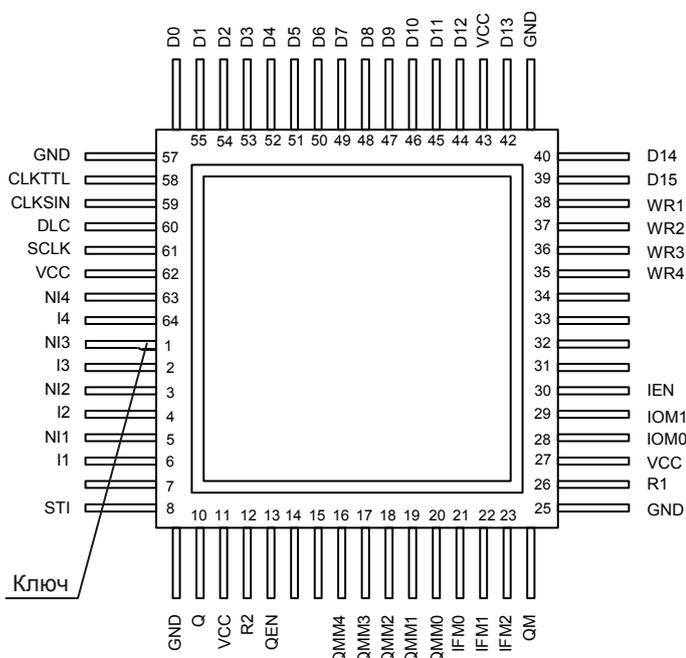
МИКРОСХЕМА СПЕЦИАЛИЗИРОВАННОГО ПРЕОБРАЗОВАТЕЛЯ КОДОВ ВО ВРЕМЕННЫЕ ИНТЕРВАЛЫ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема специализированного преобразователя кодов во временные интервалы предназначена для формирования импульсных последовательностей с программируемыми параметрами.

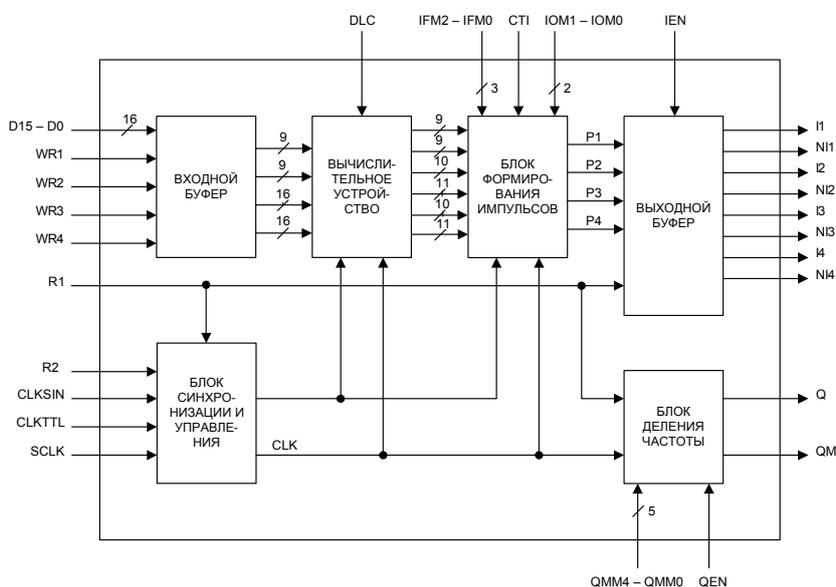
Максимальная частота сигнала синхронизации, МГц.....90
Минимальная амплитуда аналогового сигнала на входе CLKSIN, мВ.....300
Напряжение питания, В.....+5±10%
Температурный диапазон, °С.....-60 ÷ +125
Корпусное исполнение.....H18.64-1B

НАЗНАЧЕНИЕ ВЫВОДОВ



Обозначение	Назначение
D	Входная шина данных
WR1	Вход сигнала записи первого слова данных
WR2	Вход сигнала записи второго слова данных
WR3	Вход сигнала записи третьего слова данных
WR4	Вход сигнала записи четвертого слова данных
STI	Вход стартового сигнала
DLC	Вход сигнала управления темпом вычислений
IOM	Входная шина кода управления последовательностями I1 – I4
IFM	Входная шина кода управления скважностью последовательностей I1 – I4
IEN	Вход сигнала разрешения выдачи последовательностей I1 – I4
QMM	Входная шина кода коэффициента деления последовательности QM
QEN	Вход сигнала разрешения выдачи последовательности на выход Q
CLKTTL	Вход сигнала синхронизации цифровой
CLKSIN	Вход сигнала синхронизации аналоговый
SCLK	Вход сигнала выбора источника синхронизации
R1	Вход асинхронного сброса
R2	Вход асинхронного сброса
I1	Выход последовательности I1 прямой
NI1	Выход последовательности I1 инверсный
I2	Выход последовательности I2 прямой
NI2	Выход последовательности I2 инверсный
I3	Выход последовательности I3 прямой
NI3	Выход последовательности I3 инверсный
I4	Выход последовательности I4 прямой
NI4	Выход последовательности I4 инверсный
Q	Выход последовательности Q
QM	Выход последовательности QM

СТРУКТУРНАЯ СХЕМА



ФУНКЦИОНИРОВАНИЕ МИКРОСХЕМЫ

Синхронизация работы микросхемы может осуществляться по цифровому входу CLKTTL или по аналоговому входу CLKSIN, на который подается синусоидальный сигнал с амплитудой не менее 0,3 В.

Выбор входа синхронизации осуществляется при помощи сигнала SCLK (SCLK=0 – вход CLKTTL, SCLK=1 – вход CLKSIN).

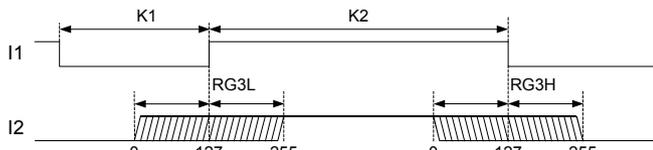
Из входных сигналов синхронизации вырабатывается внутренний синхросигнал CLK, который непосредственно подается на блоки микросхемы.

На входную шину D микросхемы подаются данные, определяющие параметры импульсов последовательностей I1 – I4.

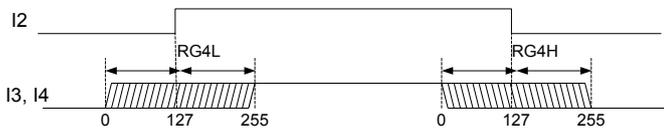
Входной буфер содержит девятиразрядные регистры RG1, RG2 и шестнадцатиразрядные регистры RG3, RG4. Запись данных в регистры осуществляется по положительному фронту соответствующего сигнала записи WR1 – WR4.

Структура входных данных

Регистр	Разряды слов входных данных (шина D)															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RG1	Код длительности «нулевой» части импульсов последовательности I1 (K1)															
	8	7	6	5	4	3	2	1	0							
RG2	Код длительности «единичной» части импульсов последовательности I1 (K2)															
	8	7	6	5	4	3	2	1	0							
RG3	Код сдвига заднего фронта импульсов последовательности I2 относительно импульсов последовательности I1 (RG3H)								Код сдвига переднего фронта импульсов последовательности I2 относительно импульсов последовательности I1 (RG3L)							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
RG4	Код сдвига заднего фронта импульсов последовательностей I3, I4 относительно импульсов последовательности I2 (RG4H)								Код сдвига переднего фронта импульсов последовательностей I3, I4 относительно импульсов последовательности I2 (RG4L)							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0



Порядок формирования импульсов последовательностей I1 и I2



Порядок формирования импульсов последовательностей I3 и I4

Сдвиг фронтов импульсов осуществляется с шагом, равным периоду повторения синхросигнала CLK.

Вычислительное устройство выполняет расчет вспомогательных величин, которые непосредственно используются для формирования последовательностей I1 – I4. Вычисления инициируются при записи новых данных в любой из регистров RG1 – RG4 входного буфера.

Цикл вычислений составляет 9 тактов синхросигнала CLK при значении DLC=0 и 29 тактов синхросигнала CLK при значении DLC=1.

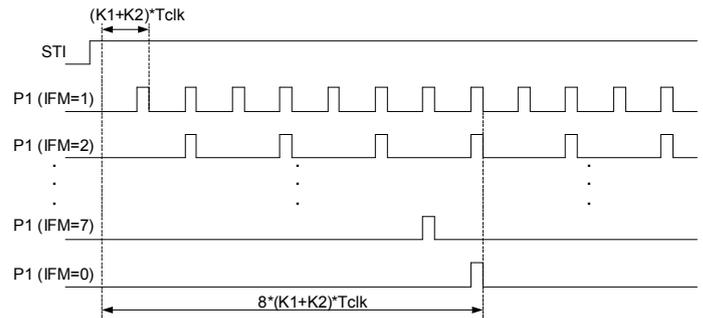
Блок формирования импульсов предназначен для формирования импульсов положительной полярности P1 – P4 в соответствии с величинами, рассчитанными в вычислительном устройстве и кодом управления IOM:

Вход IOM	Выходы			
	P1	P2	P3	P4
00				
01	0	1	1	0
10	0	1	0	0
11	0	0	0	0

Формирование импульсов осуществляется при подаче на вход STI положительного импульса длительностью не менее одного периода синхросигнала CLK.

При подаче на вход STI единичного импульса на выходах P1 – P4 блока будут сформированы также единичные импульсы. При подаче на вход STI сигнала логической единицы на выходах P1 – P4 блока будут сформированы непрерывные последовательности импульсов.

Импульсы могут быть выданы на выходы блока с задержкой, определяемой кодом, подаваемым на входную шину IFM. Тем самым имеется возможность изменения скважности выходных последовательностей:



Выходной буфер формирует из импульсов P1 – P4 парафазные сигналы I1, NI1 – I4, NI4.

Сигналы IEN и R1 осуществляют управление выдачей последовательностей на выходы I1, NI1 – I4, NI4:

Входы	Выходы									
	R1	IEN	I1	NI1	I2	NI2	I3	NI3	I4	NI4
0	X	0	0	1	0	0	1	0	1	0
1	0	0	0	1	0	1	0	1	0	1
1	1	P1	$\overline{P1}$	P2	$\overline{P2}$	P3	$\overline{P3}$	P4	$\overline{P4}$	

X - безразличное состояние на входе.

Блок деления частоты формирует из синхросигнала CLK последовательности Q и QM.

При значении R=0 на выходах Q и QM формируются сигналы логического нуля.

При значении R=1 на выходе Q формируется последовательность с частотой $f_{CLK}/2$ и скважностью 2.

Сигнал QEN предназначен для блокировки выдачи сигнала на выход Q (при QEN=0 на выходе Q формируется сигнал логического нуля).

При значении R=1 на выходе QM формируется последовательность, параметры которой (частота повторения импульсов f и скважность q) определяются кодом, подаваемым на входную шину QMM:

QMM	QM	
	f	q
00000	0	0
00001	0	0
00010	$f_{CLK}/2$	2
00011	$f_{CLK}/3$	3
00100	$f_{CLK}/4$	2
00101	$f_{CLK}/5$	5/2
00110	$f_{CLK}/6$	2
00111	$f_{CLK}/7$	7/3
01000	$f_{CLK}/8$	2
01001	$f_{CLK}/9$	9/4
01010	$f_{CLK}/10$	10/4
01011	$f_{CLK}/11$	11/4
01100	$f_{CLK}/12$	3
01101	$f_{CLK}/13$	13/4
01110	$f_{CLK}/14$	14/4
01111	$f_{CLK}/15$	15/4

QMM	QM	
	f	q
10000	$f_{CLK}/16$	4
10001	$f_{CLK}/17$	17/4
10010	$f_{CLK}/18$	18/4
10011	$f_{CLK}/19$	19/4
10100	$f_{CLK}/20$	5
10101	$f_{CLK}/21$	21/4
10110	$f_{CLK}/22$	22/4
10111	$f_{CLK}/23$	23/4
11000	$f_{CLK}/24$	6
11001	$f_{CLK}/25$	25/4
11010	$f_{CLK}/26$	26/4
11011	$f_{CLK}/27$	27/4
11100	$f_{CLK}/28$	7
11101	$f_{CLK}/29$	29/4
11110	$f_{CLK}/30$	30/4
11111	$f_{CLK}/31$	31/4



МИКРОСХЕМЫ ЦИФРОВЫХ СИНТЕЗАТОРОВ ОТСЧЕТОВ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Цифровые синтезаторы отсчетов предназначены для формирования отсчетов синусоидальных колебаний с заданной частотой и начальной фазой.

Цифровые синтезаторы отсчетов могут быть использованы для формирования литерных гетеродинных частот, компенсации доплеровского сдвига частоты, а также в качестве управляемого генератора в устройствах синхронизации и демодуляции сигналов.

Разрядность инкремента фазы, бит.....	16
Разрядность формируемых отсчетов, бит.....	14
Количество отсчетов на интервале [0:2π[.....	65536
Разрядность кода фазового смещения, бит.....	6
Максимальная частота сигнала синхронизации, МГц.....	35
Напряжение питания, В.....	+5±10%
Температурный диапазон, °С.....	-60 ÷ +125
Тип корпуса.....	Н16.48-1В

Микросхемы изготавливаются по КМОП технологии и имеют ТТЛ-совместимые входы и выходы.

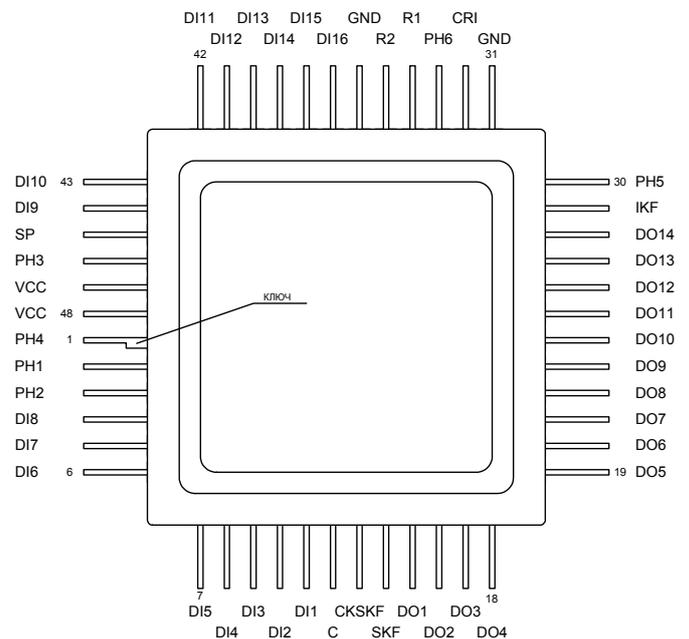
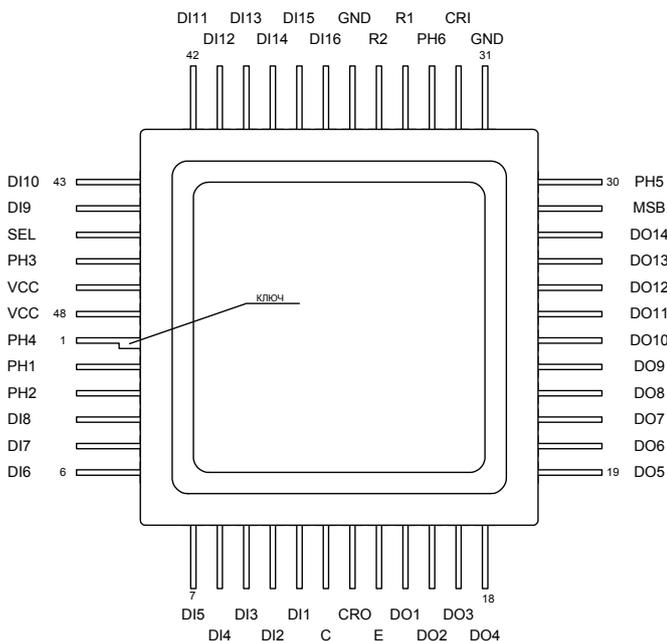
НАЗНАЧЕНИЕ ВЫВОДОВ

5861ПЛ1У

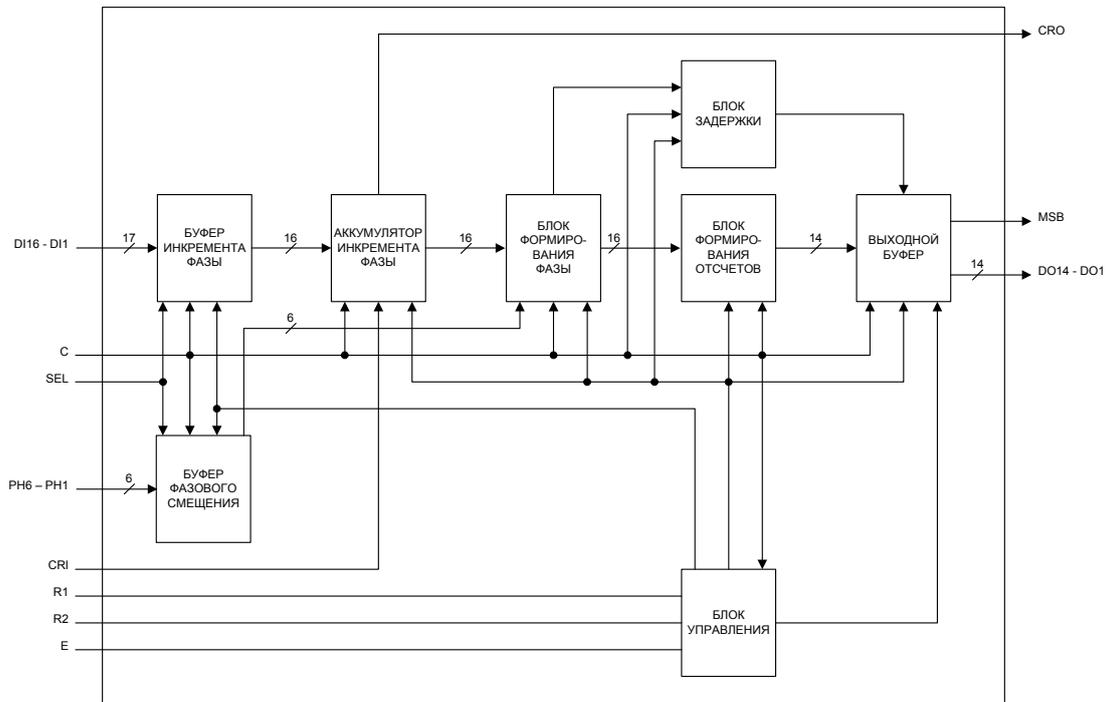
Обозначение	Назначение
DI	Входная шина инкремента фазы
PH	Входная шина кода фазового смещения
CRI	Вход переноса аккумулятора фазы
C	Вход синхронизации
R1	Вход асинхронного сброса
R2	Вход асинхронного сброса
E	Вход разрешения выдачи информации.
SEL	Вход выбора режима включения
DO	Выходная шина отсчетов синусоидальной последовательности
CRO	Выход переноса аккумулятора фазы
MSB	Выход старшего разряда адреса

5862ПЛ1У

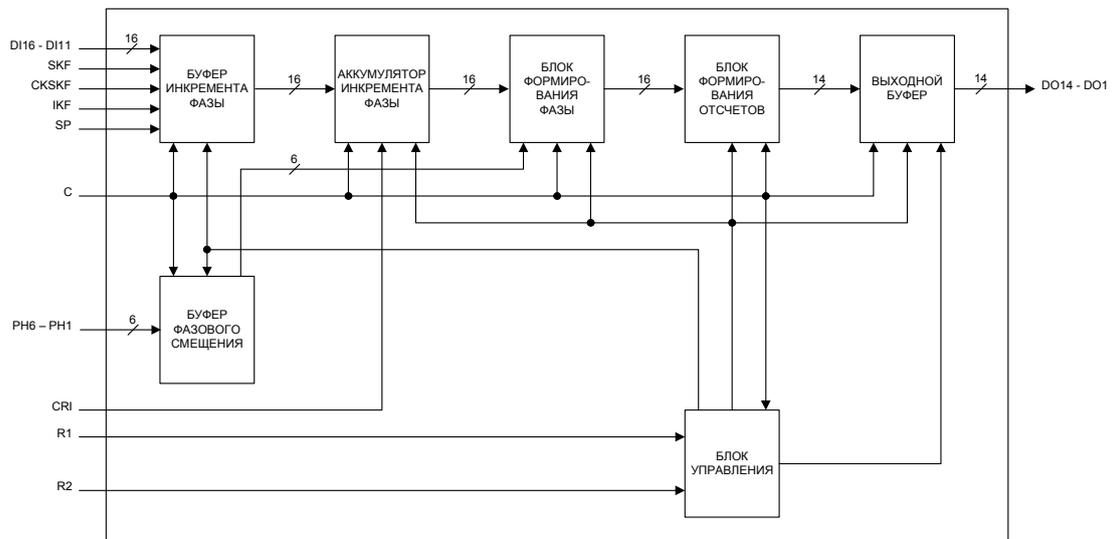
Обозначение	Назначение
DI	Входная шина инкремента фазы
PH	Входная шина кода фазового смещения
CRI	Вход переноса аккумулятора фазы
C	Вход синхронизации
R1	Вход асинхронного сброса
R2	Вход асинхронного сброса
SP	Вход управления режимом загрузки инкремента фазы
SKF	Вход инкремента фазы в последовательном коде
CKSKF	Вход синхросигнала загрузки инкремента фазы в последовательном коде
IKF	Вход сигнала записи инкремента фазы в последовательном коде
DO	Выходная шина отсчетов синусоидальной последовательности



СТРУКТУРНАЯ СХЕМА 5861ПЛ1У



СТРУКТУРНАЯ СХЕМА 5862ПЛ1У



В синтезаторах реализован метод непосредственного синтеза частоты на основе накапливающего сумматора и ПЗУ функции SIN(X).

На шину DI подается значение инкремента фазы, определяющее частоту генерируемой синусоиды, а на шину PH – двоичный код, определяющий значение начальной фазы.

Аккумулятор инкремента фазы в соответствии с заданным значением инкремента формирует предварительное значение фазы, которое после суммирования в блоке формирования фазы со значением начальной фазы поступает на блок формирования и выборки отсчетов.

Блок формирования отсчетов в каждом такте импульсов C выдает на выходную шину DO значение отсчета синусоидальной последовательности:

$$s(n) = 8192 + 8191 \cdot \sin\left(\frac{2\pi}{N} \cdot \alpha(n-4)\right);$$

$$\alpha(n-4) = \left(\beta(n-6) + \left(\sum_{i=1}^{n-6} \varphi(i) + p(i) \right) \right) \bmod N;$$

где n – номер такта работы микросхемы; N=65536.

Частота формируемой синусоидальной последовательности определяется выражением:

$$f_{\text{OUT}} = \frac{f_c \cdot \varphi}{65536};$$

где f_c – частота синхросигнала C;

φ – значение инкремента фазы.

В микросхеме 5861ПЛ1У на выход выдаются также сигнал MSB, определяющий знак полуволны формируемой синусоиды, и сигнал переноса CRO из аккумулятора инкремента фазы. Кроме того, в микросхеме дополнительно имеются входы E сигнала разрешения выдачи информации и SEL сигнала выбора режима включения синтезатора.

В микросхеме 5862ПЛ1У предусмотрена возможность загрузки инкремента фазы в последовательном коде (входы SKF, CKSKF, IKF, SP)

Сигналы R1 и R2 осуществляют асинхронный сброс внутренних регистров синтезаторов.



МИКРОСХЕМА АВТОКОМПЕНСАТОРА

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Автокомпенсатор предназначен для построения систем автокомпенсации, выполненных по схеме корреляционного типа, с количеством компенсационных каналов – до трех.

Кроме того, автокомпенсатор может быть использован для реализации схем ортогонализации компенсационных каналов, основанных на алгоритме Грамма-Шмидта.

Разрядность входных данных, бит.....12
 Разрядность коэффициентов, бит.....12
 Разрядность результата, бит.....12
 Напряжение питания, В.....+5±10%
 Температурный диапазон, °С.....-60 ÷ +125
 Исполнение*.....бескорпусное

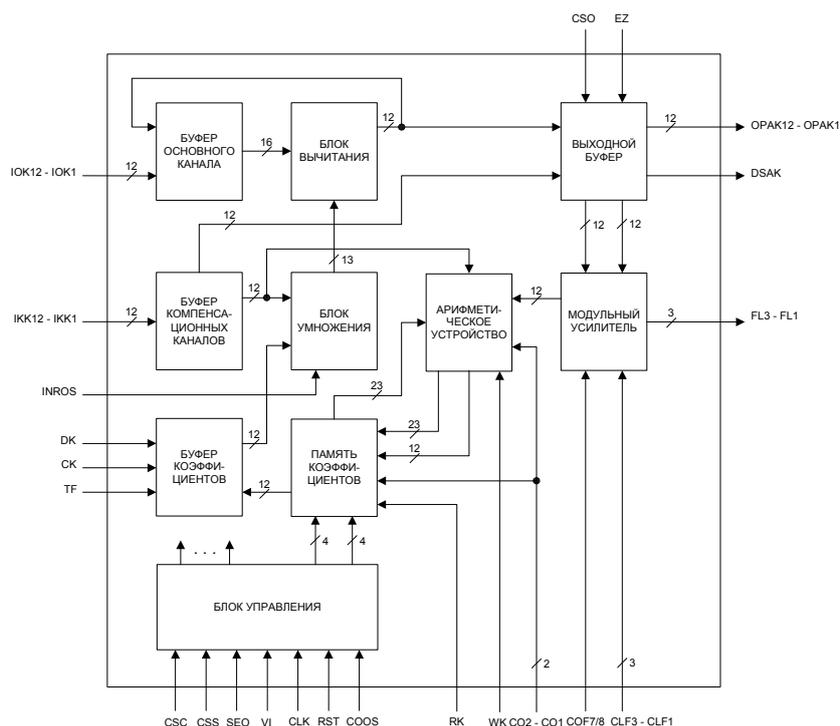
* Возможна поставка микросхем в корпусном исполнении (тип корпуса – по согласованию с потребителем).

Микросхемы изготавливаются по КМОП технологии и имеют ТТЛ-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
IOK	Входная шина основных каналов
IKK	Входная шина компенсационных каналов
DK	Вход загрузки коэффициентов в последовательном коде
СК	Вход синхросигнала загрузки коэффициентов в последовательном коде
RK	Вход сигнала обнуления коэффициентов
WK	Вход сигнала разрешения записи коэффициентов
TF	Вход сигнала управления коэффициентами
CLK	Вход основного синхросигнала
RST	Вход сигнала синхронизации квантов вычислений
VI	Вход сигнала инициализации вычислений по одному каналу
INROS	Вход сигнала отключения компенсационных каналов
COOS	Вход сигнала управления обратной связью
CLF	Входная шина коэффициента усиления модульного усилителя
COF7/8	Вход сигнала управления модульным усилителем
CO	Входная шина кода разрядности интегратора
CSC	Вход сигнала управления косинусной квадратурой результата
CSS	Вход сигнала управления синусной квадратурой результата
SEO	Вход сигнала управления упаковкой результата
EZ	Вход сигнала разрешения выдачи результата на шину ОРАК
CSO	Вход сигнала управления выдачей результата в последовательном коде
ОРАК	Выходная шина результата вычислений
DSAK	Выход результата в последовательном коде
FL	Выходная шина коэффициента усиления модульного усилителя

СТРУКТУРНАЯ СХЕМА



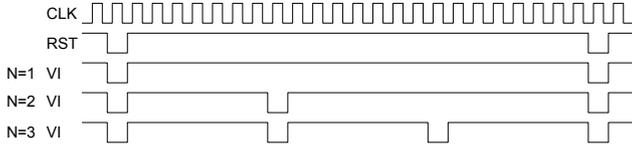
ОРГАНИЗАЦИЯ ВЫЧИСЛЕНИЙ

Обработка информации в автокомпенсаторе осуществляется по циклам и квантам.

Цикл вычислений определяется периодом следования сигнала RST и составляет 24 периода сигнала CLK.

Квант вычислений определяется периодом следования сигнала VI и составляет 8 периодов сигнала CLK.

В каждом цикле может быть от одного до трех квантов в зависимости от числа N основных или компенсационных каналов, используемых для вычислений.



Автокомпенсатор работает в двух режимах:

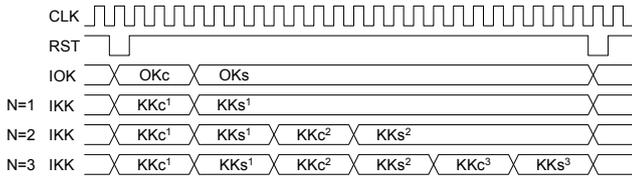
- многоканальном (сигнал COOS = 1);
- одноканальном (сигнал COOS = 0).

ЗАГРУЗКА ВХОДНЫХ ДАННЫХ

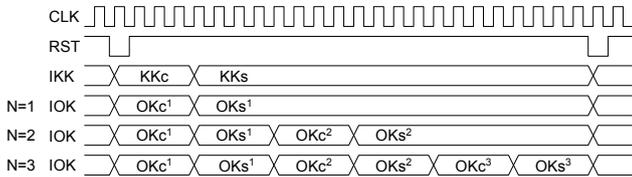
На входы автокомпенсатора подаются:

- отсчеты косинусных и синусных квадратур основных каналов ОКс и ОКс (шина IOK);
- отсчеты косинусных и синусных квадратур компенсационных каналов ККс и ККс (шина IKK).

Многоканальный режим



Одноканальный режим



РЕЖИМЫ РАБОТЫ

В k-м цикле работы автокомпенсатора выполняются вычисления в соответствии с выражениями:

многоканальный режим

$$\begin{cases} AKC_k^i = OKC_k - \left(\sum_{i=1}^N KKc_k^i \cdot \alpha cc_{k-1}^i + \sum_{i=1}^N KKs_k^i \cdot \alpha cs_{k-1}^i \right); \\ AKS_k^i = OKS_k - \left(\sum_{i=1}^N KKc_k^i \cdot \alpha sc_{k-1}^i + \sum_{i=1}^N KKs_k^i \cdot \alpha ss_{k-1}^i \right); \end{cases} \quad (1)$$

одноканальный режим

$$\begin{cases} AKC_k^i = OKC_k^i - (KKc_k^i \cdot \alpha cc_{k-1}^i + KKs_k^i \cdot \alpha cs_{k-1}^i); \\ AKS_k^i = OKS_k^i - (KKc_k^i \cdot \alpha sc_{k-1}^i + KKs_k^i \cdot \alpha ss_{k-1}^i); \end{cases} \quad (2)$$

где $i = \overline{1, N}$;

$N = \overline{1, 3}$ (определяется числом используемых основных или компенсационных каналов);

OKC_k^i, OKS_k^i - значения косинусной и синусной квадратур i-го основного канала;

KKC_k^i, KKS_k^i - значения косинусной и синусной квадратур i-го компенсационного канала;

$\alpha cc_{k-1}^i, \alpha cs_{k-1}^i, \alpha sc_{k-1}^i, \alpha ss_{k-1}^i$ - значения адаптивных коэффициентов, рассчитанных в предыдущем (k-1)-м цикле вычислений;

AKC_k^i, AKS_k^i - значения косинусной и синусной квадратур i-го результата.

При единичном значении сигнала на входе INROS компенсационные каналы отключаются, и отсчеты квадратур основных каналов поступают на выход автокомпенсатора без изменений.

РАСЧЕТ КОЭФФИЦИЕНТОВ

Помимо вычислений в соответствии с выражениями (1) и (2) в k-м цикле осуществляется также расчет адаптивных коэффициентов $\tilde{\alpha} cc_k^i, \tilde{\alpha} cs_k^i, \tilde{\alpha} sc_k^i, \tilde{\alpha} ss_k^i$ ($i = \overline{1, 3}$), которые будут использованы в следующем (k+1)-м цикле.

Расчетные коэффициенты представлены 23-разрядным дополнительным кодом и хранятся в СОЗУ коэффициентов.

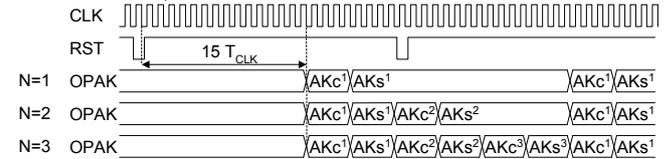
Коэффициенты $\alpha cc_k^i, \alpha cs_k^i, \alpha sc_k^i, \alpha ss_k^i$ ($i = \overline{1, 3}$), используемые в вычислениях в соответствии с выражениями (1) или (2) представлены 12-разрядным дополнительным кодом и получаются из расчетных 23-разрядных коэффициентов путем их масштабирования.

ВЫДАЧА РЕЗУЛЬТАТОВ

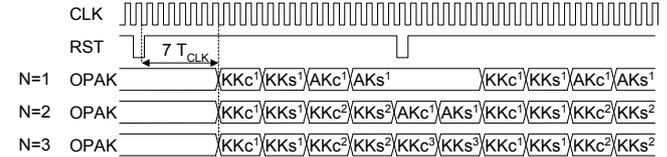
Состав информации, выдаваемой на выходную шину OPAK, определяется значениями сигналов COOS, SEO, CSC, CSS.

Многоканальный режим

COOS = 1, SEO = 0

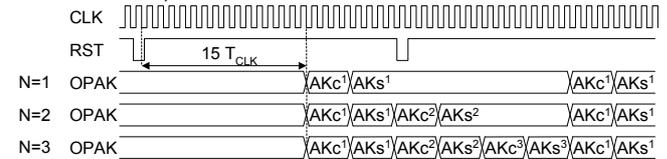


COOS = 1, SEO = 1.

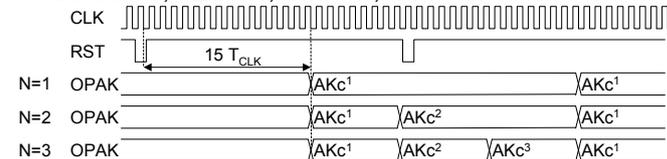


Одноканальный режим

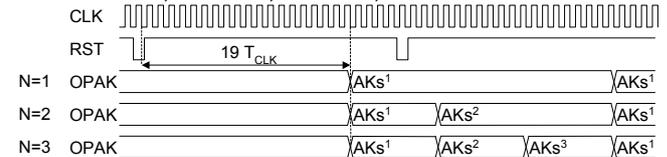
COOS = 0, SEO = 0.



COOS = 0, SEO = 1, CSC = 1, CSS = 0.



COOS = 0, SEO = 1, CSC = 0, CSS = 1



Режимы выдачи COOS = 0, SEO = 1, CSC = 0, CSS = 0 и COOS = 0, SEO = 1, CSC = 1, CSS = 1 аналогичны режиму COOS = 0, SEO = 0.

В автокомпенсаторе также предусмотрена возможность выдачи результатов в последовательном коде на выход DSAK.